

IC 参数成品率全局优化的映射距离最小化算法*

荆明娥 李 康 王俊平 郝 跃

(西安电子科技大学微电子学院 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

摘要: 提出了一种新的集成电路参数成品率的全局优化算法——映射距离最小化算法. 该算法采用了均匀设计与映射距离最小的耦合优化, 每次迭代模拟次数很少, 优化过程明显加速. 另外, 给出了一种粗略估计空间点集均匀性的方法—— k 近邻密度估计, 在有效时间内判断一个空间点集的均匀性. 模拟结果表明, 该算法对集成电路进行快速成品率优化设计及提高电路设计的稳定性具有较好的应用价值.

关键词: 参数成品率; 映射距离; 均匀设计; k 近邻密度估计

EEACC: 1130B; 0240G; 2220C

中图分类号: TN43 **文献标识码:** A **文章编号:** 0253-4177(2005)06-1259-05

1 引言

集成电路(IC)的成品率优化一直是半导体业界关心的问题, 尤其是目前硅集成电路进入特征尺寸为 65 ~ 45nm 的工艺阶段, 以成品率为核心的可制造性设计成为其中的重中之重^[1]. 一般成品率包含功能成品率和参数成品率两个方面, 功能成品率是指由缺陷引起的成品率损失^[2], 而参数成品率是指由于 IC 制造过程中的工艺参数统计扰动引起的成品率损失^[3]. 随着器件特征尺寸逐渐减小, 制造工艺步骤逐步增加, 而刻蚀、注入等工艺步骤的扰动并没有相应减小, 因而 IC 参数成品率问题越来越显著.

目前, 集成电路参数成品率优化主要有 MC 类的重心游移(centers of gravity)算法和几何类的单纯形算法. 重心游移算法^[3,4]虽原理简单, 但每次迭代需要进行电路仿真的次数很大(一般需要几百次), 而且优化方向和步长的确定需要很大的计算量, 收敛速度很慢, 因而极大地制约了成品率优化的效率. 单纯形算法虽然收敛速度快, 但计算量随着维数增加呈指数关系, 而且要求可接受域必须是凸域^[5].

针对以上情况, 本文提出一种基于映射距离最小的全局成品率优化算法. 该算法首先利用均匀设计对整个设计空间进行全局的成品率搜索以确定一个较好的初始设计, 然后利用映射距离算法与均匀设计耦合对成品率进一步的优化. 实例表明, 该算法对集成电路进行快速成品率优化设计及提高电路设计的稳定性具有很高的应用价值.

2 理论基础

一般说来, 在电路标称设计完成之后, 据此设计进行批量生产后电路特性往往不是理想化的, 而是服从某种分布, 这是因为集成电路制造过程受各种随机扰动(例如材料非均匀性、光刻误差等)的影响. 集成电路的参数成品率是指电路特性完全满足要求的电路产品的百分比. 所有满足特性要求设计的集合称之为设计的可接受域 R_A . 众所周知, 给定一个电路的设计, 可通过模拟得到它的特性(响应), 而要得到给定电路特性的设计则是电路优化的主要内容和难点, 如图 1 所示. 这是因为电路特性与设计参数之间的解析表达式往往很复杂, 甚至得不到, 参数的可接受域往往是很复杂的几何体. 因此成品率优化一直是设计难题, 而且特性最好的设计并不一定是

* 国家高技术研究发展计划资助项目(批准号: 2003AA1Z1630)

荆明娥 女, 1976 年出生, 博士研究生, 目前从事 VLSI 可制造性设计与成品率模型的研究.

李 康 男, 1973 年出生, 博士研究生, 目前从事 IC 功能成品率优化的研究.

2004-06-05 收到, 2005-01-11 定稿

成品率最高的设计.

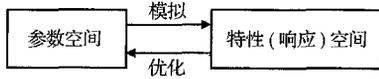


图 1 参数空间与特性空间
Fig. 1 Parameter and performance space

2.1 响应至参数的映射距离

以参数空间向量 $p = (p_1, p_2, \dots, p_n)^T$ 为标称设计,通过电路模拟可得到它的某个响应值 $f_i(p)$, $i = 1, 2, \dots, m$. 这里 n, m 分别为设计参数个数和响应个数. 设 $d_i(p)$ 为设计 p 在 f_i 意义下的映射距离. 则它应满足以下性质:

性质 1 当 $d_i(p) = 1$, 特性 f_i 满足性能要求, 且距离越小, 特性越好; 否则, 不满足要求, 且距离值越大, 特性越差.

下面仅以 $f_i(p) = 0$ 为例, 针对不同的特性要求给出距离的定义:

(1) 若此电路性能的要求为满足 $f_i^l \leq f_i(p) \leq f_i^u$. 定义 $f_i^o = (f_i^l + f_i^u)/2$ 为 f_i 的特性最佳值, 可定义设计 p 在 f_i 意义下的距离为

$$d_i(p) = \left| \frac{2(f_i(p) - f_i^o)}{f_i^u - f_i^l} \right|$$

(2) 若此电路性能的要求为满足 $f_i(p) \leq f_i^u$, 可定义距离为 $d_i(p) = f_i(p)/f_i^u$;

(3) 若此电路性能的要求为满足 $f_i^l \leq f_i(p)$, 可定义距离为 $d_i(p) = f_i^l/f_i(p)$.

可以看出, 以上定义均满足性质 1.

通常情况下, 电路的特性要求是多个目标的, 因此设计 p 的映射距离 $d(p)$ 应该为所有目标距离的加权和, 即

$$d(p) = \sum_{j=1}^m w_j d_j(p) \quad (1)$$

其中 w_j 为各个特性的权值, 包含了用户对各个特性的偏好程度及各个特性数量级之间的调衡系数. 如图 2 所示, 其中 R_A, R_T, R_n 分别表示 IC 的可接受域、工艺的容差域和参数的设计域. 显然, 映射距离不仅给出每个设计点是否合格的信息, 而且给出每个设计点与最优设计的差距, 即设计优劣的量化程度. 可以说, 映射距离在响应空间和参数空间建立了一个桥梁, 使设计者可直接从参数空间看出特性的分布情况.

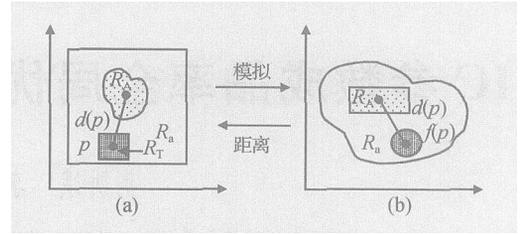


图 2 设计的映射距离 (a) 参数空间; (b) 特性空间
Fig. 2 Mapping distance of the design p (a) Parameter space; (b) Performance space

2.2 均匀设计

集成电路的参数成品率优化是一个很费时的过程, 每次迭代都意味很多次的电路模拟, 如何在优化中减少电路模拟次数一直是设计者关心的问题, 本文提出采用均匀设计^[6,7], 结合映射距离最小的思想进行成品率优化, 大大加速了优化过程. 下面简单介绍一下均匀设计的思想和理论, 并提出一种简单衡量点集均匀性的一个度量—— k 近邻密度估计的方法.

均匀设计与正交设计一样, 它们的目的都是在设计空间寻求具有代表性的点, 由于它摒弃了正交性, 仅从均匀性出发, 因此是一种空间布满的计算机模拟策略.

假设 $P = \{x_k, k = 1, 2, \dots, n\}$ 代表 m 维单位立方体 $[0, 1]^m$ 的一个点集, $N(r, P)$ 代表落入 $[0, r]^m$ 的样本点数, 这里 r 是一向量, 它的元素 r_i 满足 $0 \leq r_i \leq 1$. 衡量一个点集 P 的均匀度通常采用偏差 (discrepancy) 来进行, 其定义如下:

$$D(n, P) = \sup_{r \in [0, 1]^m} \left| \frac{N(r, P)}{n} - v(r) \right| \quad (2)$$

这里 $v(r) = r_1 \cdot r_2 \cdot \dots \cdot r_n$ 代表超立方体 $[0, r]$ 的体积 (见图 3). 可以看出, 偏差的计算本身很难实现. 虽然目前有很多算法可以产生均匀设计点集, 如

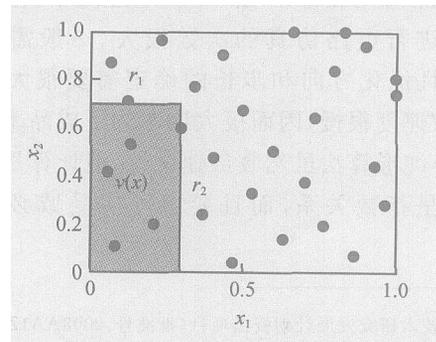


图 3 偏差
Fig. 3 Discrepancy

好格子点、好点、Halton 集合方法等,但它们均强烈依赖于某些关键参数的选择.因此即使用某算法产生了一个均匀设计表,而应用者仍无法在有效的时间内确定设计表的均匀度.本文提出一种有效的方法—— k 近邻密度估计来粗略判断设计点的均匀性.

k 近邻密度估计^[8]是一种非参数密度估计方法,它通过加权距离点 p 最近的 k 个点与 p 的距离来定义点 p 的密度.如假设 k 为邻近点的个数,则点 p 的密度一般可定义为

$$\text{density}(p) = k / \sum_{i=1}^k d_i(p, p_i) \quad (3)$$

其中 $d_i(p, p_i)$ 为空间中 p 与 p_i 的欧氏距离, $\{p_1, \dots, p_k\}$ 为距离 p 最近的 k 个点(见图 4).由于它的局部属性较好,因此适合用来度量点集的均匀性.图 5 为均匀设计和一般均匀分布得到的 30 个点的直观示意图与密度曲线.可以看出,小样本情况下采用均匀设计得到的点的均匀性好得多.对于多维欧式空间,均匀性虽然不能直观地作图看出,但从密度曲线直接看出.

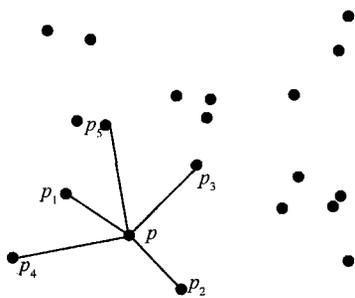


图 4 k 近邻密度估计

Fig. 4 k nearest neighbor density estimation

3 映射距离最小化的成品率优化算法实现

基于均匀设计基础上的距离最小的成品率优化算法主要由两部分组成.第一部分为以均匀设计搜索的全局优化,即初始设计参数的选择;第二部分为局部成品率优化过程.其主要步骤如下.

3.1 全局优化

首先应用均匀设计对整个参数空间进行一次全局搜索,计算确定每个设计点的距离信息与合格信息.若合格的设计个数为 0,对均匀设计旋转一个角度,重新模拟,旋转的目的是使得上次的空隙有可能被重新搜索到.如在二维空间中,两坐标值对调相当于旋转 90° ,如图 6 所示“ \cdot ”为旋转前的设计,“ \times ”为旋转后的设计.若合格的设计个数很少,则缩小范围,以映射距离最小的设计为中心进行重复均匀设计;否则以距离最小的设计为初始设计,进行成品率分析.这一部分的优化往往可使成品率达到 60% 以上.

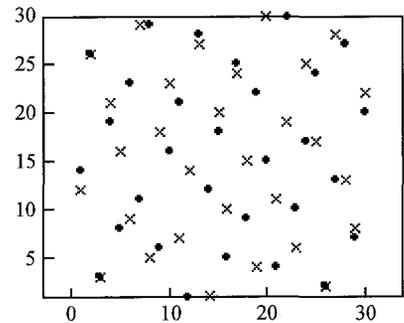


图 6 均匀设计与均匀旋转设计

Fig. 6 Uniform design and its rotary design

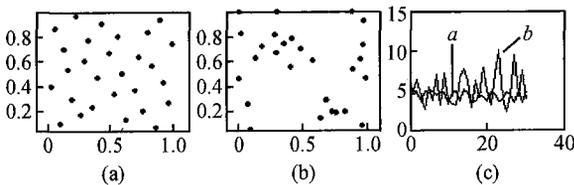


图 5 小样本均匀分布图与密度曲线 (a) 均匀设计分布样本;(b)一般均匀分布样本;(c) a 和 b 的密度曲线

Fig. 5 Uniform design and density curve (a) Samples of uniform design; (b) Samples of uniform distribution; (c) Density curves of a and b

3.2 局部优化

为了进一步提高集成电路的参数成品率,需要在上面优化的基础上继续优化.以当前设计为中心进行适当范围的均匀设计模拟,确定每个设计点的特性映射距离,取距离最小的设计为下一步设计的标称值.循环进行这个过程,直到成品率满足要求或者迭代次数达到最大.这时每次优化仅需增加几十次的电路模拟,就可以达到很好的优化结果.

以上过程如图 7 所示.通过以上算法,只需很少的电路模拟就可以达到很高的成品率.

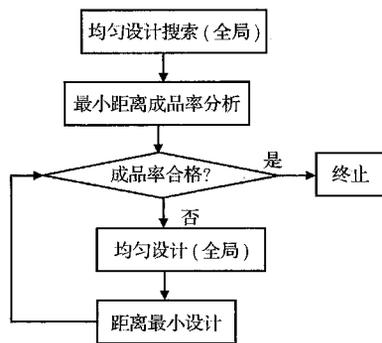


图 7 距离最小化设计流程图

Fig. 7 Design flow chart of minimum distance

4 实例分析

本文通过两级 CMOS 运放(如图 8)的设计来验证映射距离最小化的成品率全局优化算法的有效性. 优化参数为 W_{M1} , W_{M5} , W_{M6} , W_{M7} , L_M , V_{bias} , 其中, W_{M1} 为 M1 ~ M4 的沟道宽度, W_{M5} , W_{M6} , W_{M7} 分别为 M5, M6, M7 的沟道宽度, L_M 为所有 MOS 管的沟道长度, V_{bias} 为偏置电压. 目标是使得上升延迟

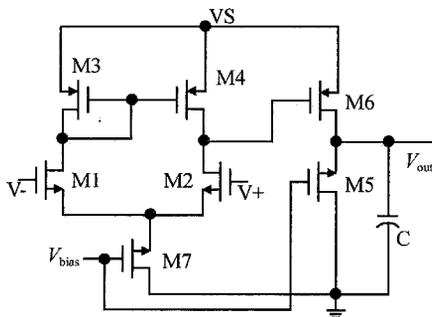


图 8 CMOS 运放电路示意图

Fig. 8 CMOS Op-amp diagram

和下降延迟、平均功耗及芯片面积达到最小. 另外, 所有晶体管的阈值电压和氧化层厚度均为服从正态分布的噪声参数. 假定延迟时间(上升和下降)小于 50ns, 功耗小于 9mW, 芯片面积小于 100nm^2 为特性要求. 假定初始设计域如下:

$$\begin{cases} W_{M1} & [20\mu\text{m}, 100\mu\text{m}], W_{M5} & [20\mu\text{m}, 100\mu\text{m}], \\ W_{M6} & [20\mu\text{m}, 500\mu\text{m}], W_{M7} & [40\mu\text{m}, 200\mu\text{m}], \\ L_M & [2\mu\text{m}, 100\mu\text{m}], V_{bias} & [1.2\text{V}, 3\text{V}] \end{cases} \quad (4)$$

表 1 给出了 CMOS 运放电路优化设计的迭代过程. 对初始设计域的中心进行成品率分析知成品率为 0, 在整个设计空间进行 37 次均匀设计, 其中

仅有 1 个点合格, 以合格设计点进行成品率分析, 得到成品率为 90.2%, 进行第二次均匀设计与优化得到成品率 99%, 满足要求.

表 1 CMOS 运放电路的优化迭代过程

Table 1 Iteration process of optimization of CMOS Op-amp

设计参数	本文算法			传统优化	
	初始设计	均匀设计 1	均匀设计 2	初始设计	优化后
$W_{M1}/\mu\text{m}$	60	93	96.6	60	48
$W_{M5}/\mu\text{m}$	60	53	58	40	69
$W_{M6}/\mu\text{m}$	260	140	122	300	127
$W_{M7}/\mu\text{m}$	120	66.7	72	70	116
$L_M/\mu\text{m}$	51	2	1.9	10	6.3
V_{bias}/V	2.1	1.75	1.68	2.2	2.7
成品率/%	0	90.2	99	0	12

由上可见, 本例通过基于均匀设计的映射距离最小化算法对 CMOS 运放电路进行优化后, 使设计的成品率有了显著的提高, 并且节约了电路成品率优化的时间. 整个优化过程加上初始点的选择, 仅需 74 次电路仿真, 就可达到很高的成品率, 而传统的优化方法^[9] 经过 100 次迭代仅使得成品率提高了 12%. 另外, 此算法不需要具备很丰富的设计经验就可以得到很好的初始设计, 因此应用该算法可提高成品率优化的效率.

5 结论

本文在均匀设计的基础上, 提出一种新的集成电路参数成品率的全局优化算法——映射距离最小化算法. 由于该算法采用了均匀设计抽样, 使每次迭代的电路模拟次数大大降低, 采用最小距离, 有效地缩短了优化时间. 尽管验证算例不够多, 但每次验证都表明了该方法对快速成品率优化设计有很好的稳定性, 因此具有很高的应用价值.

参考文献

- [1] Stoneking D. Improving the manufacturability of electronic designs. IEEE Spectrum, 1999, 36(6): 70
- [2] Zhao Tianxu, Duan Xuchao, Ma Peijun. Analysis of redundant integrated circuit yield based on critical area. Chinese Journal of Semiconductors, 2003, 24(5): 544 (in Chinese) [赵天绪, 段旭朝, 马佩军. 基于关键面积的冗余集成电路成品率分析. 半导体学报, 2003, 24(5): 544]
- [3] Jing Ming'e, Hao Yue. A geometry explanation of center of

- gravity algorithm of VLSI parametric yield. Chinese Journal of Semiconductors, 2004, 25(5):594 (in Chinese) [荆明娥,郝跃. VLSI 成品率重心游移算法的一个几何解释. 半导体学报, 2004, 25(5):594]
- [4] Keramat M, Kielbasa R. Generalized centers of gravity algorithm for yield optimization of integrated circuits. Proceedings of the 1998 IEEE International Symposium on Circuit and System, 1998(6):334
- [5] Director S, Hachtel G, Vidigal L. Computationally efficient yield estimation procedures based on simplicial approximation. IEEE Trans Circuits Syst, 1978, 25(3):121
- [6] Fang K T. Uniform design and design tables. Beijing: Science Press, 1994 (in Chinese) [方开泰. 均匀设计与均匀设计表. 北京: 科学出版社, 1994]
- [7] Fang K T, Wang Y. The application of number-theoretic methods in statistics. Beijing: Science Press, 1996 (in Chinese) [方开泰, 王元. 数论方法在统计中的应用. 北京: 科学出版社, 1996]
- [8] Hastie T, Tibshirani R, Friedman J. The elements of statistical learning: Data mining, inference, and prediction. New York: Springer, 2001
- [9] Avant, Star-Hspice Manual, 2001:576

Global Optimization for an IC Parametric Yield Based on the Minimum Mapping Distance Method *

Jing Ming 'e, Li Kang, Wang Junping, and Hao Yue

(Key Laboratory of Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices, Microelectronics Institute, Xidian University, Xi'an 710071, China)

Abstract: The minimum mapping distance method, a novel global optimization algorithm of IC parametric yield, is proposed. Because the coupling optimization of the uniform design searching and mapping distance analysis is adopted, it has the advantages of fewer iteration times and lower computation cost. Furthermore, an effective and simple algorithm— k nearest neighbor (k NN) density estimation, is introduced to compute the uniformity of a given point set. The simulation results indicate that the algorithm is valuable to accelerate the optimization of IC yield and to improve the stability of IC design.

Key words: parametric yield; mapping distance; uniform design; k NN density estimation

EEACC: 1130B; 0240G; 2220C

Article ID: 0253-4177(2005)06-1259-05

* Project supported by the National High Technology Research and Development Program of China (No. 2003AA1Z163)

Jing Ming 'e female, was born in 1976, PhD candidate. She is engaged in research on design for VLSI manufacturability and yield modeling. Li Kang male, was born in 1973, PhD candidate. He is engaged in research on optimization of IC functional yield.

Received 5 June 2004, revised manuscript received 11 January 2005

©2005 Chinese Institute of Electronics