

折叠内插模数转换器分析及实现^{*}

陈 诚 毛静文 王照钢 任俊彦 闵 昊

(复旦大学专用集成电路与系统国家重点实验室, 上海 200433)

摘要: 应用 Matlab/ Simulink 工具对折叠内插模数转换器进行了建模, 研究了具有 8bit 分辨率、200MHz 采样频率的该模数转换器的芯片设计和实现. 系统设计时采用 Matlab/ Simulink 进行行为级建模并分别分析了预放大的增益、折叠电路的带宽以及比较器的失调对动态性能的影响. 设计实现的模数转换器实测结果表明, 积分非线性误差和微分非线性误差分别小于 0.77 和 0.6LSB, 在采样频率为 200MHz 及输入信号频率为 4MHz 时, 信号与噪声及谐波失真比为 43.7dB. 电路采用标准 0.18 μ m CMOS 数字工艺实现, 电源电压为 3.3V, 功耗 181mW, 芯核面积 0.25mm².

关键词: 模数转换器; 电路建模; 折叠内插

EEACC: 1265H; 1205; 1280

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2005)06-1234-05

1 引言

目前, SoC 技术发展迅猛, 其中许多的应用需要一个片上的模数转换器作为模拟/ 数字的接口, 例如千兆以太网卡^[1]、液晶显示器驱动^[2]以及硬盘读取驱动^[3]等. 在这些应用中, 由于内置的模数转换器与数字部分电路共用同一个衬底, 周围环境噪声很大, 所以尽量避免转换器受到交叉干扰至关重要. 此外, 从成本及可携带式设备考虑, 也对模数转换器的芯片面积和功耗提出了严格的要求, 同时也不允许进行额外的物理修正. 这些无疑都增加了模数转换器的设计难度.

在高速模数转换器的领域里, 全并行结构是至今报道中最快速的电路结构. 然而, 一个基于全并行结构的 8bit 模数转换器需要 256 个异常精确且快速的比较器, 这会占用大量的芯片面积并产生大量的功耗. 为了克服全并行结构的缺点, 人们研究了很多模数转换器结构, 折叠内插结构就是其中一种, 它具有速度快、面积小、功耗低等特点, 而且能与标准

的数字 CMOS 工艺完全兼容. 本文中的折叠内插模数转换器, 还采用全差分结构来提高模数转换器的抗噪声能力; 采用失调平均技术降低模数转换器的输入电容^[4]; 采用分布式采样保持电路来提高模数转换器的带宽^[5,6]; 采用开环电路模式来提高工作速度; 采用电压内插方式来降低功耗. 最终, 该模数转换器占用了很小的芯片核面积 - 0.25mm², 功耗为 181mW.

本文在讨论了折叠内插结构模数转换器的基础上, 结合具体的电路设计方案, 进行了详细的 Matlab/ Simulink 建模及仿真分析, 并用这些分析结果指导晶体管级电路设计, 最后给出了电路的测试结果和结论.

2 电路设计方案

本文采用的折叠内插结构模数转换器如图 1 所示. 电阻串的作用是产生模数转换器所需要的参考电压. 分布式采样保持电路提高了模数转换器的动态性能, 消除了粗子 (coarse) 模数转换器和细子

^{*} 国家高技术研究发展计划 (批准号: 2002AA1Z1360), 上海市集成电路设计创新 (批准号: 027062024, 027062005) 资助项目

陈 诚 男, 1977 年出生, 博士研究生, 主要从事模数转换器的设计研究.

毛静文 女, 1981 年出生, 硕士研究生, 主要从事模数转换器的设计研究.

任俊彦 男, 1960 年出生, 教授, 主要从事射频与混合信号电路的研究.

2004-08-23 收到, 2004-11-19 定稿

(fine)模数转换器之间的位同步需求,而所采用的失调平均技术能有效降低模数转换器的输入电容值,从而降低功耗.折叠电路产生折叠信号,完成输入信号的 $F \rightarrow 1$ 映射,是该模数转换器中的主要功能模块.内插电路采用电阻分压的电压内插方式.比较器检测电压信号的过零点,产生编码所需的循环

温度码.编码电路再把由比较器阵列产生的温度码转换成最终输出的二进制码.另外还采用了一些电路技术以减轻由于比较器的亚稳态(metastability)和温度码中的气泡引起的输出误码(sparkle code)^[7],降低模数转换器的误码率.

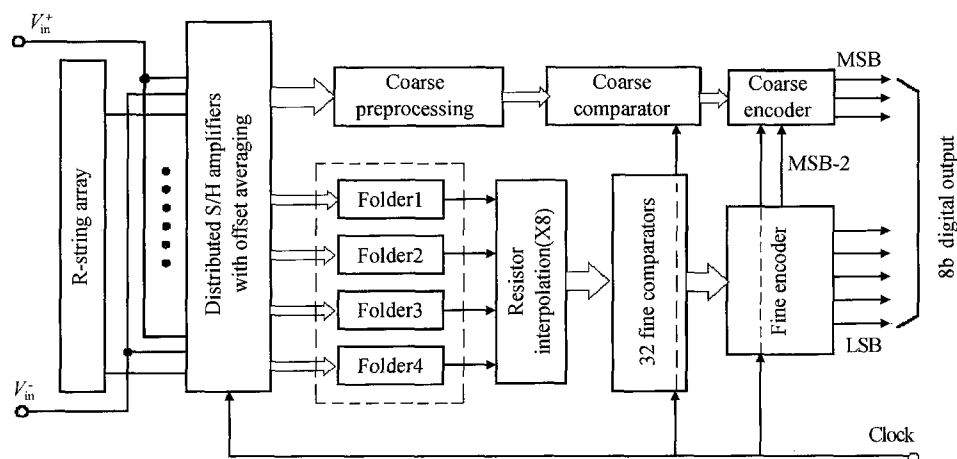


图1 采用的模数转换器的结构

Fig. 1 Proposed block diagram of A/D converter

对于8位折叠内插模数转换器,我们采用粗子转换器分辨高3位,细子转换器分辨低5位的结构.因为粗子转换器的分辨率为3,所以我们选择折叠率(folding factor)为8,输入信号在参考电压间作8次折叠.折叠模块有4个,内插因子(interpolating factor)选为8,每两个折叠模块的输出折叠信号进行内插,得到8个折叠信号,所以总的折叠信号为 $4 \times 8 = 32$ 个,再经32个电压比较器后输出循环温度码.

由于需要4组折叠8次的参考信号,所以参考电阻串需要32个基本的分压电阻.输入信号经预放大电路,产生33对与差分参考电压对应的过零差分信号,接着经过分布式采样保持电路,然后这些差分信号再被输入折叠电路中.在预放大电路中还应用了失调平均技术.此外,为了降低边界效应对系统积分非线性误差的影响,预放大电路两端各加了4个冗余单元,所以总共需要41个预放大器.参考电阻串也需要40个分压电阻产生40个参考电压.

粗子转换器中的预处理模块接收预放大电路及采样保持的输出并进行再次放大,随后经电压比较器产生最高位和次高位信号,同时产生溢出信号.由

于细子转换器的输出是循环温度码,所以32个输出信号能提供6位的信息,即第三位输出可以由细子转换器产生.

图2是该模数转换器的时序图.在某一个时钟周期,当时钟信号为低电平时,采样/保持电路采样输入信号;当时钟信号变为高电平后,电路处于保持状态.比较器在采样/保持电路还处于保持状态快要转变成采样状态时开始比较其差分输入信号,而在还处于采样状态快要转变成保持状态时开始复位,保持输出值不变.编码电路在比较器输出值保持不变时进行编码,其输出经D触发器同步后再输出至片外.

3 Simulink 仿真分析

在进行系统设计时,为了确定各个电路子模块的性能指标对模数转换器整体性能的影响,根据第2部分中讨论的电路结构和时序,利用Matlab/Simulink工具建立了对应的行为级模型,并进行仿真分析.

输入级预放大电路需要有一定的增益,放大输

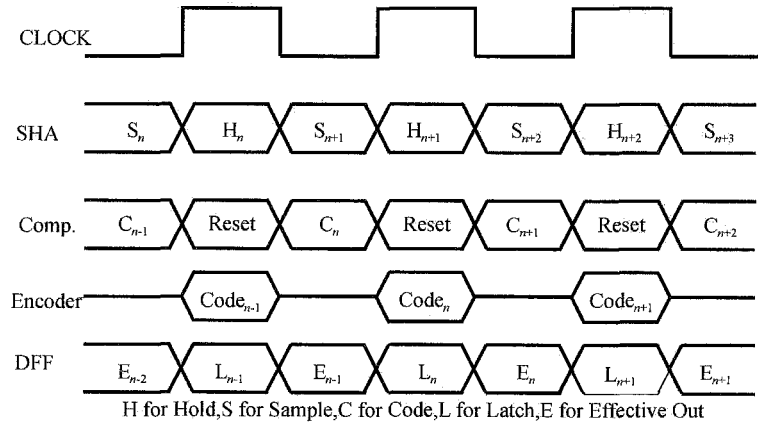


图 2 模数转换器时序图

Fig. 2 Timing of A/D converter

入模拟信号.但是考虑到电路线性度以及失调平均的效果,该增益也不是越大越好,图 3 就是针对此做的仿真结果.由图可见,当预放大增益从 4 增大到 6 时,SNDR 下降了约 1dB,变化比较平缓;但增益超过 6 以后,SNDR 下降就很迅速,当增益为 7 时,SNDR 下降就已多于 3dB 了.考虑到工艺中有非理想因素存在,需要留有一定的冗余度,预放大增益设计成 4~5 比较合适.

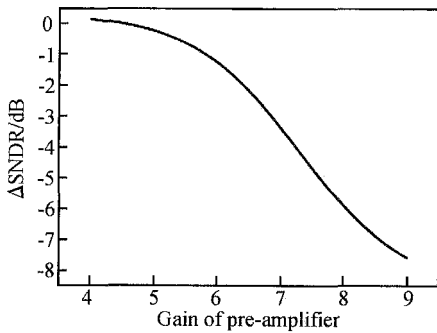


图 3 预放大增益变化造成 SNDR 性能下降

Fig. 3 SNDR degradation versus pre-amplifier gain

图 4 显示的则是折叠电路带宽对模数转换器性能的影响.横轴是带宽的变化,并相对于输入信号频率做了归一化,竖轴是 SNDR 相对应的变化.从理论上讲,折叠电路的带宽越大越好,只是实际电路设计时还需要综合考虑功耗、面积等因素.从图 4 中可以看出,以 SNDR 下降 3dB 为限,折叠电路的带宽至少必须是输入信号频率的 18 倍,最好能做到 25 倍以上,这也与折叠电路本身对于输入信号有倍频效应有关.以上分析表明,当模数转换器需要处理的模拟输入信号频率很高时,折叠电路的带宽要求会

非常严格,这时可以考虑采用采样/保持电路或者两级折叠电路.

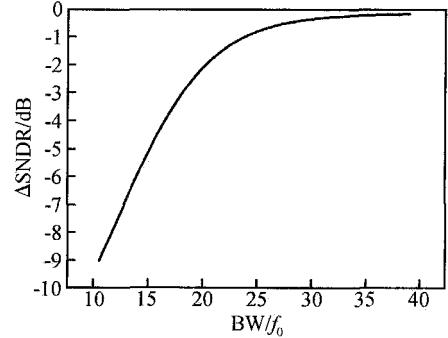


图 4 折叠电路带宽与 SNDR 性能变化曲线

Fig. 4 SNDR degradation for limited folder bandwidth

比较器的失调直接关系到模数转换器的各种性能,所以至关重要,图 5 给出的就是比较器失调和 SNDR 的仿真分析结果.从图中可以看出,随着比较器失调的不断增大,SNDR 下降非常明显.在实际电路当中,比较器的失调总是不可避免的,要保证模数转换器的性能,一方面可以增大电路中晶体管对管的面积以及版图布局对称,另一方面可以适当增大比较器之前的模拟电路信号增益.

在随后的实际电路设计^[8,9]中,以上的分析得到了进一步验证,晶体管级仿真结果与 Simulink 的分析结果基本相仿,误差在 0.6dB 以内.

4 测试结果

该折叠内插模数转换器用标准的 0.18μm CMOS 数字工艺实现,采用了 1 层多晶硅和 4 层金

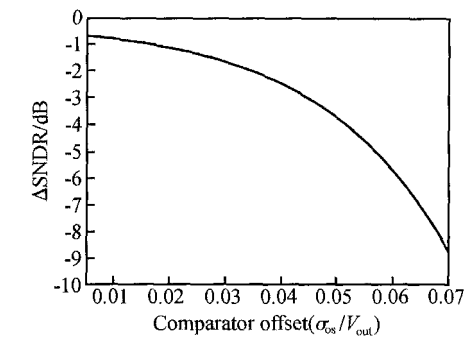


图 5 比较器失调对 SNDR 性能的影响

Fig. 5 SNDR degradation due to comparator offset

属连线.图 6 是实际的芯核照片,不包括压焊块管脚,有效面积为 $475\mu\text{m} \times 526\mu\text{m} = 0.25\text{mm}^2$.电路的电源电压为 3.3V,采样速率为 200MHz 时,测量到的功耗为 181mW.

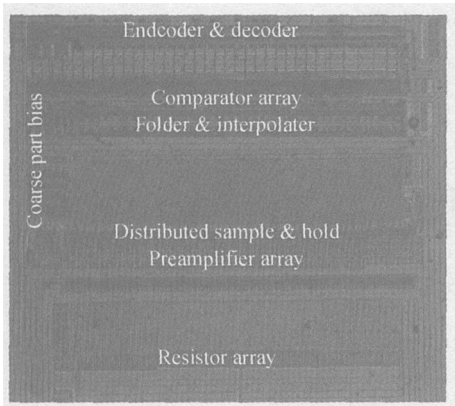


图 6 模数转换器的芯核照片

Fig. 6 A/D converter chip micrograph

图 7 是静态参数的测试结果.测试时输入信号是非常低频的斜坡信号,并对逻辑分析仪采集的数据进行码柱图分析^[10].测试结果表明 INL 小于 0.77LSB,DNL 小于 0.6LSB.而在进行动态参数的测试时,输入信号是不同频率的正弦信号,然后分别做快速傅里叶变换(FFT)分析.动态参数测试除了 SNDR 以外,还包括了无杂散动态范围(SFDR).当采样频率为 200MHz 且输入信号为极低频时,测量到的 SNDR 和 SFDR 分别为 44.6 和 56.1dB;输入信号频率为 4MHz 时,其频谱分析结果如图 8 所示.实测的相关特性参数与类似模数转换器的对比如表 1 所示,可以看出本文设计的模数转换器有先进的性能指标.

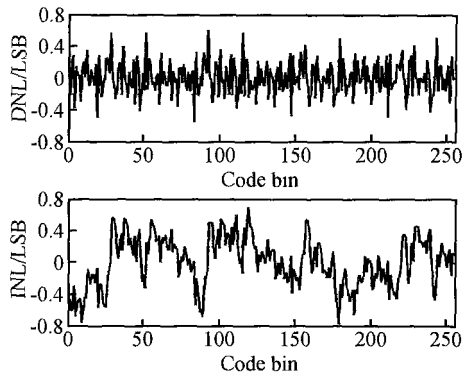


图 7 200MHz 采样速率下的 DNL 和 INL

Fig. 7 Measured DNL and INL at a conversion rate of 200 MHz

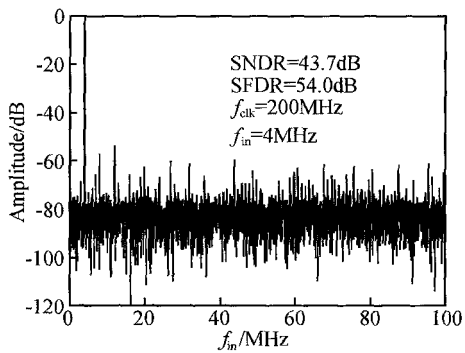


图 8 输入信号频率为 4MHz 时的频谱

Fig. 8 Measured frequency spectrum with $f_{in} = 4\text{MHz}$ at full speed

表 1 测试的参数列表及比较

Table 1 Summary of measured performance and comparison

参数	本文	JSSC2003 ^[11]
工艺	0.18 μm 数字 CMOS	0.35 μm 数字 CMOS
分辨率	8bit	8bit
采样频率	200MHz	200MHz
电源电压	3.3V	3.3V/2.5V
输入范围	1.9V _{pp} (差分)	1.3V
INL/ DNL	0.77LSB/ 0.6LSB	0.8LSB/ 0.9LSB
SNDR/ SNR	43.7dB/ 44.3dB ($f_{in} = 4\text{MHz}$)	→ 44.3dB ($f_{in} = 1.5\text{MHz}$)
SFDR	54.0dB ($f_{in} = 4\text{MHz}$)	59.2dB
功耗	181mW	655mW
芯核面积	475 $\mu\text{m} \times 526\mu\text{m}$	1400 $\mu\text{m} \times 2400\mu\text{m}$

5 结论

采用标准的 0.18 μm CMOS 数字工艺实现了 8bit 分辨率、200MHz 采样频率的折叠内插模数转换器.在用 Matlab/ Simulink 对电路进行行为级建模及仿真分析的基础上,设计了晶体管级电路.测试

结果表明, INL 小于 0.77LSB, DNL 小于 0.6LSB. 当采样频率为 200MHz 且输入信号为极低频时, SNDR 和 SFDR 分别为 44.6dB 和 56.1dB. 181mW 的低功耗及 0.25mm² 的小面积使得该模数转换器非常适合于作为 IP 核嵌入式应用.

参考文献

- [1] Yoon K, Lee J, Jeong D K, et al. An 8-bit 125MS/s CMOS folding ADC for Gigabit Ethernet LSI. Symp VLSI Circuits Dig Tech, 2000:212
- [2] Kim S, Song M. An 8-bit 200MSPS CMOS A/D converter for analog interface module of TFT-LCD driver. ISCAS Conf Proceedings, 2001, 1:528
- [3] Flynn M P, Sheahan B. A 400-Msample/s 6-b CMOS folding and interpolating ADC. IEEE J Solid-State Circuits, 1998, 33(12):1932
- [4] Bult K, Buchwald A. An embedded 240-mW 10-b 50-MS/s CMOS ADC in 1-mm². IEEE J Solid-State Circuits, 1997, 32(12):1887
- [5] Limotyrakis S, Nam K, Wooley B A. Analysis and simulation of distortion in folding and interpolating A/D converters. IEEE Trans Circuits Syst- II: Analog and Digital Signal Processing, 2002, 49(3):161
- [6] Venes A G W, Plassche R J. An 80-MHz, 8-b CMOS folding A/D converter with distributed track-and-hold preprocessing. IEEE J Solid-State Circuits, 1996, 31(12):1846
- [7] Johns D, Martin K. Analog integrated circuit design. New York: John Wiley & Sons, 1997
- [8] Chen Cheng, Wang Zhaogang, Ren Junyan, et al. An embedded 200-Ms/s 8-bit 177mW folding and interpolating CMOS ADC in 0.25-mm². Proc International Conference on ASIC, 2003:661
- [9] Chen Cheng, Wang Zhaogang, Ren Junyan, et al. 200Ms/s 177mW 8bit folding and interpolating CMOS A/D converter. Chinese Journal of Semiconductors, 2004, 25(11):1391
- [10] Doernberg J, Lee H, Hodges D. Full-speed testing of A/D converters. IEEE J Solid-State Circuits, 1984, SC-19(12):820
- [11] Uyttenhove K, Vandenbussche J, Lauwers E, et al. Design techniques and implementation of an 8-bit 200-MS/s interpolating/averaging CMOS A/D converter. IEEE J Solid-State Circuits, 2003, 38(3):483

Analysis and Implementation of a Folding/ Interpolating ADC *

Chen Cheng, Mao Jingwen, Wang Zhaogang, Ren Junyan, and Min Hao

(State Key Laboratory of ASIC & System, Fudan University, Shanghai 200433, China)

Abstract: Modeling and analysis with Matlab/ Simulink and chip implementation for a 8bit 200Ms/s folding/ interpolating analog-to-digital converter (ADC) are described. During system design, a behavioral model is built in Matlab/ Simulink. The sensitivity of dynamic performance with the gain of pre-amplifier, the bandwidth of folder, and the offset of comparator are analyzed. The ADC is designed and implemented according to the analysis. An INL/ DNL of 0.77LSB/ 0.6LSB is measured. An SNDR figure of 43.7dB is achieved at 4MHz input frequency when operated at full speed. The chip is realized in a standard digital 0.18μm CMOS technology and consumes a total power of 181mW from a 3.3V power supply. The active area is 0.25mm².

Key words: analog-to-digital converter; circuit modeling; folding and interpolating

EEACC: 1265H; 1205, 1280

Article ID: 0253-4177(2005)06-1234-05

* Project supported by the Hi-Tech Research and Development Program of China (No. 2002AA1Z1360) and the Shanghai Municipality IC Design Innovation Project (Nos. 027062024, 027062005)

Chen Cheng male, was born in 1977, PhD candidate. His research interest focuses on analog-to-digital converters.

Mao Jingwen female, was born in 1981, master candidate. Her research interest focuses on analog-to-digital converters.

Ren Junyan male, was born in 1960, professor. His research interests are in the area of RF and mixed-signal circuit design.

Received 23 August 2004, revised manuscript received 19 November 2004

©2005 Chinese Institute of Electronics