

应用于深亚微米 DSOI 器件的埋氧层的制备

陶 凯^{1,2} 董业民² 易万兵^{1,2} 王 曦^{1,3} 邹世昌^{1,2}

(1 中国科学院上海微系统与信息技术研究所, 上海 200050)

(2 中国上海宏力半导体制造有限公司, 上海 201203)

(3 中国上海新傲科技有限公司, 上海 201821)

摘要: 利用低剂量、低能量的 SIMOX(separation by implanted oxygen) 图形化技术实现了深亚微米间隔埋氧层的制备。在二氧化硅掩膜尺寸为 172nm 的情况下, 可以得到间隔为 180nm 的埋氧层。通过 TEM(transmission electron microscope) 观察发现埋层形貌完整、界面陡峭、无硅岛及其他缺陷。该结果为 DSOI(drain/source on insulator) 器件向更小尺寸发展奠定了工艺基础。

关键词: DSOI; SIMOX; 埋氧层

PACC: 8100

中图分类号: TN304.1+2

文献标识码: A

文章编号: 0253-4177(2005)06-1187-04

1 引言

经过 30 余年的发展, SOI(silicon on insulator) 材料已经成为制造高性能深亚微米与纳米 ULSI 集成电路的首选衬底材料。与传统的体硅相比, SOI 超大规模集成电路有许多明显的优势: 抗辐照、耐高温、高速、低功耗、集成度高、按比例缩小的能力更强等。SOI 衬底中埋氧层(BOX)的存在使器件的源、漏寄生电容大大降低, 提高了器件的速度, 降低了动态功耗; 切断了沟道下方源、漏之间的泄漏电流的通道, 降低了静态功耗; 实现了全介质隔离, 消除了门锁效应, 提高了器件的可靠性。正是由于 SOI 技术独特的优越性, 世界上各大半导体公司都在积极开展 SOI 技术的研究, 相继推出基于 SOI 技术的产品。1998 年 IBM 公司采用 0.22 μm 工艺第一次推出了高性能的 64 位 SOI 微处理器^[1]。与相应体硅产品相比, SOI 微处理器的速度显著提高, 功耗大幅度降低, 整体性能提高约 35%^[2]。随后, IBM 公司又相继开发了 0.18^[3], 0.13^[4] 和 0.10 μm ^[5] 的 SOI 工艺, 并将其与铜互连、Low-*k* 工艺结合在一起应用^[4]。

SOI 技术的优势主要归功于 SOI 衬底中 BOX 层的存在。然而, BOX 层的存在也给 SOI 器件带来了两个根本性的问题, 即浮体效应和自热效应。它们

会导致器件性能的退化, 严重地影响器件的可靠性。当器件尺寸缩小时, 其负面影响显得更为突出。解决这两个问题最为简单经济的办法就是在沟道下方的 BOX 层中开一个窗口^[6,7], 这样, 沟道区和衬底是电耦合的, 浮体效应被彻底消除, 而器件工作时产生的热量也可以更容易地通过沟道下面的衬底通道传出去, 从而有效地抑制自热效应。

要实现这种准 SOI 结构的器件, 关键是要在单个晶体管的源、漏下方形成独立的 BOX 层。董业民等人^[8]利用低剂量、低能量 SIMOX 工艺成功地实现了 SOI 材料的图形化; 何平等^[9]在此基础上制备出了 30 μm /0.6 μm 的 DSOI 器件, 并证实了浮体效应和自热效应显著减小。但是, 当 DSOI 器件的尺寸向深亚微米进一步发展时, 源漏下方的 BOX 层越靠近, 图形化 SIMOX 技术受到了更为严峻的考验。本文在国内首次报道了如何利用低剂量、低能量 SIMOX 工艺制备深亚微米间隔的 BOX 层, 并对其形成机理进行了分析和讨论。

2 实验

样品的注入在 ULVAC IM-200 型离子注入机上进行。注入时, 衬底温度为 680 \pm 5, 离子束流密度为 7 $\mu\text{A}/\text{cm}^2$ 。为了在 DSOI 器件的沟道下方不形

成 BOX 层,在氧离子注入时,利用二氧化硅掩膜进行覆盖.掩膜采用 RIE(reactive ion etching)刻蚀,宽度从 200nm 到 1 μ m 不等.注入完成后,部分样品进行了高温退火.利用 Philips 公司的 CM200FEG 型透射电子显微镜对样品的微结构进行了观察.仪器的具体性能如下:加速电压 200kV;线分辨率为 0.1nm;点分辨率为 0.24nm;最小束斑为 1nm.

利用图形化 SIMOX 技术在单个晶体管的源、漏下方形成 BOX 层,可以得到很好的结果,如图 1 所示.样品氧离子注入的能量为 100keV,剂量为 $3.5 \times 10^{17} \text{ cm}^{-2}$.退火在 Ar + 0.5%O₂ 的气氛中进行,温度为 1300 $^{\circ}$ C,时间为 5h.从图中可以清晰地看到,整个器件具有良好的结构.源、漏下方的 BOX 层非常完整,BOX 层的端口与多晶硅栅相对齐,间距略微大于栅的长度.整个单晶硅的表面非常平整,源漏区没有因为形成 BOX 层而抬高,也没有在退火过程中受到氧化而降低.

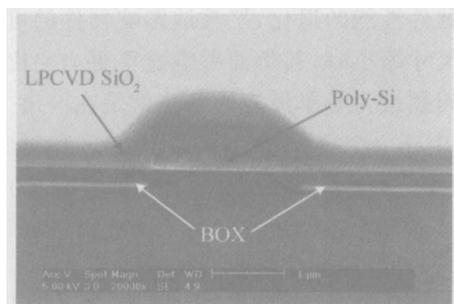


图 1 注氧样品的 SEM 照片

Fig. 1 SEM picture of patterned SIMOX sample

然而,由于 BOX 层之间的距离与栅长相当,随着集成器件尺寸向深亚微米发展,BOX 层之间的间隔也会越变越小.此时,SIMOX 工艺中注入的氧离子将会产生一定的横向扩散,当掩膜很窄时,掩膜两侧的氧甚至有可能连接起来.同时,BOX 层在形成时产生横向膨胀,有可能会导致 BOX 层延伸到掩膜下方.为此,我们把样品(已注氧)退火前后的微结构结合起来进行了分析.

我们利用低剂量、低能量的 SIMOX 技术制备了两个样品,注入剂量和能量都为 $2 \times 10^{17} \text{ cm}^{-2}$ 和 50keV.图 2 给出了未退火样品的 XTEM 照片.图中所显示的掩膜宽度为 172nm.可以清楚地看到,由于氧离子的溅射作用,注氧区域的顶层硅有所减薄.另外,由于横向扩散,注入的氧已经分布到掩膜的下方,且被掩膜隔开的两个注氧区域已经部分连

接起来.由于注入的剂量较低,在硅衬底中并没有形成化学配比的 BOX 层.

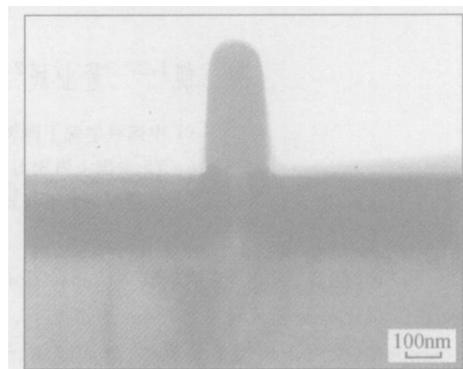


图 2 退火前的 XTEM 照片

Fig. 2 XTEM picture before anneal

退火样品的退火气氛为氩气与氧气的混合气体,其中氧气的含量小于 3%,退火温度为 1300 $^{\circ}$ C,退火时间为 5h.退火过程中,升温 and 降温的速率均为 2~5 $^{\circ}$ C/min.样品的 XTEM 照片如图 3 所示,样品表面平整,照片中的区域与图 2 相对应.经过高温退火后,在掩膜两侧的注氧区域形成了两个完整的 BOX 层.BOX 层中没有发现硅岛,BOX 层与体硅层的界面也很陡峭.两个 BOX 层之间的距离为 180nm,略大于掩膜的宽度.

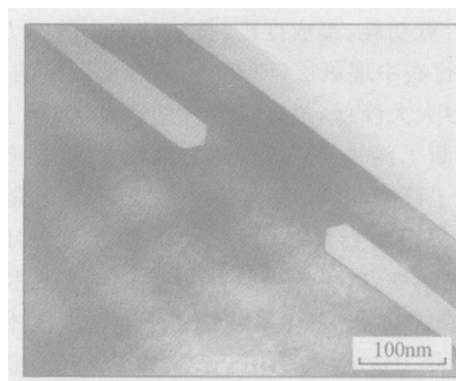


图 3 退火后的 XTEM 照片

Fig. 3 XTEM picture after anneal

对比图 2 和图 3 可以发现,当掩膜的宽度小到 200nm 以下仍然可以形成深亚微米间隔的 BOX 层.虽然注入的氧由于横向扩散在掩膜的下方已经部分连接起来,但是高温退火以后所形成的 BOX 层并没有相互接触.这说明在退火过程中,掩膜下方的氧向掩膜两侧扩散,聚集到各自的 BOX 层中.在低剂量的 BOX 层形成过程中,注入的氧要先成核,

然后生成二氧化硅沉淀,随着沉淀的不断生成最后形成连续的 BOX 层^[10]。所以,低剂量 BOX 层的形成遵循“Ostwald 成熟”机理^[11],即以消耗小的二氧化硅沉淀来形成大的二氧化硅沉淀。在注入过程中,掩膜下方虽然分布着横向扩散的氧,但是浓度要比掩膜两侧低得多。随着退火温度升高,这种小的二氧化硅沉淀因为不稳定而分解,溶解的氧向掩膜两侧较大的二氧化硅沉淀扩散,最终,在掩膜两侧形成完整的 BOX 层。

根据离子注入理论^[12],沿着垂直入射轴的方向上,氧的分布为高斯函数:

$$N(y) = N_{\max} \exp\left(-\frac{y^2}{2}\right)$$

其中 N_{\max} 为峰值浓度; y 为离子射程的横向偏差。通过实验我们发现当 100keV 注入、掩膜宽度为 200nm 的条件下,经过高温退火不能在掩膜下方形成连续的 BOX 层,而是产生间隔。此时氧离子在单晶硅中的横向偏差 y 为 60nm,掩膜中心位置处氧浓度为峰值浓度的 50%。依此推断,在 50keV 注入时,如果仍取控制掩膜中心的临界氧浓度为 50%,那么掩膜的临界宽度将是 110nm。如果由于能量的降低导致掩膜中心的临界氧浓度更高,那么在 50keV 的注入条件下就完全有可能制备出间隔小于 100nm 的 BOX 层,从而满足纳米 DSOI 器件制造的需要。

3 结论

采用低能量、低剂量的图形化 SIMOX 技术成功制备了深亚微米间隔埋层的 SOI 材料。利用 XTEM 和 SEM 对材料进行了观察分析,发现材料结构完整、质量良好,完全能够满足应用的需要。图形化 SIMOX 技术在深亚微米间隔 SOI 材料上的实

现,克服了传统 SOI 材料在浮体效应和自热效应方面的不足,并为 DSOI 器件向更小尺寸发展奠定了坚实的基础,具有非常广阔的发展前景。

参考文献

- [1] Shahidi G G. SOI technology for the GHz era. IBM J Res Dev, 2002(46):121
- [2] Service R F. IBM puts fast chips on a new footing. Science, 1998, 281:893
- [3] Leobandung E, Barth E, Sherony M, et al. A 0.18 μm CMOS on SOI technology. IEDM Tech Digest, 1997:445
- [4] Smeys P, McGahay V, Yang I, et al. A high performance 0.13 μm SOI CMOS technology with Cu interconnects and low- k BEOL dielectric. Symp VLSI Technology, 2000:184
- [5] Fung S K H, Khare M, Schepis D, et al. Gate length scaling accelerated to 30nm regime using ultra-thin film PD-SOI technology. IEDM Tech Digest, 2001:629
- [6] Chen W S, Tian L L, Li Z J. A novel drain/source on insulator (DSOI) structure to fully suppress the floating-body and self-heating effects. International Conference on Solid-State and Integrated Circuit Technology, 1998:575
- [7] Awahallah R, Yuan J S. A new structure design of a silicon-on-insulator MOSFET reducing the self-heating effect. Int J Electronics, 1999, 86:707
- [8] Dong Yemin, Chen Jing, Wang Xiang, et al. Optimized implant dose and energy to fabricate high-quality patterned SIMOX SOI materials. Solid State Commun, 2004, 130:275
- [9] He Ping, Jiang Bo, Lin Xi, et al. Drain and source on insulator MOSFETs fabricated by local SIMOX technology. Chinese Journal of Semiconductors, 2003, 24(6):592
- [10] Ogura A. Extension of dose window for low-dose separation by implanted oxygen. J Electronchem Soc, 1998, 145:1735
- [11] Colinge J P. Silicon-on-insulator technology: Materials to VLSI. 2nd ed. Boston: Kluwer Academic Publishers, 1997:38
- [12] Sze S M. Semiconductor devices, physics and technology. 2nd ed. New York: John Wiley & Sons, 2001:576

Patterned SIMOX Technique for Deep Sub-Micron DSOI Devices

Tao Kai^{1,2}, Dong Yemin², Yi Wanbing^{1,2}, Wang Xi^{1,3}, and Zou Shichang^{1,2}

(1 Shanghai Institute of Microsystem and Information Technology, Chinese Academy of Sciences, Shanghai 200050, China)

(2 Grace Semiconductor Manufacturing Corporation, Shanghai 201203, China)

(3 Shanghai Simgui Technology Co., Ltd., Shanghai 201821, China)

Abstract : Buried oxide at deep sub-micron intervals is successfully fabricated by patterned SIMOX techniques with low dosage and low energy. The distance between the buried oxide layers can be controlled to 180nm when the length of the silicon dioxide mask is 172nm. Good shape and sharp interface are observed by TEM with no silicon islands and other defects. This technique strongly supports the development of deep sub-micron DSOI devices.

Key words : DSOI; SIMOX; BOX

PACC : 8100

Article ID : 0253-4177(2005)06-1187-04