

HALO 结构 pMOSFETs 在 $V_g = V_d/2$ 应力模式下应力相关的热载流子退化^{*}

胡 靖 赵 要 许铭真 谭长华

(北京大学微电子学研究所, 北京 100871)

摘要: 研究了超薄栅(2.5nm)短沟 HALO-pMOSFETs 在 $V_g = V_d/2$ 应力模式下不同应力电压时热载流子退化特性。随着应力电压的变化, 器件的退化特性也发生了改变。在加速应力下寿命外推方法会导致过高地估计器件寿命。在高场应力下器件退化是由空穴注入或者电子与空穴复合引起的, 随着应力电压的下降器件退化主要是由电子注入引起的。最后, 给出了两种退化机制的临界电压并在实验中得到验证。

关键词: 热载流子; 一次碰撞电离; 二次碰撞电离; 复合

EEACC: 0170N; 2560R

中图分类号: TN 386

文献标识码: A

文章编号: 0253-4177(2004)04-0436-05

1 引言

热载流子退化已经被广泛认为是影响现代亚微米 CMOS 可靠性的主要问题。随着晶体管沟道尺寸进入深亚微米区, 在 pMOSFETs 中热载流子效应引起的退化与 nMOSFETs 非常接近, 使得研究 pMOSFET 热载流子可靠性变得非常重要^[1]。由于在工作电压下只有电子直接打断 Si—H 键引起的器件退化, 而在 $V_g = V_d/2$ 模式下器件的高能电子数目最多, 所以 pMOSFETs 中 $V_g = V_d/2$ 应力模式被认为是工作电压下的最差应力模式^[2]。

通常认为 pMOSFETs 的栅电流是由电子而不是空穴注入引起的, 这是因为电子比空穴的界面势垒高度小得多而且平均自由程要大得多^[3]。但是随着器件沟道长度的降低, 近年来人们在 pMOSFETs 中也观测到与 nMOSFETs 类似的衬底增强的空穴电流(SEGC)^[4]。相对于电子注入, 这种新的空穴电流会引起更大的正电荷俘获和更快的器件退化。随

着器件尺寸的降低, SEGC 对器件退化影响越来越显著。

2 实验

实验中采用了氧化层厚度为 2.5nm, 宽长比为 10/0.135 和 10/0.165 的 HALO 结构的 pMOSFETs。器件是采用文献[7]描述的方法制备的。器件的氧化层厚度通过 C-V 法获得, 沟长通过 S&R 方法测得。HALO 结构的引入是为了抑制短沟效应和提高阈值电压, 从而改善器件性能。在我们的样品中, HALO 区掺杂浓度为 $4 \times 10^{18} \text{ cm}^{-3}$, 漏区掺杂浓度为 $2 \times 10^{20} \text{ cm}^{-3}$ 。转移特性在 $V_d = -0.1 \text{ V}$ 下测量。 $I_{d,\text{lin}}$ (线性漏电流), V_{th} (阈值电压) 和 g_m (最大跨导) 被选作退化参数。应力电压从 -2.2V 测到 -3.0V, 衬底电压为 0.5V 和 0V。

3 应力相关器件退化机制现象

线性跨导的变化直接对应界面态的变化^[1]。图

* 国家重点基础研究发展计划(批准号: G2000036503) 和 MOTOROLA Digital DNA 实验室资助项目

胡 靖 男, 1976 年出生, 博士研究生, 研究小尺寸器件的可靠性。

赵 要 男, 1980 年出生, 博士研究生, 研究小尺寸器件的可靠性。

许铭真 女, 1939 年出生, 教授, 研究小尺寸器件的特性和物理以及半导体材料的可靠性。

2003-04-12 收到, 2003-08-22 定稿

©2004 中国电子学会

图 1 给出了沟长为 $0.135\mu\text{m}$ 的器件在 $V_g = V_d/2$ 应力模式下不同应力电压时 $\Delta g_m/g_m(0)$ 作为时间函数的退化。不同应力电压下时间退化因子 ($\Delta g_m/g_m(0) = At^n$ 中的 “ n ”) 有明显的分区现象。在高场引下 ($|V_d| \geq 2.5\text{V}$)，时间退化因子基本上与应力电压无关，约为 0.35。随着应力电压的进一步降低 ($|V_d| < 2.5\text{V}$)，时间退化因子将会变小 (约为 0.23)。时间退化因子是由器件退化机制决定的，所以这个现象反映了随着应力电压大小的变化，器件退化机制也发生了变化。沟长为 $0.165\mu\text{m}$ 的器件在 $V_g = V_d/2$ 应力模式下不同应力电压的 $\Delta g_m/g_m(0)$ 有着同样的退化特性，临界漏电压也是 2.4V 。

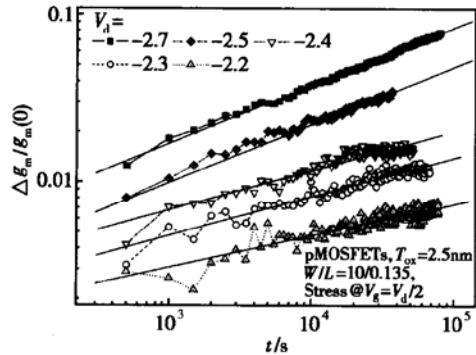


图 1 在 $V_g = V_d/2$ 应力模式下不同应力电压的 $\Delta g_m/g_m(0)$ 作为时间函数的退化

Fig. 1 $\Delta g_m/g_m(0)$ degradation as a function of stress time for $V_g = V_d/2$ stress mode

为了研究氧化层中的电荷俘获，监视了退化过程中阈值电压的退化。图 2 比较了零衬底偏置下漏端应力电压为 -2.5 , -2.4 和 -2.3V 时的 ΔV_{th} 退化与时间的关系。可以看到在 $V_d = -2.5\text{V}$ 时， $|V_{th}|$ 随着应力时间变大，这表明氧化层中正电荷的积累。但是，随着应力电压的进一步降低 ($|V_d| = 2.4\text{V}$)， ΔV_{th} 突然变得更大，这表明退化中负电荷的积累，显然是电子注入的结果。这表明退化过程中随着应力电压的降低，电子注入变成器件退化的主要原因。沟长为 $0.165\mu\text{m}$ 的器件在 $V_g = V_d/2$ 应力模式下不同应力电压下时 ΔV_{th} 有着基本相同的退化特性。

图 3 表示在零衬底偏置下，两种沟长器件在 50000s 后 $\Delta g_m/g_m(0)$ 和 $\Delta I_{d,lin}/I_{d,lin}(0)$ 退化与应力电压的关系。随着应力电压的进一步降低，一个明显的拐点 ($|V_d| < 2.5\text{V}$) 出现了。拐点的位置与退化参数的选取无关，并与图 1 和 2 中的拐点吻合，表明超薄栅 pMOSFETs 器件退化表现出与应力电压相关

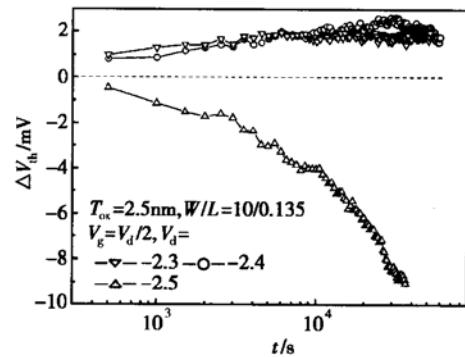


图 2 零衬底偏置下 ΔV_{th} 退化与时间的关系

Fig. 2 ΔV_{th} degradation as a function of stress time for $V_g = V_d/2$ stress mode

的两种退化机制，这导致了加速应力下寿命外推会过高地估计器件的寿命。该研究表明了在不同应力电压下确定器件退化机制的重要性。如果在不同应力条件下，没有正确地考虑器件退化机制，产品应用提取的寿命会被过高估计。

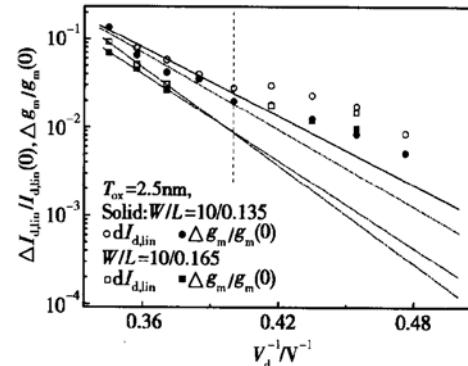


图 3 零衬底偏置下， 50000s 后 $\Delta g_m/g_m(0)$ 和 $\Delta I_{d,lin}/(I_{d,lin} - I_{d,lin}(0)/I_{d,lin}(0))$ 在不同应力电压下的退化

Fig. 3 Correlation between $\Delta g_m/g_m(0)$ and $\Delta I_{d,lin}$ as a function of drain bias for pMOSFETs

4 应力相关的器件退化机制

因为栅电流可以敏感地测量热载流子能量分布函数的高能部分，理解它的机制对于理解热载流子效应非常重要。随着氧化层厚度减小，隧穿电流在栅电流中占的比例越来越大。但是，由于隧穿的载流子能量较小，本身并不引起电荷俘获和界面态产生，所以本文将不考虑它对退化的影响。

如图 4 所示，沟道空穴 $h1$ 受沟道电场加速，获得很高的能量，通过一次碰撞电离产生二次高能电子-空穴对。其中，一部分二次电子有机会轰击 Si-

SiO_2 界面并被注入到氧化层中形成正的栅电流。电子电流的存在已被广泛认为是与 pMOSFETs 退化相关^[3]。一部分流向衬底的二次电子受衬底和漏间的结电场加速获得很高的能量并发生二次碰撞电离，从而产生三次电子-空穴对。三次空穴 h3 被衬底-漏结的电场加速注入到漏端，在漏端扩散到氧化层表面形成栅电流。此外，热空穴也能够通过沟道和氧化层的垂直势垒降得到加速注入到栅中^[5]。载流子对栅电流有贡献的条件是它们的能量必须高于 Si-SiO₂ 界面势垒高度。显然，对于薄栅器件，沟道的热空穴 h1 对栅电流贡献很小。所以对于短沟 pMOSFETs，器件栅电流主要由 e2 和 h3 组成^[4-7]。

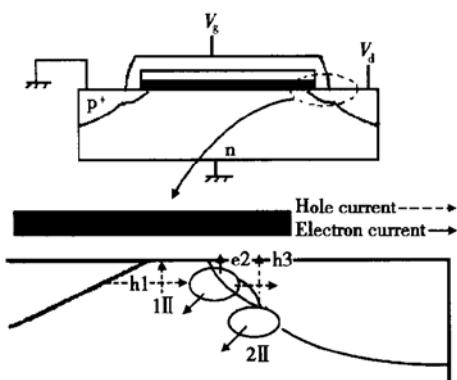


图 4 器件的栅电流成分: 二次电子和三次空穴注入

Fig. 4 Model proposed to explain the degradation characteristics for pMOSFETs under different stress voltages

当应力电压较高时，有明显的空穴注入，此外由于垂直电场较大，只有少部分二次电子有足够的能量克服表面势垒注入到栅氧化层中，器件栅电流主要由空穴组成。器件的退化主要是由三次空穴直接打断 Si-H 键或者三次空穴和二次电子复合引起的，所以阈值电压 $|V_{th}|$ 一直升高。但是随着应力电压的进一步降低，空穴没有足够的能量注入到氧化层中，此外垂直电场的降低有利于电子注入。这时器件的栅电流主要由电子构成，器件的主要退化机制相应地变成了高能电子打断 Si-H 键形成界面态和电子陷阱。所以开始时，阈值电压 $|\Delta V_{th}|$ 变小，然后由于大量界面态产生屏蔽了电子陷阱的影响 $|\Delta V_{th}|$ 有恢复的趋势，这与图 2 阈值电压的变化吻合。这种退化机制的差异导致了 g_m 的时间退化因子随着应力电压的变化而变化。

5 应力相关退化机制临界电压的确定

为了定量地分析不同应力电压下界面态的产生机制，必须确定退化机制的临界电压。热载流子必须有足够的能量才能越过 Si-SiO₂ 势垒注入到栅氧化层中，只有这些热载流子对器件退化起作用。通过漏-衬底结到漏端的空穴 h3，决定空穴的高能分布函数并会导致明显的栅电流^[5]。

空穴从沟道加速中获得的能量为 $q(V_d - V_{dsat})$ 。假设碰撞电离后剩下的能量 $q(V_d - V_{dsat}) - E_C$ 为三个二次载流子均分（碰撞电离后产生的二次电子-空穴对和一次热载流子）^[10]，一次碰撞电离后产生的高能电子能量 E_{e2} 可以表示为：

$$E_{e2} = \frac{q(V_d - V_{dsat}) - E_C}{3} \quad (1)$$

这里 V_{dsat} 是夹断电压； E_C 是 Si 中禁带宽度。

电子受衬底和漏之间的结电场加速，获得的能量为漏结衬底电势差的 q 倍，即 qV_{db} ，即为 $q(V_d + V_{bi} - V_b)$ ，这里 V_{bi} 和 V_b 分别是结内建势和衬底偏置。产生二次碰撞电离前的电子能量为 $E_{e2} + qV_{db}$ 。二次碰撞电离后产生的三次空穴能量 E_{h3} 可以表示为：

$$E_{h3} = (E_{e2} + q(V_d + V_{bi} - V_b) - E_C)/3 \quad (2)$$

三次空穴经过漏-衬底间的势垒后再次获得加速，它的最大能量可以表示为 $E_{h3max} = E_{h3} + q(V_d + V_{bi} - V_b)$ 。

由于空穴产生界面态的效率要比电子高得多，因此电子注入成为器件退化的主要机制时，空穴的注入非常微弱。假设退化机制改变的临界电压的定义是：具有最大能量的空穴都不能越过 Si-SiO₂ 势垒，则这个关系可以表示为：

$$E_{h3max} < \phi_{\text{Si-SiO}_2}(h) \quad (3)$$

这里 $\phi_{\text{Si-SiO}_2}(h)$ 是界面空穴的势垒高度，约为 4.5eV^[11]。这时临界电压 V_d 可以表示为：

$$V_d = \frac{9}{13} \left(\frac{\phi_{\text{Si-SiO}_2}(h)}{q} + \frac{4E_g}{9q} + \frac{1}{9}V_{dsat} - \frac{4}{3}V_{bi} + \frac{4}{3}V_b \right) \quad (4)$$

对于 2.5nm 栅氧化层和 10/0.135 宽长比的 pMOSFETs，阈值电压 V_{th} 为 -0.4V，HALO 区掺杂 N_{HALO} 和漏区掺杂浓度 N_D 分别为 4×10^{18} 和 $2 \times 10^{20} \text{ cm}^{-3}$ 。这样，器件的漏-衬底结的内建势为：

$$V_{bi} = \frac{kT}{q} \ln\left(\frac{N_{HALO} N_D}{n_i^2}\right) \approx 1.1V \quad (5)$$

这里 T 是温度; q 是电子电量; n_i 是本征载流子浓度; k 是 Boltzman 常数. 可以看到 HALO 结构的引入增加了衬底-漏结电场, 从而更加有利于二次碰撞电离.

V_{dsat} 可以表示为:

$$V_{dsat} = \frac{L_{eff} E_{sat} |V_g - V_{th}|}{L_{eff} E_{sat} + |V_g - V_{th}|} \quad (6)$$

这里 E_{sat} 是速度饱和临界电场; L_{eff} 是有效沟道长度. 如果采用 $E_{sat} = 2 \times 10^5 V/cm$, 实验中提取的 V_{dsat} 与公式(6)吻合得很好^[3].

把公式(5)和(6)带入公式(4)中, 对于 $0.135\mu m$ 和 $0.165\mu m$ 沟长器件, 临界 $|V_d|$ 都约为 $2.46V$, 这与实验数据中的 $2.4V$ 吻合得很好, 进一步证明了公式(4).

为了再进一步验证公式(4), 图 5 给出了衬底偏置在 $0.5V$ 下不同应力电压时 g_m 的退化. 当 $V_b > 0$ 时, $h3$ 在氧化层界面的数目明显增加, 但 $e2$ 受到的影响很小. 这时根据公式(4), 临界电压 $|V_d|$ 约为 $1.98V$. 可以从图 5 看到在该偏置下当器件的漏电电压降低到 $1.9V$ 时, 器件的时间退化因子发生了明显变化, 这表明器件退化机制的改变. 临界点与理论值基本吻合. 因此可以得出结论: 公式(4)能有效地预测 $V_g = V_d/2$ 应力模式下不同退化机制的临界电压.

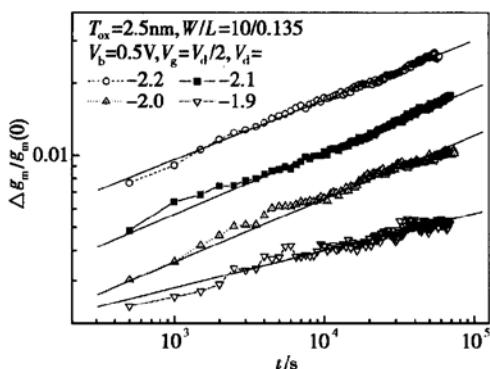


图 5 $V_b = 0.5V$ 下不同应力电压时的 g_m 退化与模型验证
Fig. 5 Degradation of $\Delta g_m/g_m(0)$ for different stress voltages under $V_b = 0.5V$ and model validation

6 结论

本文研究了超薄栅($2.5nm$)短沟 HALO-

pMOSFETs 在 $V_g = V_d/2$ 应力模式下不同应力电压时热载流子退化特性. 随着应力电压的变化, 器件的退化特性也发生了改变. 传统的寿命外推方法会导致非线性拟合. 在高场应力下栅电流主要有一次碰撞电离产生的电子注入 $e2$ 和二次碰撞电离产生的空穴注入 $h3$, 器件退化是由空穴注入或者电子与空穴复合引起的. 随着器件尺寸的降低和相应的应力电压的下降, 栅电流主要由二次电子组成, 器件退化是由电子注入引起的. 不同应力电压下退化机制的差异导致寿命预测中非线性拟合. 从过高的应力下做寿命外推会导致过高地估计器件寿命. 最后, 本文给出并验证了两种退化机制的临界电压.

参考文献

- [1] Yang Z J, Guarin F J, Rauch S E. The interaction of hot electrons and hot holes on the degradation of p-channel metal oxide semiconductor field effect transistors. IEEE International Caracas Conferences on Devices, Circuits and Systems, 2002: 17
- [2] Li E, Rosenbaum E, Tao J, et al. Projecting lifetime of deep submicron MOSFETs. IEEE Trans Electron Devices, 2001, 48: 671
- [3] Ong T C, Ko P K, Hu C. Hot-carrier current modeling and device degradation in surface-channel pMOSFETs. IEEE Trans Electron Devices, 1990, 37: 1658
- [4] Driussi F, Esseni D, Selmi L, et al. Hot hole gate current in surface channel PMOSFETs. IEEE Electron Device Lett, 2001, 22: 29
- [5] Bude J D. Gate current by impact ionization feedback in sub-micron MOSFET technologies. IEEE Symposium on VLSI Technology, 1995: 101
- [6] Marchand B, Cretu B, Ghibaudo G, et al. Secondary impact ionization and device aging in deep submicron MOS devices with various transistor architectures. Solid-State Electron, 2002, 46: 337
- [7] Song D, Lim L, Lee K. Device reliability and optimization on halo MOSFETs. International IEEE Reliability Physics Symposium, 1995: 271
- [8] Brassington M P, Razouk R R. The relationship between gate bias and hot-carrier-induced instabilities in buried- and surface-channel PMOSFET's. IEEE Trans Electron Devices, 1998, 45: 320
- [9] Chan T Y, Ko P K, Hu C. Dependence of channel electric field on device scaling. IEEE Electron Device Lett, 1985, 6: 551
- [10] Bude J D, Pinto M R, Smith R K. Monte carlo simulation of the CHISEL flash memory cell. IEEE Trans Electron Devices, 2000, 47: 1873

- [11] Koike N, Tatsuunma K. A drain avalanche hot carrier lifetime mode for n- and p-channel MOSFET's. IEEE International Reliability Physics Symposium, 2002: 86

Stress-Dependent Hot Carrier Degradation for pMOSFETs Structure Under Stress Mode $V_g = V_d/2^*$

Hu Jing, Zhao Yao, Xu Mingzhen and Tan Changhua

(Institute of Microelectronics, Peking University, Beijing 100871, China)

Abstract: Hot carrier stress degradation for short channel pMOSFETs with ultra-thin gate oxides (2.5nm) and HALO structure is investigated under stress mode $V_g = V_d/2$. At high stress voltages, the device degradation is mainly caused by holes to break up Si—H bonds directly or the recombination of electrons and holes. With the decrease of stress voltage, the device degradation is caused by electron injection. At last, the critical voltage for different degradation mechanism is proposed and verified in experiments.

Key words: hot carrier; primary impact ionization; secondary impact ionization; recombination

EEACC: 0170N; 2560R

Article ID: 0253-4177(2004)04-0436-05

* Project supported by State Key Development Program for Basic Research of China(No. G2000036503), and Laboratory of MOTOROLA Digital DNA

Hu Jing male, was born in 1976, PhD candidate. His research interests include small-scaled MOS devices and reliability, device modeling and characterization, and hot-carrier effects.

Zhao Yao male, was born in 1980, PhD candidate. His research interest include small-scaled MOS devices and reliability, device modeling and characterization, and hot-carrier effects.

Xu Mingzhen female, was born in 1939, professor. Her research interest include the electrical characterization and reliability project of MOSFET's with ultrathin gate dielectric, and reliability project of MOSFET's with ultrathin gate dielectric, Si/SiO₂ interface physics, high field physics of thin gate oxide and breakdown mechanism and modeling of small-scaled MOS devices.