

# 槽栅 MOSFET's 的阈值电压解析模型\*

张晓菊 任红霞 冯倩 郝跃

(西安电子科技大学微电子研究所, 西安 710071)

**摘要:** 给出了槽栅 MOSFET 的阈值电压解析模型, 该模型反映了器件的阈值电压随不同结构和工艺参数变化的规律。分析和对比结果显示, 该模型较好地表征了小尺寸槽栅器件的阈值电压特性, 是一个较为理想的解析模型。

**关键词:** 槽栅; MOSFET; 阈值电压; 解析模型

**PACC:** 7280C; 7340R; 7360J

**中图分类号:** TN 386.1      **文献标识码:** A      **文章编号:** 0253-4177(2004)04-0441-05

## 1 引言

VLSI 制造技术的迅速发展使半导体器件的尺寸进入到深亚微米阶段, 器件内部的电场强度随之增强, 在较长沟道时不明显的各种二级物理效应此时已相当显著, 从而导致器件性能的变化, 如亚阈性退化、DIBL、TDDDB 等。通过适当调整衬底掺杂浓度, 减小漏源结深等措施所得效果并不显著。槽栅 MOS 被认为是解决这一问题的理想结构, 已有文献对槽栅器件的短沟道效应抑制能力<sup>[1~4]</sup>及器件特性<sup>[5~7]</sup>进行了模拟研究, 但较少报道关于槽栅器件的理论研究结果。

本文通过对槽栅 MOSFET 特性的研究与仿真, 分析了影响器件阈值电压的主要因素, 建立了槽栅 MOS 器件阈值电压的解析模型, 并根据此模型把计算出的槽栅 MOSFET 的阈值电压与精确数值仿真结果进行比较, 其结果令人满意。

## 2 槽栅 MOSFET 的结构及模型建立

槽栅 MOSFET 的突出特点是栅位于硅表面的一个凹槽中, 如图 1(a) 所示, 沟道区下沉, 源漏结底端高于或平行于沟道面, 形成负结深或零结深。根据器件结构可得该器件的等效电路, 如图 1(b) 所示。整个器件相当于 5 个 MOSFET 的串联,  $M_L$ ,  $M_R$ ,

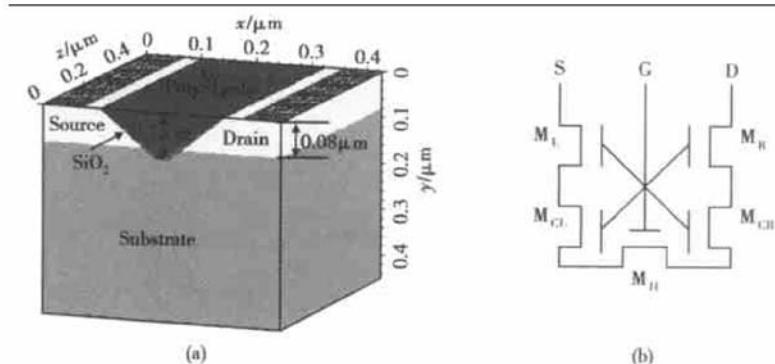


图 1 槽栅 MOSFET (a) 结构; (b) 等效电路

Fig. 1 Grooved-gate MOSFET (a) Structure of grooved-gate MOSFET; (b) Equivalence circuit

\* 中国科学院科技创新基金(No. CXJJ-55)和信息产业部电子预研基金(No. 57.7.6.9)资助项目

张晓菊 女, 1978 年出生, 博士研究生, 主要研究方向为深亚微米器件及其可靠性。

任红霞 女, 1967 年出生, 教授, 从事新型电路与器件的特性与可靠性研究。

2003-03-24 收到, 2003-05-14 定稿

© 2004 中国电子学会

$M_H$ ,  $M_{CL}$ ,  $M_{CR}$  分别对应左右侧壁沟道部分、栅下水平沟道部分和左右拐角部分的 MOS 管。不考虑沟道长度的影响, 根据平面阈值电压公式, 可知  $M_L$ ,  $M_R$  和  $M_H$  的阈值电压值相等, 而  $M_L$  和  $M_R$  的沟道表面为曲面, 存在曲率半径。

由电场理论可知, 曲率半径越小, 电力线发散或聚集的程度越高。另可严格证明, 导体表面电场强度的梯度与面电荷密度之比, 正比于表面的平均曲率。平面沟道的曲率半径可认为是无穷大, 因此拐角处电场强度小, 沟道表面电势严重陷落形成势垒。图 2

为槽栅器件拐角效应的示意图。根据 MOSFET 阈值电压的定义, 凹槽拐角处需要更高的栅压来抬高该处的电势, 因此拐角处的阈值电压高于其他点。由于串联, 槽栅 MOSFET 整体对外表现出来的阈值电压应为沟道表面各点阈值电压的最大值, 可见拐角处的阈值电压对整个槽栅 MOSFET 的阈值电压起着决定性的影响<sup>[4]</sup>。

由 MOSFET 阈值电压的定义可知  $V_{th} = V_{ox} + 2\eta + V_{FB}$ , 其中  $V_{ox}$  为栅氧化层上的压降;  $\eta$  为费米势;  $V_{FB}$  为平带电压。

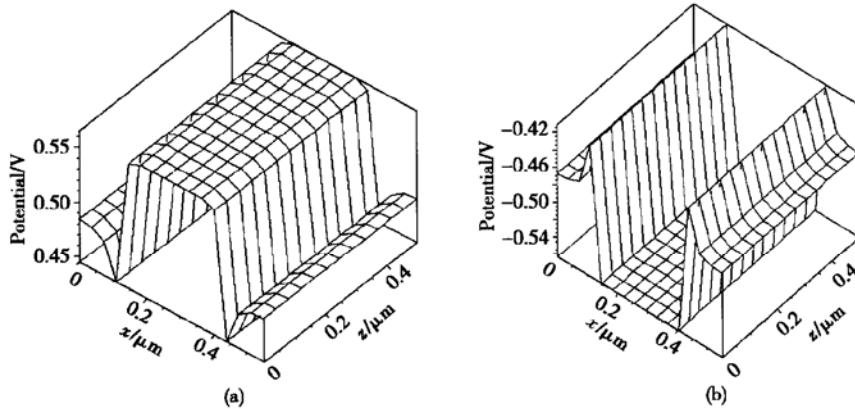


图 2 槽栅 MOSFET 沟道表面电势分布 (a) nMOSFET; (b) pMOSFET

Fig. 2 Surface potential along the channel of grooved-gate MOSFET (a) nMOSFET; (b) pMOSFET

对于槽栅器件, 在对凹槽拐角作如图 3 所示的假设后, 可得拐角曲率半径  $r$  为

$$r = \frac{L}{2 \left[ 1 + \tan \frac{\alpha}{2} \right]} \quad (1)$$

可见, 曲率半径与沟道水平部分长度  $L$  和拐角度数  $\alpha$  有关。

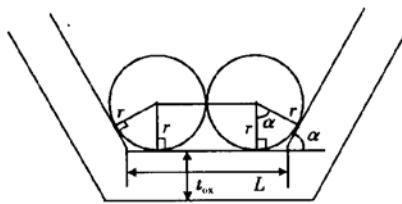


图 3 凹槽拐角处的圆柱面近似

Fig. 3 Cross section of concave corner with cylindrical approximation

设拐角处单位面积栅氧化层电容为  $C_{oxc}$ , 则栅氧化层上的压降为

$$V_{oxc} = - \frac{Q_{Bmax}}{C_{oxc}} \quad (2)$$

式中  $Q_{Bmax}$  为单位栅面积的电荷面密度。将槽栅拐角处作圆柱面假设, 如图 4 所示。由于凹槽半径为

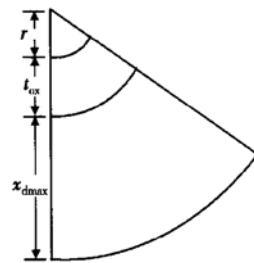


图 4 拐角圆柱面的放大图

Fig. 4 Magnified image of concave corner

$r$ , 最大耗尽层宽度为  $x_{dmax}$ , 则耗尽层中的总电荷即为半径  $r$  和  $r + x_{dmax}$  的两个同心圆环所围成的扇形中的电荷, 因此  $Q_{Bmax}$  为

$$Q_{Bmax} = qN_B \frac{V}{S} = \frac{qN_B [(r + x_{dmax})^2 - r^2]}{2r} \quad (3)$$

式中  $N_B$  是衬底杂质浓度. 又知圆心角为  $\alpha$  的扇形的电容为

$$C_{oxc} = \frac{C_{ox\text{拐角}}}{S} = \frac{\epsilon_0 \epsilon_{ox}}{\ln(1 + \frac{t_{ox}}{r}) r} \quad (4)$$

故

$$\begin{aligned} V_{oxc} &= - \frac{Q_{Bmax}}{C_{oxc}} \\ &= - \frac{qN_B[(r + x_{dmax})^2 - r^2]}{2\epsilon_0 \epsilon_{ox}} \ln(1 + \frac{t_{ox}}{r}) \end{aligned} \quad (5)$$

最大耗尽层宽度  $x_{dmax} = [\frac{2\epsilon_0 \epsilon_{ox}}{qN_B}(2\varphi_B)]^{\frac{1}{2}}$ .

当  $r \gg t_{ox}$  时, 有  $\ln(1 + \frac{t_{ox}}{r}) \approx \frac{t_{ox}}{r}$  成立, 则(5)式可化简为

$$\begin{aligned} V_{oxc} &= - \frac{qN_B(2rx_{dmax} + x_{dmax}^2)}{2\epsilon_0 \epsilon_{ox}} \times \frac{t_{ox}}{r} \\ &= - \frac{qN_B t_{ox}}{\epsilon_0 \epsilon_{ox}} (x_{dmax} + \frac{x_{dmax}^2}{2r}) \end{aligned} \quad (6)$$

已知  $C_{oxp} = \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}}$  为平面部分单位面积电容, 则上式第一项为平面部分栅氧化层压降  $V_{oxp}$ , 故有

$$V_{oxc} = V_{oxp} - \frac{qN_B}{C_{oxp}} \times \frac{x_{dmax}^2}{2r} = V_{oxp} + \Delta V_{ox} \quad (7)$$

其中  $\Delta V_{ox} = - \frac{qN_B}{C_{oxp}} \times \frac{x_{dmax}^2}{2r}$ . 可见, 平面与拐角阈值电压差异的主要原因  $\Delta V_{ox}$  与  $N_B$  和  $r$  有关.

因此, 槽栅 MOSFET 的阈值电压为

$$\begin{aligned} V_{th} &= V_{oxc} - \frac{2kT}{q} \ln \frac{N_B}{n_i} - V_{ms} - \frac{Q_{ss}}{C_{oxc}} \\ &= V_{oxc} - \frac{2kT}{q} \ln \frac{N_B}{n_i} - V_{ms} - \frac{qN_{ss} r \ln(1 + \frac{t_{ox}}{r})}{\epsilon_0 \epsilon_{ox}} \end{aligned} \quad (8)$$

其中  $V_{oxc}$  由(6)式给出;  $Q_{ss}$  为表面态电荷密度;  $N_{ss}$  为表面态密度.

当施加衬底偏置电压时, 表面耗尽层随着衬底偏置电压的增大而展宽, 空间电荷面密度也随之增大, 由此引起阈值电压的漂移. 加上  $V_{BS}$  后, 表面耗尽层宽度变为

$$x_{dmax} = [\frac{2\epsilon_0 \epsilon_{ox}}{qN_B}(2\varphi_B - V_{BS})]^{\frac{1}{2}} \quad (9)$$

将上式代入  $V_{oxc}$ , 即得由衬底偏置电压所产生的阈值电压漂移为

$$\Delta V_{th} = Y_1(\sqrt{2\varphi_B} - V_{BS} - \sqrt{2\varphi_B}) - Y_2 V_{BS} \quad (10)$$

其中  $Y_1, Y_2$  为体偏压系数:

$$Y_1 = - \frac{\sqrt{2\epsilon_0 \epsilon_{ox} q N_B}}{C_{oxp}}, \quad Y_2 = - \frac{t_{ox}}{r} \quad (11)$$

因此考虑衬偏效应后, 槽栅器件的阈值电压为

$$\begin{aligned} V_{th} &= V_{th0} + Y_1(\sqrt{2\varphi_B} - V_{BS} - \sqrt{2\varphi_B}) - Y_2 V_{BS} \\ V_{th0} &= V_{FB} + 2\varphi_B + Y_1 \sqrt{2\varphi_B} + 2Y_2 \varphi_B \end{aligned} \quad (12)$$

其中  $Y_1, Y_2$  由(11)式给出.

### 3 模拟与分析

首先由工艺仿真软件 TSUPREM-4 生成槽栅 MOSFET 器件, 再利用 3-D 器件模拟系统 DAVINCI 对器件的栅特性进行精确数值模拟, 提取阈值电压值. 器件的基本参数为: 100°晶向衬底, 杂质浓度  $5.0 \times 10^{16} \text{ cm}^{-3}$ ; 无沟道掺杂; 漏源结表面掺杂浓度  $1.0 \times 10^{18} \text{ cm}^{-3}$ , 漏源结结深约为  $0.08 \mu\text{m}$ ; 凹槽下凹  $0.1 \mu\text{m}$ , 形成约  $0.02 \mu\text{m}$  的负结深; 沟道长度  $0.13 \mu\text{m}$  和  $0.25 \mu\text{m}$ ; 凹槽拐角分别为  $30^\circ, 45^\circ, 60^\circ$  和  $90^\circ$ ; 固定表面态密度为  $1.0 \times 10^{10} \text{ cm}^{-2}$ , 栅氧化层厚度  $4 \text{ nm}$ , 结构如图 1(a) 所示.

图 5 和图 6 为由理论模型得出的阈值电压随凹槽拐角和沟道长度变化的曲线. 可以看出, 随着拐角度数的增大, 器件阈值电压增加, 这与已有的文献报道是吻合的<sup>[5]</sup>; 而随着沟道长度的增大, 阈值电压减小, 但减小的速度缓慢, 并逐渐趋近于一个定值.

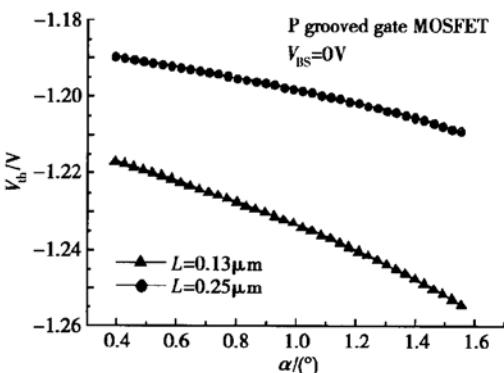


图 5 阈值电压随拐角的变化

Fig. 5 Variation of threshold voltage with corner

表 1 分别给出了利用(14)式模型求解的不同沟道长度下槽栅 PMOSFET 阈值电压的理论值与模拟值. 可见短沟道情况下, 理论值与模拟值吻合较好, 误差较小. 沟道长度增加后, 模型的误差有所增大.

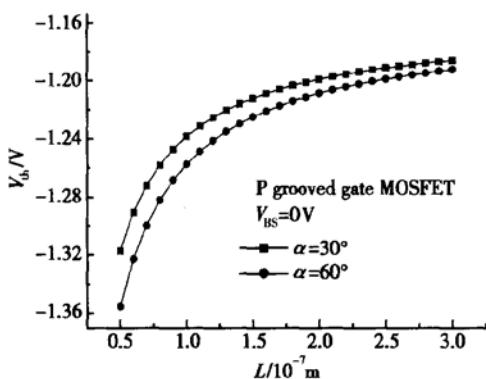


图 6 阈值电压随水平沟道长度的变化

Fig. 6 Variation of threshold voltage with length of planar channel

表 1 阈值电压的理论值与模拟值的比较  $V_{BS} = 0V$ Table 1 Comparison of theoretical values with simulated ones  $V_{BS} = 0V$ 

拐角	$L = 0.13\mu m$			$L = 0.25\mu m$		
	理论值 /V	模拟值 /V	相对误差 /V	理论值 /V	模拟值 /V	相对误差 /V
30°	-1.220	-1.221	0.001	-1.191	-1.215	0.024
45°	-1.227	-1.251	0.024	-1.195	-1.235	0.04
60°	-1.235	-1.275	0.04	-1.199	-1.263	0.064
90°	-1.255	-1.287	0.032	-1.209	-1.260	0.051

表 1 的结果说明, 该解析模型较适合于短沟道情况下的槽栅器件。沟道长度增加使得平面部分沟道在整个沟道中所占的比例增大, 拐角部分对器件整体的影响减小, 从而降低了模型对整个器件的表征能力。从理论上分析, 较长沟道情况下的槽栅器件阈值电压应较接近于平面 MOSFET。

表 2 为考虑衬偏效应后的阈值电压比较。此时, 长沟道情况下的误差小于短沟道。由此可见衬偏效应对短沟道器件的影响较大, 增加衬底偏压后, 有可能带来附加的效应, 使阈值电压产生更大的漂移, 因此对短沟道器件的误差需要另加分析和修正。

表 2 阈值电压的理论值与模拟值的比较  $V_{BS} = 0.5V$ Table 2 Comparison of theoretical values with simulated ones  $V_{BS} = 0.5V$ 

拐角	$L = 0.13\mu m$			$L = 0.25\mu m$		
	理论值 /V	模拟值 /V	相对误差 /V	理论值 /V	模拟值 /V	相对误差 /V
30°	-1.151	-1.292	0.141	-1.140	-1.277	0.137
45°	-1.153	-1.332	0.179	-1.142	-1.314	0.172
60°	-1.156	-1.375	0.219	-1.143	-1.355	0.212
90°	-1.163	-1.403	0.24	-1.147	-1.351	0.204

由模型得到的理论值与模拟值的误差可能来源于:

(1) 模型中的  $L$  应为沟道水平部分长度, 但为了便于计算, 实际代入公式的为沟道的总长度, 由此会带来部分误差;

(2) 槽栅结构虽然能部分抑制短沟道带来的小尺寸效应, 但还不能完全消除, 模型中没有考虑对这些效应进行修正, 也是误差产生的原因之一。

## 4 结论

本文给出了槽栅 MOSFET 的阈值电压解析模型, 该模型反映了器件的阈值电压随不同参数变化而变化的趋势: 阈值电压的绝对值随凹槽拐角的增大而增大, 随沟道长度的增加而减小, 渐趋于一定值, 这一结论与仿真结果吻合。将由模型计算得出的阈值电压理论数值与模拟值进行对比, 结果显示, 短沟道情况下, 该模型与模拟值吻合较好, 但衬偏效应导致较大的误差产生, 并分析了误差产生的原因。该模型能较好反映槽栅器件的阈值电压。

## 参考文献

- [1] Tanaka J, Toyabe T, Ihara S, et al. Simulation of sub-0.1-μm MOSFET's with completely suppressed short-channel effect. IEEE Electron Devices Lett, 1993, 14(8): 396
- [2] Kimura S L, Tanaka J, Noda H, et al. Short-channel-effect-suppressed sub-0.1-μm grooved-gate MOSFET's with W gate. IEEE Trans Electron Devices, 1995, 42(1): 94
- [3] Sun Zimin, Liu Litian, Li Zhijian. Study on the effects of concave corner in grooved-gate MOSFET. Semiconductor Technology, 1998, 23(5): 18(in Chinese) [孙自敏, 刘理天, 李志坚. 凹槽栅 MOSFET 凹槽拐角的作用与影响研究. 半导体技术, 1998, 23(5): 18]
- [4] Goodwin S, Plummer J D. Electrical performance and physics of isolation region structures for VLSI. IEEE Trans Electron Devices, 1984, ED-31(7): 861
- [5] Ren Hongxia, Hao Yue. The influence of geometric structure on the hot-carrier-effect immunity for the deep-sub-micron groove gate PMOSFET. Solid State Electron, 2002, 46(5): 665
- [6] Ren Hongxia, Hao Yue. Influence of variation of negative junction depth on characteristics of deep-sub-micron PMOSFET. Chinese Journal of Semiconductors, 2001, 22(5): 622(in Chinese) [任红霞, 郝跃. 凹槽深度与槽栅 PMOSFET 特性研究. 半导体学报, 2001, 22(5): 622]
- [7] Ren Hongxia, Hao Yue. Influence of structure parameters on

the hot-carrier-effect immunity and short-channel-effect suppression in deep-sub-micron grooved gate PMOSFET. Chinese Journal of Semiconductors, 2001, 22(10): 1298 (in Chinese)

nese) [任红霞, 郝跃. 深亚微米槽栅 PMOSFET 结构参数对其抗热载流子效应和短沟道抑制作用的影响. 半导体学报, 2001, 22(10): 1298]

## An Analytical Model for Threshold Voltage of Grooved-Gate MOSFET's<sup>\*</sup>

Zhang Xiaoju, Ren Hongxia, Feng Qian and Hao Yue

(Institute of Microelectronics, Xidian University, Xi'an 710071, China)

**Abstract:** A simple analytical model of the threshold voltage is given. It reflects the variation of the threshold voltage with different geometry and technical parameters. The accuracy of the model is verified with the help of the simulated values and the result shows that the model is suitable for the grooved-gate MOSFET with small size.

**Key words:** grooved-gate; MOSFET; threshold voltage; analytical model

**PACC:** 7280C; 7340R; 7360J

**Article ID:** 0253-4177(2004)04-0441-05

\* Project supported by the Innovation Foundation of the Chinese Academy of Sciences (No. CXJJ-55) and Electronics Pre-research Foundation of the Ministry of Information Industry (No. 57.7.6.9)

Zhang Xiaoju female, was born in 1978, PhD candidate. Her current research interests include deep submicron devices and reliability.

Ren Hongxia female, was born in 1967, professor. She is engaged in the research on the characteristics and reliability of novel devices and circuits.