

一种高性能 CMOS 带隙电压基准源设计*

朱樟明 杨银堂 刘帘曦 朱 磊

(西安电子科技大学微电子研究所, 西安 710071)

摘要: 采用一级温度补偿和电阻二次分压技术设计了一种高性能 CMOS 带隙电压基准源电路, 其输出电压为 0.20~1.25V, 温度系数为 $2.5 \times 10^{-5}/\text{K}$. 该带隙电压基准源电路中的深度负反馈运算放大器为低失调、高增益的折叠型共源共栅运算放大器. 采用 Hspice 进行了运算放大器和带隙电压基准源的电路仿真, 用 TSMC 0.35 μm CMOS 工艺实现的带隙基准源的版图面积为 $645\mu\text{m} \times 196\mu\text{m}$.

关键词: CMOS; 带隙电压基准源; 二次分压; 温度补偿

EEACC: 1230B; 7250E

中图分类号: TN402

文献标识码: A

文章编号: 0253-4177(2004)05-0542-05

1 引言

在模/数转换器(ADC)、数/模转换器(DAC)等混合信号集成电路设计中, 高性能的电压基准源设计是关键技术之一. 如在 DAC 中, 其输出电流(或电压)的精度主要由电压基准源控制. 随着移动通信、XDSL 等通信技术的不断发展, 对 ADC、DAC 等混合信号集成电路的要求越来越高^[1], 从而对电压基准源也提出了越来越高的要求.

由于带隙基准电压源能够实现高电源抑制比(PSRR)和低温度系数, 这种电路结构是目前各种基准电压源电路中性能最佳的电路形式. 文献[2, 3]提出了几种具有温度补偿的带隙电压基准源电路, 但是它们的温度系数过高, 并且输出参考电压都在 1.25V 左右. 要得到输出为 0.5~1.25V 的电压基准源, 就必须对传统的带隙电压基准源结构进行改进或提出新的带隙基准源结构.

本文采用一级温度补偿(基准源对温度的微分在室温下为零)和电阻二次分压技术设计了高性能 CMOS 带隙电压基准源电路, 其输出电压为 0.20~1.25V, 温度系数为 $2.5 \times 10^{-5}/\text{K}$. 带隙基准源电路

中的深度负反馈运算放大器为一种低失调、高增益折叠共源共栅运放结构, 仿真结果表明这种结构的运放其失调电压为 0.02mV, 开环增益为 95.5dB, 相位裕度为 51°, 进一步保证了带隙基准源的输出精度. 带隙基准源的电流源为运放提供稳定的偏置, 在保证运放性能的前提下, 简化了电路和版图的设计. 设计中采用负反馈输出参考源, 提高了电源抑制比. 整个带隙电压基准源电路在 TSMC 0.35 μm SPTM CMOS 工艺条件下实现的版图面积为 $645\mu\text{m} \times 196\mu\text{m}$ (不包含压焊点). 本文所设计的带隙电压基准源电路已直接应用于 14 位 100Ms/s 数/模转换器的设计之中, 完全能够满足系统的要求.

2 电路结构

2.1 传统带隙电压基准源结构

图 1(a) 给出了带隙电压基准源的原理示意图. 结压降 V_{BE} 在室温下的温度系数约为 -2.0mV/K , 而热电压 $V_T (V_T = k_B T/q)$ 在室温下的温度系数为 0.085mV/K , 将 V_T 乘以常数 K 并和 V_{BE} 相加可得到输出电压 V_{REF} .

* 国家高技术研究发展计划资助项目(批准号: 2002AA1Z1210)

朱樟明 男, 1978 年出生, 博士研究生, 研究方向为高速高分辨率 DAC/ADC 设计、混合信号集成电路设计、低压低功耗模拟集成电路设计.
杨银堂 男, 1962 年出生, 教授、博士生导师, 研究方向为 VLSI 技术、深亚微米模拟集成电路设计、新型半导体器件和电路设计.

$$V_{\text{REF}} = V_{\text{BE}} + KV_T \quad (1)$$

将(1)式对温度 T 微分, 并在室温下等于零(输出电压在室温下的理论温度系数等于零), 解得常数 K .

图 1(b) 是目前常用的 CMOS 带隙电压基准源. 图中运算放大器的作用是使电路处于深度负反馈状态, Q_1, Q_2, Q_3 是由 N 阵和 P 衬底形成的寄生纵向双极结型场效应晶体管(BJT). 在基准电路稳定输出时,

$$I_1R_1 + V_{\text{EB}1} = V_{\text{EB}2} \quad (2)$$

$$V_{\text{EB}} = V_T \ln(I/I_s) \quad (3)$$

由(2)和(3)式, 得

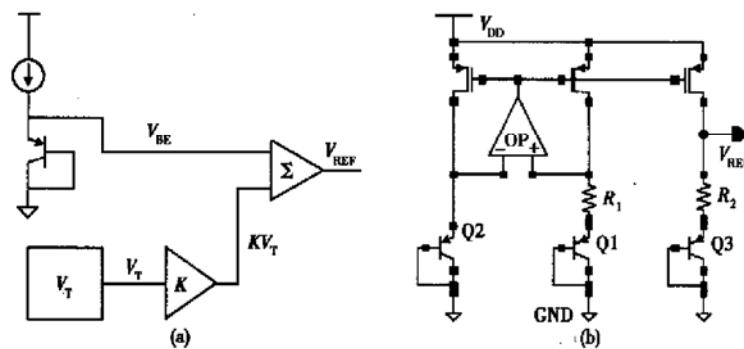


图 1 (a) 带隙基准源原理; (b) CMOS 带隙电压基准源电路

Fig. 1 (a) Bandgap reference topology; (b) CMOS bandgap voltage reference circuit

图 1(b) 所示的带隙基准源结构能输出比较精确的电压, 缺点是对运放失调比较敏感, 同时它只能输出 1.2V 以上的基准电压. 要得到 1.2V 以下的精确基准电压, 特别是输出小于 1V 的参考电压, 就必须在电路结构上进行改进和提高^[4].

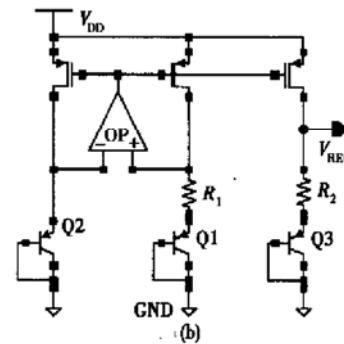
$$V_{\text{REF}} = \frac{R_2}{R_1} V_T \ln(I_{\text{S}1}/I_{\text{S}2}) + V_{\text{EB}3} \quad (4)$$

其中 $K = \frac{R_2}{R_1} \ln(I_{\text{S}1}/I_{\text{S}2})$.

由于实际的运放存在一定的失调电压 V_{os} , 所以实际输出电压为

$$V_{\text{REF}} = \frac{R_2}{R_1} [V_T \ln(I_{\text{S}1}/I_{\text{S}2}) - V_{\text{os}}] + V_{\text{EB}3} \quad (5)$$

由(5)式可得, 运放的失调电压会导致相当大的基准输出电压误差. 运放的失调电压 V_{os} 除了包括自身的失调外, 还包含了电源电压变化引起的、工艺不匹配引起的及温度引起的失调, 其中自身的失调起主要作用, 所以在大多数带隙基准源电路中, 一般采用两级运放作为反馈运放, 以降低失调电压.



2.2 高性能带隙电压基准源结构

基于一次温度补偿和电阻二次分压技术, 本文设计了图 2 所示的高性能 CMOS 带隙基准电压源电路, 其中运放为低失调、高增益的折叠共源共栅

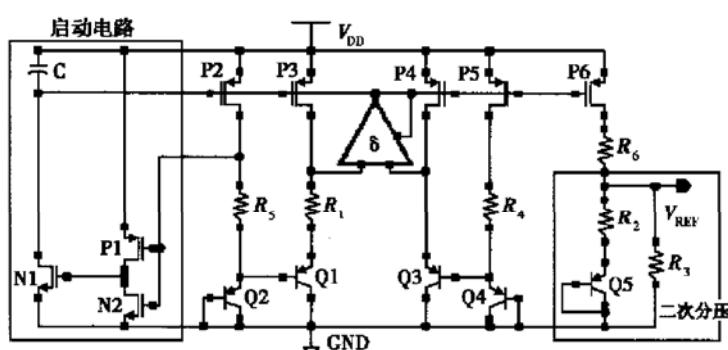


图 2 高性能带隙电压基准源电路结构

Fig. 2 Proposed CMOS bandgap voltage reference circuit

(Cascode) 运放。带隙基准源的电流源不仅用于提供基准输出所需的电流,也用于产生运放所需的四路偏置电压,大大简化了电路和版图设计。 R_2 、 R_3 和 Q5 组成电阻二次分压电路,以控制 V_{REF} 的输出。Q1 和 Q2、Q3 和 Q4 组成级联二极管,其中 Q1 的发射区有效面积为 Q3 的 8 倍,Q1 和 Q2 的发射区面积相等,Q3 和 Q4 的发射区面积相等,以减小运放失调对带隙基准输出电压精度的影响。电容 C、NMOS 管 N1 和 N2、PMOS 管 P1 组成带隙基准的启动电路^[5]; 电阻 R_4 、 R_5 的阻值相等,用于限流; 参考源输出采用负反馈结构,以提高电源抑制比。

当电路平衡时,

$$I_1 R_1 + V_{EB1} + V_{EB2} = V_{EB3} + V_{EB4} \quad (6)$$

$$I_1 = \frac{\Delta V_{EB31} + \Delta V_{EB42}}{R_1} = \frac{2V_T \ln(I_{S1}/I_{S3})}{R_1} = I_5 \quad (7)$$

推导可得,

$$V_{\text{REF}} = \frac{R_3}{R_2 + R_3} (V_{EB5} + I_1 R_2) \quad (8)$$

合并(7),(8)式,得

$$V_{\text{REF}} = \frac{R_3}{R_2 + R_3} \left[V_{EB5} + \frac{2\ln(I_{S1}/I_{S3})}{R_1} V_T R_2 \right] \quad (9)$$

考虑运放失调,则

$$V_{\text{REF}} = \frac{R_3}{R_2 + R_3} \left[V_{EB5} + \frac{(2\ln(I_{S1}/I_{S3}) V_T - V_{os}) R_2}{R_1} \right] \quad (10)$$

由(9),(10)式计算得到 $2\ln(I_{S1}/I_{S3}) V_T \approx 108 \text{ mV}$, 可见级联二极管的引入能有效减小运放失调对基准电压的影响。由于 $R_3/(R_2 + R_3) < 1$, 所以通过调节电阻的比率得到小于 1.25V 的基准输出电压,以满足各种电路系统的低电压工作要求。

3 仿真与分析

对上述高性能低电压输出 CMOS 带隙电压基准源用 Hspice 和 Cadence Spectre 进行了电路仿真,采用 TSMC 0.35μm SPTM CMOS 工艺加以实现。运算放大器是带隙电压基准源电路中的关键部分之一,其开环增益和输出失调决定了带隙基准源输出的精度和稳定性。本文采用折叠共源共栅和电流补偿技术,实现了低失调、高增益的运放。图 3(a)给出了运放的幅频-相频特性,图 3(b)则为运放的失调电压仿真波形。当电源电压为 3V 或 5V,负载电容为 5pF 时,运放的开环增益为 95.5dB,相位裕度为 51°,运放的失调电压为 0.02mV。而由(9),(10)两式推导得到的 $2\ln(I_{S1}/I_{S3}) V_T \approx 108 \text{ mV}$, 远远大于 0.02mV, 这表明运算放大器的失调电压对带隙电压基准源输出的影响特别小,在保证带隙基准源各支路电流相等的同时,也保证了带隙电压基准源的精度。

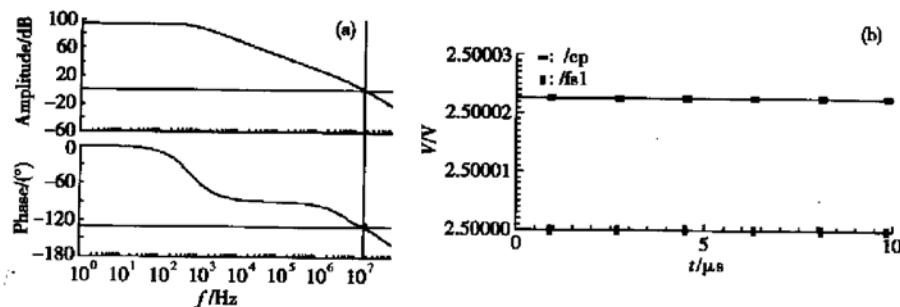


图 3 运放 (a) 幅频/相频特性;(b) 失调电压

Fig. 3 Proposed operational amplifier (a) Frequency domain characteristic; (b) Offset voltage

图 4(a)给出的是电源电压为 3V,参考电压为 0.23V 时的 Hspice 仿真波形; 图 4(b)给出的是电源电压为 5V,参考电压为 0.50V 时的 Hspice 仿真波形。仿真结果表明,当参考输出电压小于 0.5V 时,输出电压包含小幅值的噪声,噪声幅值为 0.003mV; 而当参考输出电压大于 0.5V 时,可以得

到稳定的输出电压。

图 5 是带隙电压基准源电路输出 0.5V 基准电压时的温度特性。在 10~60°C 之间,0.5V 基准输出电压的温度系数为 $2.5 \times 10^{-5}/\text{K}$ 。

整个带隙电压基准源电路在 TSMC 0.35μm SPTM CMOS 工艺条件下实现的版图面积(不包含

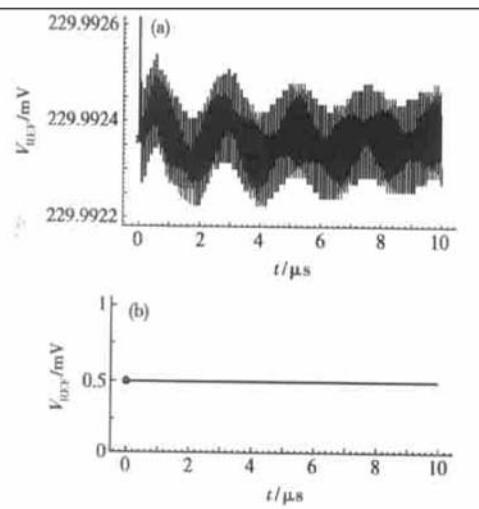


图 4 (a) 0.23V 参考电压波形;(b) 0.5V 参考电压波形

Fig. 4 (a) 0.23V reference voltage wave; (b) 0.5V reference voltage wave

压焊点)为 $645\mu m \times 196\mu m$.本文设计的带隙电压基准源电路已直接应用于14位 $100M s/s$ 数/模转换器设计,产生的1.2V基准电压通过参考控制放大器产生参考电流,决定14位DAC的差分电流输出精度.

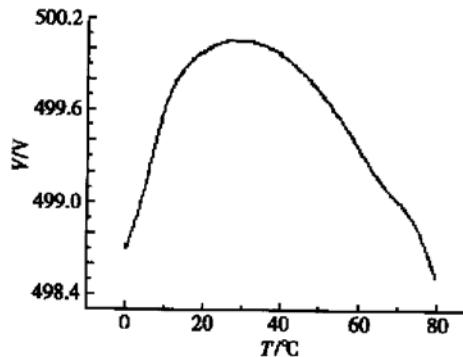


图 5 0.5V 电压基准源的温度特性

Fig. 5 0.5V voltage reference versus temperature

图6是采用TSMC $0.35\mu m$ SPTM CMOS工艺实现的1.2V带隙电压基准源及参考控制放大器的版图.

4 结论

在对传统的CMOS带隙电压基准源电路进行

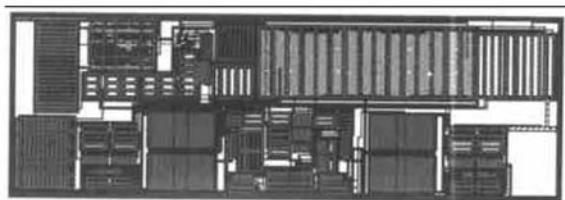


图 6 带隙电压基准源及参考控制放大器版图

Fig. 6 Layout of bandgap voltage reference and reference control amplifier

分析和总结的基础上,综合一级温度补偿和电阻二次分压技术,提出了一种新型的CMOS带隙电压基准源.新型带隙基准源的负反馈运放采用一种低失调、高增益折叠共源共栅运算放大器,该运放的失调电压为 $0.02mV$,开环增益为 $95.5dB$,相位裕度为 51° .带隙电压基准源的输出范围为 $0.20\sim 1.25V$,温度系数为 $2.5 \times 10^{-5}/K$.仿真结果表明整个带隙电压基准源电路完全可以满足14位 $100M s/s$ DAC系统的要求,14位 $100M s/s$ DAC已在工艺流片之中.

参考文献

- [1] Chen Lu, Shi Bingxue, Lu Chun. Novel high-performance CMOS current comparator circuit. Chinese Journal of Semiconductors, 2001, 22(3): 362 (in Chinese) [陈卢, 石秉学, 卢纯. 一种新型的高性能CMOS电流比较器电路. 半导体学报, 2001, 22(3): 362]
- [2] Tesch B J, Pratt P M, Bacrania K, et al. 14b 125 MSPS digital-to-analog converter and bandgap voltage reference in $0.5\mu m$ CMOS. Proc of the IEEE 1999 ISCAA'99, Orlando, FL, USA, 1998: 452
- [3] He Jie, Zhu Zhen, Wang Tao, et al. A bandgap reference with temperature compensation and improved PSRR. Journal of Fudan University, 2001, 40(1): 86 (in Chinese) [何捷, 朱臻, 王涛, 等. 一种具有温度补偿、高电源抑制比的带隙基准源. 复旦大学学报(自然科学版), 2001, 40(1): 86]
- [4] Leung K N, Mok P K T. A Sub-1-V 15-ppm/ $^\circ C$ CMOS bandgap voltage reference without requiring low threshold voltage device. IEEE J Solid-State Circuits, 2002, 37(4): 526
- [5] Boni A. Op-Amps and startup circuits for CMOS bandgap references with near 1-V supply. IEEE J Solid-State Circuits, 2002, 37(10): 1339

Super Performance CMOS Band-Gap Voltage Reference^{*}

Zhu Zhangming, Yang Yintang, Liu Lianxi and Zhu Lei

(Institute of Microelectronics, Xidian University, Xi'an 710071, China)

Abstract: The design of super performance CMOS band-gap voltage reference with ultra-low voltage output using the temperature compensation and resistive subdivision is described. The output of band-gap voltage reference ranges from 0.20V to 1.25V and temperature coefficient is $2.5 \times 10^{-5}/\text{K}$. A deep negative-feedback operation amplifier used in band-gap reference is a common source and gate folded cascade operation amplifier with a lower offset voltage and a higher gain. The characteristics of operation amplifier and band-gap voltage reference are simulated by Hspice. The area of the CMOS band-gap voltage reference is $645\mu\text{m} \times 196\mu\text{m}$ under the standard TSMC 0.35μm CMOS process.

Key words: CMOS; band-gap voltage reference; resistive subdivision; temperature compensation

EEACC: 1230B; 7250E

Article ID: 0253-4177(2004)05-0542-05

* Project supported by National High Technology Research and Development Program of China(No. 2002AA1Z1210)

Zhu Zhangming male, was born in 1978, PhD candidate. His research interests include design of high speed ADC/DAC, mixed-signal ICs, and low voltage low power analog circuits.

Yang Yintang male, was born in 1962, professor, advisor of PhD candidates. His research interests include VLSI technology, design of DSM analog circuit and novel semiconductor devices and circuit.