

考虑源漏隧穿的 DG MOSFET 弹道输运及其模拟*

郑期彤 张大伟 江 波 田立林 余志平

(清华大学微电子学研究所, 北京 100084)

摘要: 在经典弹道输运模型中引入源漏隧穿(S/D tunneling), 采用 WKB 方法计算载流子源漏隧穿几率, 对薄硅层(硅层厚度为 1nm)DG(dual gate)MOSFETs 的器件特性进行了模拟。模拟结果表明当沟道长度为 10nm 时, 源漏隧穿电流在关态电流中占 25%, 在开态电流中占 5%。随着沟道长度进一步减小, 源漏隧穿比例进一步增大。因此, 模拟必须包括源漏隧穿。

关键词: 源漏隧穿; DG MOSFET; 弹道输运; 器件模拟

EEACC: 2560R

中图分类号: TN 386

文献标识码: A

文章编号: 0253-4177(2004)05-0547-05

1 引言

随着 MOSFET 沟道尺寸不断地减小, 沿沟道方向的量子力学效应越来越显著, 导致源漏隧穿(S/D tunneling)电流已成为器件电流的重要成分。根据当前的预期, MOSFET 的沟道尺寸在 2016 年将减小到 9nm^[1]。在这样的尺寸下, 量子力学效应是一个无法回避的问题。当前的器件模拟中已普遍引入一维量子力学效应, 即垂直于器件沟道方向的表面量子化, 包括表面载流子的重新分布、栅氧隧穿^[2]等效应。当沟道尺寸进一步减小到 10nm 以下, 沟道长度和载流子平均自由程可以相比拟, 理论认为弹道输运(ballistic transport)模型能够更好地描述沟道中的输运过程^[3], 这与传统的漂移扩散模型有较大区别。同时, DIBT (drain-induced barrier tunneling) 效应引起的源漏隧穿也必须予以考虑。

Natori^[4] 提出了经典弹道模型的一系列公式, 并给出了针对 30nm 器件的一些模拟结果, 但没有考虑 DIBT 效应引起的隧穿电流及其对沟道物理状况的影响。Wang 等人^[5] 应用 NEGF(非平衡格林函数)方法对 10nm 以下器件沿沟道方向量子力学效应进行了模拟, 然而在论文中没有给出器件的输入

输出特性曲线, 隧穿电流占总电流的百分比随沟道长度减小而增大的趋势也没有得到很好的体现。

本文采用弹道输运模型来描述载流子的输运过程, 采用 WKB 方法计算载流子的隧穿几率, 将沿沟道方向的量子力学效应结合到弹道输运模型当中, 对 DG MOSFET 器件进行了模拟, 得到隧穿电流所占比例随沟道长度变化的趋势, 并模拟了 6nm 器件的电学特性。

2 弹道输运的基本原理及源漏隧穿电流的计算

在沟道长度小于载流子平均自由程的情况下, 载流子通过沟道不会遇到任何散射。从有源区发射, 以一定速度通过沟道, 进入另一有源区, 这样的传输机制被称为弹道输运。对于沟道长度较长一些, 但仍可以和平均自由程相比拟的情况下, 载流子并不能完全以弹道输运的方式通过沟道, 但仍有相当大比例的载流子以这种方式被输送^[6]。本文研究对象是沟道长度为 10nm 及其以下的 DG MOSFET。在这样的沟道长度下, 可以假设传输模型为弹道输运而不会产生本质性的影响。

首先, 给出经典弹道输运的电流公式^[4]:

* 国家重点基础研究发展计划资助项目(批准号: G2000036502)

郑期彤 女, 1978 年出生, 硕士研究生, 从事深亚微米器件输运机制的研究。

2003-04-08 收到, 2003-07-28 定稿

©2004 中国电子学会

$$J_i(E_y) = \frac{q}{\pi\hbar} \int_{E_{\text{peak}}}^{\infty} \left[\frac{1}{1 + e^{(E_x + E_i + E_y - \mu_S)/k_B T}} - \frac{1}{1 + e^{(E_x + E_i + E_y - \mu_D)/k_B T}} \right] dE_x \quad (1)$$

其中 E_{peak} 表示势垒最高点处的能量; i 表示第 i 个子带; E_i 由垂直沟道方向(z 方向)量子化决定; E_x , E_y 分别表示沿沟道方向和器件宽度方向的能量; μ_S , μ_D 分别表示源漏的化学势。下面通过将 $T(E_x)$ 引入(1)式中, 来考虑隧穿电流:

$$J_i(E_y) = \frac{q}{\pi\hbar} \int_0^{\infty} T(E_x) \left[\frac{1}{1 + e^{(E_x + E_i + E_y - \mu_S)/k_B T}} - \frac{1}{1 + e^{(E_x + E_i + E_y - \mu_D)/k_B T}} \right] dE_x \quad (2)$$

$T(E_x)$ 表示沿沟道方向的隧穿几率, 在 E_x 取 $(0, E_{\text{peak}})$ 时, 其值在 0 到 1 之间, 在 E_x 取 $(E_{\text{peak}}, \infty)$ 时, 其值为 1。比较上两式, 通过将积分下限变为了 0 和引进隧穿几率, 来考虑源漏隧穿。然后, 利用 WKB 理论, 计算出 $T(E_x)$ 如下:

$$T(E_x) = \exp \left[-2 \int_0^b \frac{2m}{\hbar^2} (E_i - E_x) \right]^{\frac{1}{2}} dx \quad (3)$$

a , b 表示对于给定的 E_x , 需要穿过的势垒两端的坐标, 如图 1 所示。对 E_y 积分, 并将各个子带的电流相加, 得到电流公式如下:

$$J = \sum_i \int_0^{\infty} \frac{1}{\pi\hbar} \sqrt{\frac{m_y}{2E_y}} J_i(E_y) dE_y \quad (4)$$

本文采用了 WKB 方法^[2, 7]计算 $T(E_x)$ 。WKB 方法适用于缓慢变化的势垒^[2]。在本文的模拟中, 势垒情况符合 WKB 的适用条件。

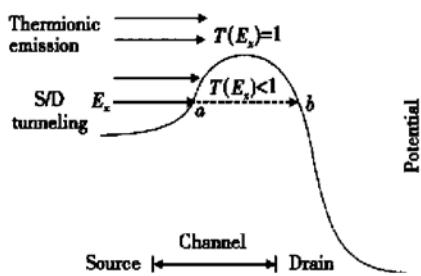


图 1 弹道输运和隧穿计算的基本原理。经典弹道输运不考虑量子隧穿, 对于能量低于势垒的载流子, $T(E_x) = 0$ 。本文考虑源漏隧穿, 对能量低于势垒的载流子采用 WKB 方法计算 $T(E_x)$, $T(E_x) = 1$ 的部分维持不变。

Fig. 1 Mechanism of ballistic transport and S/D tunneling. For classical ballistic transport, S/D tunneling is ignored. $T(E_x)$ is set to 0. In our work, S/D tunneling is considered. $T(E_x)$ is calculated with WKB method.

3 器件结构和工作平台

3.1 器件结构

本文采用 DG MOSFET 作为研究对象, 如图 2(a) 所示。DG MOSFET 结构的优点在于能有效抑制 DIBL 效应, 排除干扰因素, 突出源漏隧穿。有源区掺杂为 $2 \times 10^{20} \text{ cm}^{-3}$, 为减少可能发生的散射, 沟道采用本征硅。栅和有源区之间没有交叠, 沟道长度和栅长相等。栅绝缘层采用高 k 材料, 以降低有效栅氧厚度, 介电常数设为 16, 有效栅氧厚度为 0.6nm。为了方便和文献[3]比较, 固定态电流为 $10 \mu\text{A}/\mu\text{m}$ ($V_{ds} = V_{dd} = 0.4\text{V}$, $V_g = 0\text{V}$), 这一过程通过调整栅电极的功函数来实现, 如图 2(b) 所示。图 2(b) 中经典情况和考虑沿沟道方向量子力学效应情况的功函数不同, 体现了隧穿对阈值电压的影响。

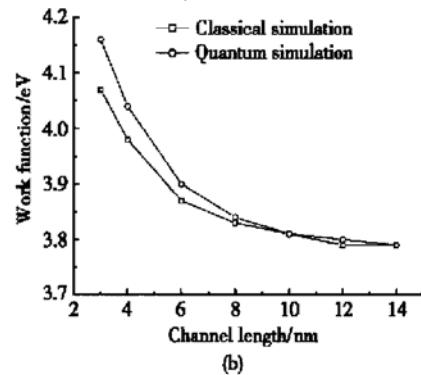
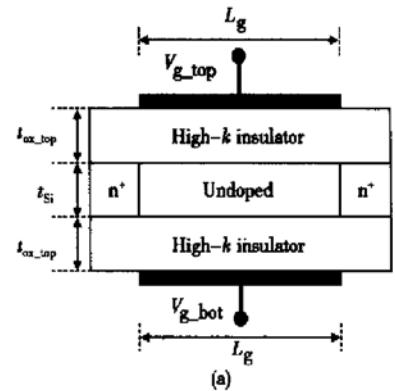


图 2 DG MOSFET 结构示意图(a)及调整后的功函数(b)
 $t_{ox} = 2.4\text{ nm}$, $t_{si} = 1\text{ nm}$

Fig. 2 Structure of DG MOSFET (a) and workfunction after adjusting (b) $t_{ox} = 2.4\text{ nm}$, $t_{si} = 1\text{ nm}$

3.2 工作平台

我们采用 Purdue 大学开发的 Nanomos 2.5 作

为工作平台^[8], 它包括了考虑垂直方向上量子力学效应的基于经典弹道理论的输运模型. 在此基础上, 用我们如前所述的方法实现了基于弹道理论的用 WKB 法计算隧穿电流的模型.

4 模拟结果

模拟得到的结果如下:

(1) 考虑源漏隧穿后, 沟道载流子分布发生变化, 器件内部的电势分布也相应发生变化, 如图 3 所示. 由于垂直于沟道方向的量子力学效应, 导致能级分立, 使每一个本征能级对应一个二维子带, 这也是电子输运所面对的电势分布. 图中所示为 10nm 器件, 在隧穿的影响下, 源漏端电势变化很大, 势垒变高、变宽, 这直接使端电流减小. 模拟以自治过程体现了这种相互影响, 载流子的重新分布和电势变化最后达到自治平衡.

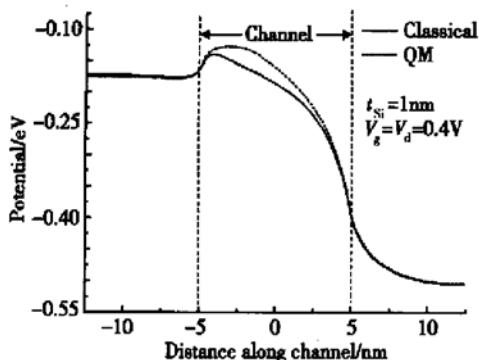


图 3 沿沟道方向的子带分布

Fig. 3 Subband potential simulated in the study

(2) 隧穿电流在总电流中所占比例不可忽略, 对于经典弹道输运理论的修正也是必要的. 隧穿电流占总电流的百分比随着沟道长度的减小而增大. 物理解释如下: 随沟道长度变小, 沟道势垒宽度变小, 由加入隧穿的弹道理论的载流子计算公式可知, 隧穿部分的载流子浓度变大. 另一方面, 由经典弹道理论的载流子计算公式可知, 经典载流子浓度与沟长无关. 因此, 随沟长减小, 隧穿电流在总电流中的比例变大. 对于 10nm 器件, 隧穿电流在关态电流中所占比例为 25%, 在开态电流中为 5%. 而对于 3nm 器件, 隧穿电流在关态电流中所占比例达到 90%, 在开态中也达到约 25%, 如图 4(a) 所示. 隧穿电流所占百分比随沟道长度的变化趋势如图 4(b) 所示, 可以看出在沟道长度小于 6nm 时, 开态电流中隧穿比例开始显著上升. 我们选择 6nm 器件做电学特性模拟. 对于 3nm 器件, 该比例达到 25%. 这个结果和文献[5] 中的结论基本上一致. 模拟结果很好表现出随着沟道长度的增大隧穿电流减小的趋势, 这是文献[5] 所缺乏的.

(3) 尽管考虑隧穿, 10nm 以下器件仍然具有良好的电学特性. 图 5 是一个 6nm 器件的电学特性曲线. 在 $L_g = 6\text{ nm}$ 的沟道长度下, 尽管必须考虑源漏隧穿, 器件的栅压仍然能够有效控制沟道电流. 器件仍然具有良好的传输特性. 这说明传输方向的量子隧穿效应, 并不是器件尺寸减小到 10nm 以下后限制器件应用的主要因素. 隧穿电流在关态电流中所占比例为 55%, 在开态电流中为 10%, 这是非常大的比例, 但是器件的转移特性和输出特性仍然符合 MOSFET 正常工作的要求.

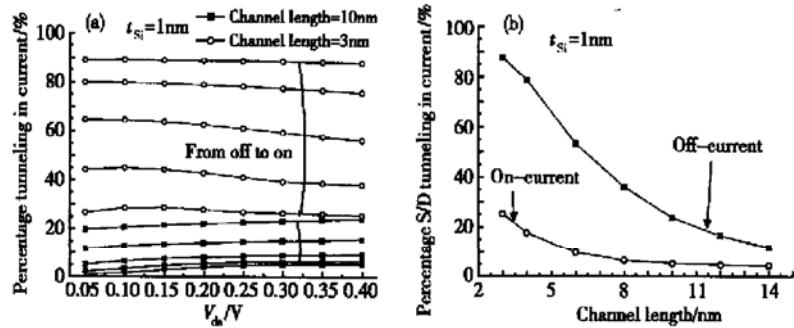


图 4 (a) 隧穿电流占总电流比例随偏置的变化; (b) 隧穿电流占总电流比例随沟道长度的变化

Fig. 4 (a) Percentage of tunneling in current versus bias; (b) Percentage of tunneling in current versus channel length

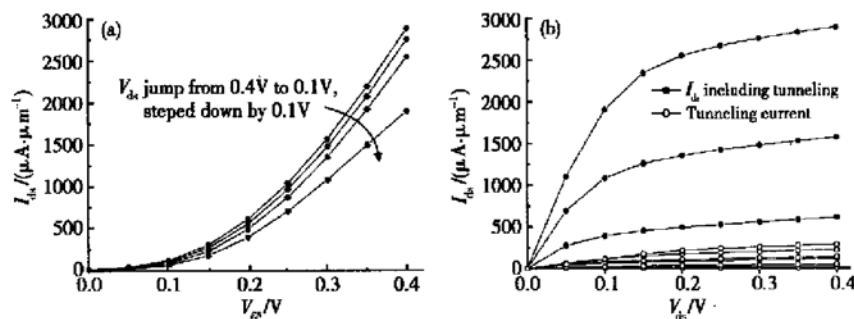


图 5 (a) 器件的转移特性曲线; (b) 器件的输出特性曲线

Fig. 5 (a) Transfer characteristics; (b) Output characteristics

5 结论

本文利用 WKB 方法计算了源漏隧穿几率，并对沟道长度小于 10nm 的 DG MOSFET 进行了模拟，这是 Natori^[4]考虑弹道输运时没有涉及的问题。模拟结果显示沟长小于 10nm 的器件必须考虑源漏隧穿，在关态情况下，6nm 器件隧穿占总电流比例达到 55%，开态情况下也达到 10%。随着器件尺寸的减小，这个比例不断上升。这个结论和 Wang^[5]采用 NEGF 方法的结论基本一致，然而本文的模拟体现了隧穿比例和器件尺寸之间的依赖关系，给出了 6nm 器件的输出转移特性，这是文献[5]中所缺乏的。10nm 以下器件在考虑沟道方向量子力学效应的情况下仍然具有良好的电学特性，从这个角度来说，10nm 沟长甚至 6nm 并不是 MOS 器件的极限。

参考文献

- [1] Semiconductor Industry Association (SIA). The international technology roadmap for semiconductors, 2001
- [2] Chen Lifeng. Modeling on direct tunneling current in deep sub-micron NMOSFET's. Master Thesis, Tsinghua University, 2001
- [3] Ren Zhibin. Nanoscale MOSFETs: physics, simulation and design. PhD Thesis, Purdue University, US, 2001
- [4] Natori K. Scaling limit of the MOS transistor——a ballistic MOSFET. IEICE Trans Electron, 2001, E84-C(8): 1029
- [5] Wang J, Lundstrom M. Does source-to-drain tunneling limit the ultimate scaling of MOSFETs. IEDM '02 Digest International, 2002: 707
- [6] <http://hkn.eecs.berkeley.edu/~leland/research.html>
- [7] Ghatak A K, Gallawa R L, Goyal I C. Modified airy function and WKB solutions to the wave equation. National Institute of Standards and Technology, 1991: 6
- [8] <http://www.nanohub.purdue.edu/NanoHub>

Simulation of Ballistic Transport Including S/D Tunneling for DG MOSFET^{*}

Zheng Qitong, Zhang Dawei, Jiang Bo, Tian Lilin and Yu Zhiping

(Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

Abstract: The source-to-drain (S/D) tunneling current is included based on the ballistic transport model in this work, using WKB method to calculate the possibility of tunneling. The device performances of DG (dual gate) MOSFETs with very thin silicon films (thickness of 1nm) are simulated. The simulation results show that when the channel length is 10nm, the S/D tunneling is 25% of the total off-current and 5% of the total on-current. The proportion of the S/D tunneling will be even larger with the channel length going down. Thus, it is essential to include S/D tunneling into simulations.

Key words: S/D tunneling; DG MOSFET; ballistic transport; device simulation

EEACC: 2560R

Article ID: 0253-4177(2004)05-0547-05

* Project supported by the Major State Basic Research Development Program of China(No. G2000036502)

Zheng Qitong female, was born in 1978. She is engaged in the research on transport mechanism of deep-submicron devices.

Received 8 April 2003, revised manuscript received 28 July 2003

©2004 The Chinese Institute of Electronics