

施主型界面态引起深亚微米槽栅 PMOS 特性的退化^{*}

任红霞 张晓菊 郝 跃

(西安电子科技大学微电子研究所, 西安 710071)

摘要: 基于流体动力学能量输运模型, 对沟道杂质浓度不同的槽栅和平面 PMOSFET 中施主型界面态引起的器件特性的退化进行了研究, 并与受主型界面态的影响进行了对比。研究结果表明同样浓度的界面态在槽栅器件中引起的器件特性的漂移远大于平面器件, 且 N 型施主界面态密度对器件特性的影响远大于 P 型界面态, N 型施主界面态引起器件特性的退化趋势与 P 型受主界面态相似, 而 P 型施主界面态则与 N 型受主界面态相似。沟道杂质浓度不同, 界面态引起的器件特性的退化则不同。

关键词: 槽栅 PMOSFET; 施主界面态密度; 栅极特性; 漏极电流驱动能力; 特性退化

PACC: 6848; 7340; 7340Q

中图分类号: TN 303

文献标识码: A

文章编号: 0253-4177(2004)05-0562-06

1 引言

VLSI 技术的迅速发展使半导体器件尺寸不断缩小, 限制了 VLSI 电路规模的增大^[1], 导致各种可靠性问题的出现, 如热载流子效应、漏感应势垒降低、短沟道效应等。虽然降低电源电压和减小栅氧化层厚度是抑制热载流子效应的有效方法^[2], 但由于受器件驱动能力及漏电流和隧穿电流的影响, 其降低的幅度是有限的。为了最大限度抑制短沟道效应和热载流子效应, 已提出了多种器件结构和制备工艺^[3]。槽栅被认为是一种极具应用前景的器件结构, 是在深亚微米和超深亚微米区域内进行器件可靠性加固的理想结构^[4, 5], 因此加强槽栅器件抗热载流子效应的研究, 对于了解其具体的物理机制, 加速其实用化具有非常重要的意义。

器件尺寸较大时, 由于沟道内电场较弱而空穴质量较大, PMOS 中的热载流子效应并不严重, 但当进入到深亚微米后, 沟道电场的增大使载流子能

量升高, 空穴成为热载流子的几率大大增加, 此时需要对 PMOS 热载流子效应给予高度重视。在已经研究了由热载流子注入形成的受主型界面态在槽栅 NMOS 和 PMOS 中引起的器件性能退化^[6]的基础上, 本文主要对施主型界面态对槽栅 PMOS 器件的影响进行研究。

2 器件结构与模型

首先利用 TSUPREM-4^[8] 模拟制备研究中所用的槽栅和平面器件, 器件的基本参数: n 型衬底, 杂质浓度为 $5.0 \times 10^{16} \text{ cm}^{-3}$, 沟道长度 $0.13\mu\text{m}$, 栅氧化层厚度为 4nm , 固定界面态密度 10^{10} cm^{-2} , 沟道掺杂分为 $7.0 \times 10^{17} \text{ cm}^{-3}$ 和不掺杂两种, 漏源结表面掺杂浓度 $6.0 \times 10^{18} \text{ cm}^{-3}$, 结深 $0.08\mu\text{m}$, 凹槽向下凹入 $0.1\mu\text{m}$, 形成 $0.02\mu\text{m}$ 的负结深, 具体器件结构如图 1 所示。

对深亚微米器件进行模拟时必须考虑多种效应, 尤其当沟道长度降至与载流子平均自由程可比

* 国防预研基金(No. 99J8. 1. 1. DZD132) 和博士点基金(No. 8070110) 资助项目。

任红霞 女, 1967 年出生, 教授, 从事新型电路与器件的特性与可靠性研究。

张晓菊 女, 1978 年出生, 博士研究生, 主要研究方向为深亚微米器件及其可靠性。

郝 跃 男, 1958 年出生, 教授, 博士生导师, 主要研究方向为集成电路可靠性与可制造性及宽禁带半导体。

2003-06-12 收到, 2003-07-10 定稿

©2004 中国电子学会

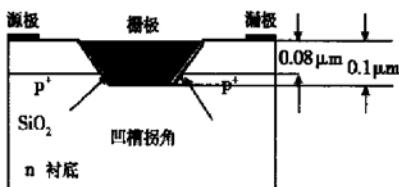


图 1 槽栅和平面 PMOSFET 结构图

Fig. 1 Structure of grooved-gate PMOSFET

时,会出现非稳态、量子传输等效应,此时漂移-扩散模型已不完全适合,须采用能量传输模型。能量传输模型由载流子连续性方程、动量平衡方程、能量平衡方程及 Poisson 方程组成^[7]。它能够模拟载流子的非本地输运现象,包括载流子加热及其相关现象,如速度过冲等。基本方程中各参数的选取考虑了小尺

寸器件的特殊性,仿真中设定低电场迁移率仅与掺杂浓度有关;高电场迁移率采用惠普迁移率模型,该模型考虑了水平电场及垂直电场对电流方向的作用;热载流子效应的仿真,采用了幸运载流子模型来求解栅电流^[9];模拟中选择耦合算法求解基本方程。

3 结果与讨论

3.1 施主型界面态对器件栅极特性的影响

Si-SiO₂ 界面存在施主型和受主型两种界面态,施主型界面态对器件特性的影响非常明显。图 2 和图 3 分别给出不同沟道杂质浓度的槽栅和平面器件在施主型界面态密度不同时的栅极特性曲线,其中 QF 为固定界面电荷密度, P. DON 和 N. DON 分别为 P 型和 N 型施主型界面态密度。

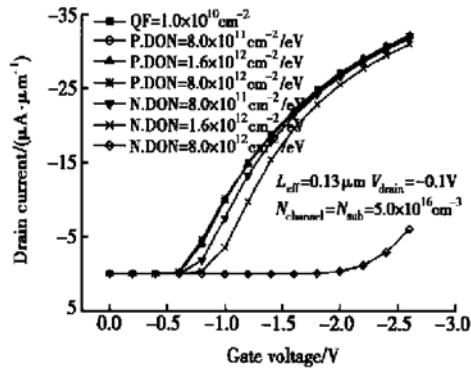


图 2 不同沟道杂质浓度下槽栅器件的栅极特性曲线

Fig. 2 Gate characteristics of grooved-gate devices with different donor interface state densities and different channel doping

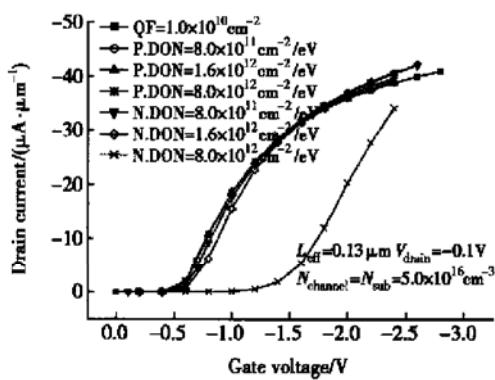
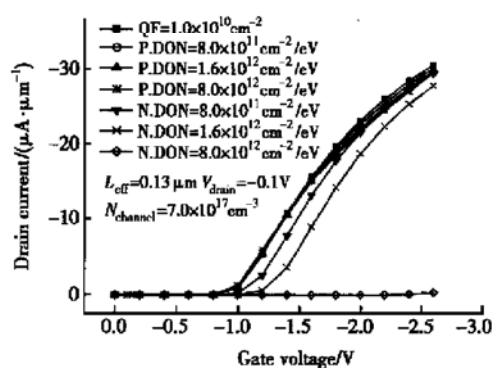
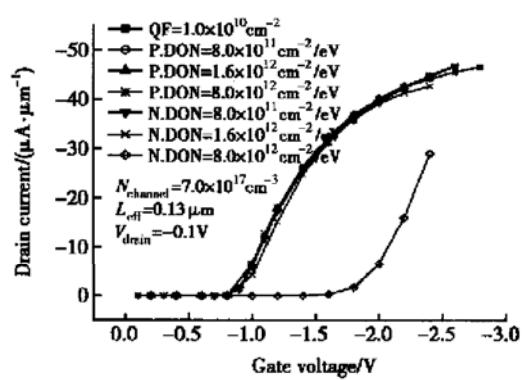


图 3 不同沟道杂质浓度下平面器件的栅极特性曲线

Fig. 3 Gate characteristics of planar devices with different donor interface state densities and different channel doping



由图可见, P 型施主态对器件栅极特性的影响远小于 N 型施主态, N 型施主态对栅特性的影响强烈, 其具体规律为: 在沟道高掺杂时, 随着 N 型施主界面态密度的增大, 栅特性曲线迅速右移, 阈值电压升高, 亚阈特性和跨导退化; P 型施主界面态则使器件栅极特性基本不变, 曲线略微左移, 阈值电压稍降, 亚阈特性和跨导稍有退化。沟道不掺杂时, 随着 N 型施主态的增大, 栅特性变化类似高沟道掺杂的情况, 但跨导先增大后减小; P 型施主态对器件栅特性的影响同样类似高沟道掺杂的情况, 但亚阈特性略有改善。平面器件中, 界面态对器件的影响规律基本一致。

由两图还可看出, 对不同的沟道杂质浓度, 施主型界面态在槽栅器件中引起的栅特性的变化大于平面器件, 同时 N 型施主界面态对器件特性的影响较大。表 1~4 为不同沟道杂质浓度下槽栅和平面器件栅极特性的详细变化情况。

首先分析沟道杂质浓度较高的情形(表 1)。在不同结构的器件中, 与 P 型受主界面态相似^[6], 随着 N 型施主界面态密度的提高, 器件的阈值电压急剧升高, 亚阈特性和跨导退化; 而 P 型施主界面态则与 N 型受主界面态相似^[6], 使器件的阈值电压略微降低, 亚阈特性和跨导特性基本不变。

表 1 高沟道杂质浓度槽栅器件在不同施主界面态下的栅极特性参数 $N_{\text{channel}} = 7.0 \times 10^{17} \text{ cm}^{-3}$

Table 1 Gate characteristic parameters of high channel doped grooved-gate devices with different donor interface state densities

界面态 类型	密度 $/(\text{cm}^{-2} \cdot \text{eV}^{-1})$	S_{lin} $/(A \cdot \mu\text{m}^{-1} \cdot \text{V}^{-1})$	V_{th} /V	S_{sub} $/(m\text{V} \cdot \text{dec}^{-1})$
QF	1.0×10^{10}	2.7649×10^{-5}	- 1.007	80.24
N	8.0×10^{11}	2.6780×10^{-5}	- 1.107	87.09
N	1.6×10^{12}	2.6923×10^{-5}	- 1.266	95.79
N	8.0×10^{12}	1.2160×10^{-6}	- 2.333	162.1
P	8.0×10^{11}	2.6684×10^{-5}	- 0.9961	80.62
P	1.6×10^{12}	2.5647×10^{-5}	- 0.9870	80.61
P	8.0×10^{12}	2.4369×10^{-5}	- 0.9546	80.86

P 型受主态的影响低于 N 型, 而 N 型施主态的影响大于 P 型。这主要是因为空穴受主态和电子施主态在空穴和电子的准费米能级以上充正电荷, 以下为中性, 所以对器件影响显著, 且引起器件特性向同一方向漂移。随着近漏端热载流子的注入和带正电荷的界面态(N 型施主和 P 型受主)的累积, 对多子空穴产生排斥作用, 相当于给载流子增加了一个势垒, 因而导致器件阈值电压升高, 转移曲线右移,

可以同时推知这将导致漏极驱动能力的退化。而电子受主态和空穴施主态则在电子和空穴准费米能级以上为中性, 以下充负电, 故产生的影响相似。近漏端热载流子的注入和带负电荷的界面态(P 型施主和 N 型受主)的累积会吸引沟道内的多子空穴, 相当于漏区向沟道扩展, 有效沟道长度缩短, 屏蔽了部分界面态的影响, 故栅特性左移, 阈值电压降低。由此推论似乎可以得出漏极驱动能力应该上升, 但事实正相反, 原因在于载流子受界面散射严重, 迁移率减小。对于平面器件可作同样解释。

此外, 两种施主型界面态均导致亚阈斜率因子增大, 亚阈特性退化; 跨导变小, 说明界面态导致器件特性变差, 但各自的影响程度不同: N 型的影响远大于 P 型, 当漏端分别存在不同的 N 型施主界面态时(数据见表 1), 槽栅器件的阈值电压分别增大 10.30%, 25.73% 和 132.4%; 线性因子退化 3.14%, 2.63% 和 95.6%; 亚阈斜率退化 8.54%, 19.38% 和 102.02%; 而当界面态为 P 型施主态时, 阈值电压分别降低 1.08%, 1.99% 和 5.20%; 线性因子退化 3.49%, 7.24% 和 11.86%; 亚阈斜率退化 0.47%, 0.46% 和 0.77%。可见除了在低施主型界面态密度下, P 型导致的线性因子退化略大以外, 多数情况是相同密度的 N 型施主界面态引起器件特性的变化远大于 P 型。

同样可以分析, 在沟道不掺杂情况下(表 2), 相同密度的 N 型施主态引起器件栅极特性的变化远大于 P 型。与沟道高掺杂不同, 沟道不掺杂时, P 型施主界面态在使器件阈值电压降低的同时, 改进了亚阈特性, 且阈值电压和线性因子的降低比沟道高掺杂情况下小。而 N 型施主界面态则对沟道不掺杂的器件阈值电压影响略大, 对亚阈斜率的影响略小。

表 2 低沟道杂质浓度槽栅器件在不同施主界面态下的栅极特性参数 $N_{\text{sub}} = N_{\text{channel}} = 5.0 \times 10^{16} \text{ cm}^{-3}$

Table 2 Gate characteristic parameters of low channel doped grooved-gate devices with different donor interface state densities

界面态 类型	密度 $/(\text{cm}^{-2} \cdot \text{eV}^{-1})$	S_{lin} $/(A \cdot \mu\text{m}^{-1} \cdot \text{V}^{-1})$	V_{th} /V	S_{sub} $/(m\text{V} \cdot \text{dec}^{-1})$
QF	1.0×10^{10}	2.9966×10^{-5}	- 0.6670	74.07
N	8.0×10^{11}	2.8878×10^{-5}	- 0.7385	78.82
N	1.6×10^{12}	3.0999×10^{-5}	- 0.8852	85.80
N	8.0×10^{12}	1.5743×10^{-5}	- 2.213	126.6
P	8.0×10^{11}	2.9450×10^{-5}	- 0.6611	72.40
P	1.6×10^{12}	2.8971×10^{-5}	- 0.6562	70.95
P	8.0×10^{12}	2.8152×10^{-5}	- 0.6365	67.51

同理分析平面器件(表3,4),同样是N型施主界面态的影响远大于P型。此外,N型施主界面态使器件的阈值电压升高,亚阈斜率退化,线性因子改进;而P型则使器件的阈值电压降低,亚阈特性和线性因子退化,但低密度时情况正好相反。沟道不掺杂时,P型影响小于N型,且两种施主型界面态在两种掺杂情况下引起的变化类似,只是在沟道不掺杂时影响更大。

表3 高沟道杂质浓度平面器件在不同施主界面态下的栅极特性参数 $N_{\text{channel}} = 7.0 \times 10^{17} \text{ cm}^{-3}$

Table 3 Gate characteristic parameters of high channel doped planar devices with different donor interface state densities

界面态 类型	密度 $/(\text{cm}^{-2} \cdot \text{eV}^{-1})$	S_{lin} $/(A \cdot \mu\text{m}^{-1} \cdot \text{V}^{-1})$	V_{th} /V	S_{sub} $/(m\text{V} \cdot \text{dec}^{-1})$
QF	1.0×10^{10}	5.6976×10^{-5}	-0.8861	73.61
N	8.0×10^{11}	5.8641×10^{-5}	-0.8969	72.97
N	1.6×10^{12}	5.4766×10^{-5}	-0.9228	74.85
N	8.0×10^{12}	6.4990×10^{-5}	-1.954	114.6
P	8.0×10^{11}	6.0809×10^{-5}	-0.8913	72.85
P	1.6×10^{12}	5.6666×10^{-5}	-0.8854	74.03
P	8.0×10^{12}	5.6566×10^{-5}	-0.8846	74.55

表4 低沟道杂质浓度平面器件不同施主界面态下的栅极特性参数 $N_{\text{channel}} = N_{\text{sub}} = 5.0 \times 10^{16} \text{ cm}^{-3}$

Table 4 Gate characteristics parameters of low channel doped planar devices with different donor interface state densities

界面态 类型	密度 $/(\text{cm}^{-2} \cdot \text{eV}^{-1})$	S_{lin} $/(A \cdot \mu\text{m}^{-1} \cdot \text{V}^{-1})$	V_{th} /V	S_{sub} $/(m\text{V} \cdot \text{dec}^{-1})$
QF	1.0×10^{10}	4.4308×10^{-5}	-0.5583	72.11
N	8.0×10^{11}	4.6391×10^{-5}	-0.6007	73.44
N	1.6×10^{12}	4.6271×10^{-5}	-0.6646	77.02
N	8.0×10^{12}	4.1491×10^{-5}	-1.511	109.4
P	8.0×10^{11}	4.6800×10^{-5}	-0.5709	72.49
P	1.6×10^{12}	4.4185×10^{-5}	-0.5567	72.80
P	8.0×10^{12}	4.3976×10^{-5}	-0.5531	74.11

在分别分析了两种施主型界面态对槽栅和平面器件栅特性的影响之后,不难看出,无论沟道掺杂或不掺杂,槽栅器件受到的影响远大于平面器件,即槽栅器件的栅特性对热载流子效应更为敏感,或者说灵敏度较高。

3.2 施主型界面态对器件漏极驱动能力的影响

图4和图5为不同类型和密度的施主型界面态对槽栅和平面器件的漏极特性的影响。由图可见,N型施主界面态使器件的漏极电流减小,降低了器件的驱动能力,而P型施主界面态对器件漏极特性的

影响则远远小于N型。

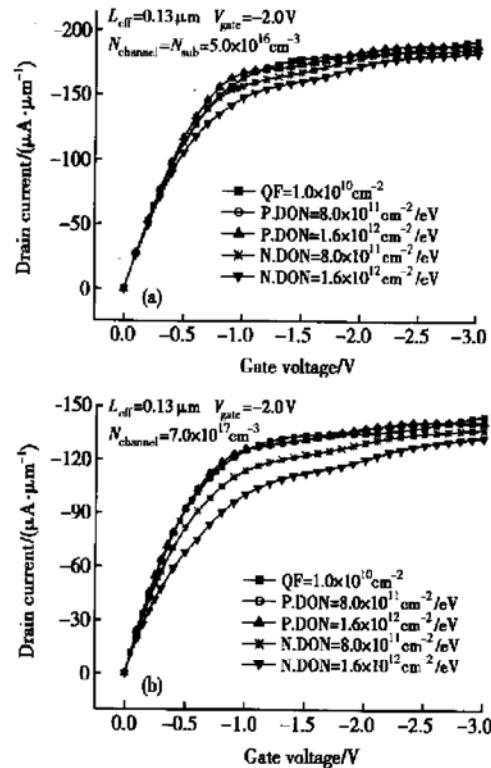


图4 不同施主界面态密度下槽栅器件的漏极特性曲线
(a) 沟道不掺杂槽栅器件的漏极特性; (b) 沟道高掺杂槽栅器件的漏极特性

Fig. 4 Drain characteristics of grooved-gate devices with different donor interface state densities (a) No channel doping; (b) High channel doping

槽栅器件中(图4(b)),N型施主界面态的存在使漏极饱和电流由固定界面电荷密度 $1.0 \times 10^{10} \text{ A}/\mu\text{m}$ 时的 $-1.45 \times 10^{-4} \text{ A}/\mu\text{m}$ 降为 $-1.32 \times 10^{-4} \text{ A}/\mu\text{m}$,降低了8.38%;而在等量的P型施主态下,漏极电流为 $-1.41 \times 10^{-4} \text{ A}/\mu\text{m}$,降低了2.34%;沟道不掺杂时,同样条件下,漏极电流由 $-1.92 \times 10^{-4} \text{ A}/\mu\text{m}$ 降为 $-1.83 \times 10^{-4} \text{ A}/\mu\text{m}$ (N)和 $-1.89 \times 10^{-4} \text{ A}/\mu\text{m}$ (P),分别降低4.76%和1.79%。在平面器件中,高沟道掺杂时,不同N型施主界面态条件下,漏极电流分别降低1.95%和2.06%;P型施主界面态时,漏极电流升高4.82%;沟道不掺杂时,分别降低1.43%和17.49%以及0.77%。

由以上分析可见,同样的施主型界面态密度对槽栅器件漏极特性的影响远大于平面器件,且N型施主界面态的影响幅度远大于P型。另外,N型和P型施主界面态在槽栅器件中都导致器件的饱和漏电流降低;而在平面器件中,沟道掺杂情形下N型界

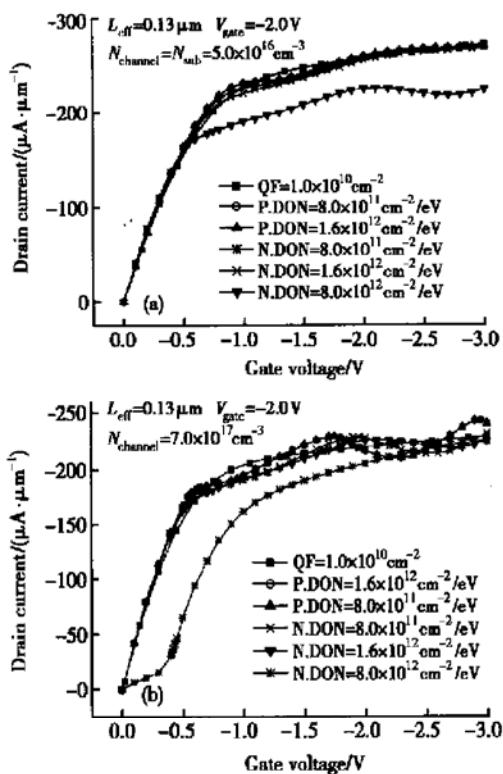


图 5 不同施主界面态密度下平面器件的漏极特性曲线
 (a) 沟道不掺杂平面器件的漏极特性; (b) 沟道高掺杂平面器件的漏极特性

Fig. 5 Drain characteristics of planar devices with different donor interface state densities (a) No channel doping; (b) High channel doping

面态导致饱和漏电流降低,而 P 型则使其升高。这是因为沟道内杂质粒子对载流子的散射较大,所以带负电荷的界面态的附加散射可以忽略;沟道不掺杂时,变化情形与槽栅器件相似。另外,对于两种结构的器件,沟道掺杂的情况下,同样的界面态密度造成漏极特性变化大于沟道不掺杂的情况。

综上所述,无论是栅极或漏极特性,相同密度的施主界面态在槽栅器件中引起的变化都远大于平面器件的变化。因此,尽管在槽栅器件中产生的热载流子数量比平面器件中少得多^[10,11],但同样数目的热载流子对器件所造成的损伤要比平面器件大。

4 结论

本文对不同类型和密度的施主型界面态在深亚微米槽栅和平面 PMOS 中引起的器件特性的退化进行了研究。结果表明,相同密度和类型的施主型界面态在槽栅器件中引起的特性漂移远大于平面器

件;而对同一结构,相同浓度的 N 型施主型界面态引起的变化远大于 P 型。N 型施主界面态使器件的阈值电压升高,栅特性曲线右移,同时使漏极驱动能力严重退化;而 P 型施主界面态则影响较小,转移曲线略微左移,漏极驱动能力稍有降低。因此,尽管槽栅器件中产生的热载流子较少^[10,11],但所造成的损伤要比平面器件大。

参考文献

- [1] Hu C. Simulating hot-carrier effects on circuit performance. *Semicond Sci Technol*, 1992, 7(3): B555
- [2] Fiegna C, Iwai H, Wada T. Scaling the MOS transistor below 0.1 μm: methodology, device structures, and technology requirements. *IEEE Trans Electron Devices*, 1994, 41(6): 940
- [3] Hu C, Tam S, Hsu F C, et al. Hot-electron-induced MOSFET degradation-model, monitor and improvement. *IEEE Trans Electron Devices*, 1985, ED-32(2): 375
- [4] Kimura H I, Tanaka J, Noda H. Short-channel-effect-suppressed sub-0.1-μm grooved-gate MOSFET's with W gate. *IEEE Trans Electron Devices*, 1995, 42(1): 94
- [5] Bricout P H, Dubois E. Short-channel effect immunity and current capability of sub-0.1-micron MOSFET's using a recessed channel. *IEEE Trans Electron Devices*, 1996, 43(8): 1251
- [6] Ren Hongxia, Hao Yue. Study on the degradation induced by acceptor interface state for deep-sub-micron grooved-gate PMOSFET's. *Journal of Electronics & Information Technology*, 2002, 24(1): 108 [任红霞, 郝跃. 受主型界面态在深亚微米槽栅 PMOSFET 中引起退化的研究. 电子与信息学报, 2002, 24(1): 108]
- [7] Technology Modeling Associates, Inc. 1997 Medici Two-Dimensional Device Simulation Program Version 2.3 User's Manual
- [8] Technology Modeling Associates, Inc. 1997 TSUPREM-4 Two-Dimensional Process Simulation Program Version 6.5 User Manual
- [9] Tam S, Ko P, Hu C. Luck-electron model of channel hot-electron injection in MOSFET's. *IEEE Trans Electron Devices*, 1984, 31(9): 1116
- [10] Ren Hongxia, Hao Yue. Characteristic of degradation induced by donor interface state for deep-sub-micron grooved-gate PMOSFET. *Chinese Journal of Semiconductors*, 2001, 22(5): 629 [任红霞, 郝跃. 施主型界面态引起槽栅 PMOSFET 性能退化的特征. 半导体学报, 2001, 22(5): 629]
- [11] Ren Hongxia, Hao Yue. Study on the hot-carrier-degradation mechanism and hot-carrier-effect immunity in advanced grooved-gate PMOSFET. *Acta Physica Sinica*, 2000, 49(9): 1683 [任红霞, 郝跃. 新型槽栅 PMOSFET 热载流子退化机理与抗热载流子效应研究. 物理学报, 2000, 49(9): 1683]

Degradation Induced by Donor Interface State for Deep-Sub-Micron Grooved-Gate PMOSFET^{*}

Ren Hongxia, Zhang Xiaoju and Hao Yue

(Microelectronics Institute, Xidian University, Xi'an 710071, China)

Abstract: Based on the hydrodynamics energy transport model, the degradation induced by donor interface state is analyzed for deep-submicron grooved-gate and conventional planar PMOSFET with different channel doping density, and the results are compared with that induced by acceptor interface states. The simulation results indicate that the degradation induced by the same interface state density in grooved-gate PMOSFET is larger than that in planar PMOSFET, and in both structure device, the impact of N type donor interface state on device performance is far larger than that of P type. It also manifests that the degradation is different for the device with different channel doping density.

Key words: grooved-gate PMOSFET; donor interface state density; gate characteristics; drain current driving capability; performance degradation

PACC: 6848; 7340; 7340Q

Article ID: 0253-4177(2004)05-0562-06

* Project supported by the Pre-Research Foundation for National Defense of China (No. 99J8.1.1. DZD132) and the Doctor Foundation (No. 8070110)

Ren Hongxia female, was born in 1967. She is a professor and engaged in the research on the characteristics and reliability of novel devices and circuits.

Zhang Xiaoju female, was born in 1978, PhD candidate. Her current research interests include deep submicron devices and reliability.

Hao Yue male, was born in 1958. His research interests focus on the theory and design methodology for IC manufacture and reliability and wide band semiconductors.