

亚 0.1 m 栅长 CMOS 器件和电路的研制*

刘文安 黄 如 张 兴

(北京大学微电子学研究所, 北京 100871)

摘要: 利用侧墙图形转移实现亚 $0.1\mu\text{m}$ 栅线条, 重掺杂多晶硅做固相扩散源实现 CMOS 晶体管超浅源漏扩展区, 并且将二者有机结合起来, 成功实现了栅长约为 84.6nm 的 CMOS 器件和电路。报道了利用重掺杂多晶硅固相扩散同时实现 CMOS 源漏扩展区的方法。

关键词: 侧墙图形转移技术; 固相扩散; 源漏扩展区

EEACC: 2560

中图分类号: TN 386

文献标识码: A

文章编号: 0253-4177(2004)05-0583-06

1 前言

随着集成电路规模和集成密度的不断提高, MOS 晶体管的沟道长度已经下降到 $0.1\mu\text{m}$ 以下, 晶体管的各种物理尺寸, 例如栅长、栅宽、栅氧厚度、源漏结深等也相应地按比例缩小, 纳米级栅线条和超浅 pn 结的制作面临着巨大的挑战, 已经成为当前超短沟器件研制中最困难的领域之一^[1~6]。

目前制作亚 $0.1\mu\text{m}$ 栅线条的方法主要有两大类。其一是光刻(更短波长的光源)和与光刻相似的技术(例如软 X 射线、电子束直写等)。通常先制作较细的光刻胶线条, 再进行等离子体灰化以得到更细的栅线条^[7~9]。另一类制作亚 $0.1\mu\text{m}$ 栅线条的方法是图形转移技术, 其中应用最多、最成功的就是侧墙图形转移技术。人们利用这种技术在 1998 年成功实现了 25nm 宽的多晶硅线条和 70nm 栅长的 CMOS 器件^[10]。Choi 等人于 2000 年实现了宽约 6.5nm 的多晶硅线条^[11], 这是迄今为止人们实现的最细的多晶硅线条, 而最小栅长的晶体管(10nm)亦是采用该技术于 2002 年得以实现的^[12]。侧墙图形转移技术相对于光刻和电子束直写技术来说, 对设备要求比较低, 可以在常规工艺线上实现纳米级栅

线条, 成本较低, 也比较方便。基于侧墙图形转移技术的基本原理, 本文开发了一种利用侧墙转移实现栅线条的比较理想的方法, 并且成功地利用这种方法实现了栅长约为 84.6nm 的 CMOS 器件和电路。

进入亚 $0.1\mu\text{m}$ 后, 器件源漏扩展区(SDE)的制作成为工艺技术迫切需要解决的另一个难题, 器件对源漏扩展区的结构提出了更严格的要求。例如, 对于栅长 90nm 的 MOS 器件而言, 为了避免严重的短沟道效应, 其源漏扩展区的表面杂质浓度应大于 10^{20}cm^{-3} , 源漏扩展区的结深应小于 45nm , 而杂质浓度梯度应小于 $7.2\text{nm}/\text{dec}$ ^[13]。目前形成超浅结主要有三种途径。其一是低能离子注入后快速热处理(RTP)形成 pn 结, 但是存在杂质激活率低, 增强扩散明显以及严重的隧道注入等问题, 重离子簇注入尚待进一步研究^[14~16]。其次是一些尚处于研究阶段的新方法, 研究比较多的有原子层掺杂、硅分子外延^[17]、杂质吸附及激光退火^[18]或者火花退火^[19], 以及等离子体浴^[20]等。其三是固相扩散的方法。固相扩散是实验室中超深亚微米器件研制过程中利用得比较多的一种方法, 可以实现比较高的表面杂质浓度以及很高的杂质激活率。目前研究得比较多的有磷硅玻璃^[7]、硼硅玻璃^[21]、重掺杂锗硅外延^[22]等。磷硅玻璃或者硼硅玻璃只能实现 NMOS 或者 PMOS,

* 国家重点基础研究发展规划(批准号: G2000036501) 和国家自然科学基金(批准号: 90207004) 资助项目

刘文安 男, 博士研究生, 主要从事超深亚微米 CMOS 器件、器件物理以及工艺研究。

黄 如 女, 教授, 主要从事新结构、新工艺器件及射频电路特性研究。

张 兴 男, 教授, 主要从事系统芯片的研究与制备。

2003-05-14 收到, 2003-07-10 定稿

© 2004 中国电子学会

但是不能同时实现 CMOS, 铋硅可以用来制作 CMOS 器件的超浅源漏扩展区, 但是需要分子束外延或者选择外延等非常复杂的工艺。多晶硅是比较理想的固相扩散源, 在双极工艺中广泛用来制作晶体管的多晶硅发射极^[23], 在 MOS 工艺中也被用来制作 PMOS 的源漏扩展区或者 p⁺ n 结^[24, 25], 但到目前为止尚未有用来实现 NMOS 源漏扩展区 n⁺ p 超浅结的报道。本文报道了利用重掺杂多晶硅作固相扩散源同时实现超浅 n⁺ p 和 p⁺ n 结, 从而为实现 CMOS 器件和电路奠定了基础。

2 器件制备

器件制作在体硅 p(100) 硅片上, 采用两步推阱的双阱工艺。首先生长缓冲二氧化硅(SiO₂)和低压化学气相淀积(LPCVD)氮化硅(Si₃N₄)。光刻 n 阵, 反应离子刻蚀(RIE) Si₃N₄ 和 SiO₂ 后进行阱注入: 磷, 120keV, 剂量为 $4 \times 10^{13} \text{ cm}^{-2}$ 。随后 1000°C, 氢氧合成氧化, 在 n 阵区生成约 200nm SiO₂, 同时进行 n 阵推进。随后光刻 p 阵区 Si₃N₄ 和 SiO₂, 进行阱注入: 硼, 85keV, 剂量为 $4 \times 10^{13} \text{ cm}^{-2}$ 。在 1000°C, 氢氧合成在 p 阵区生长约 150nm SiO₂ 后, 1000°C, N₂ 推阱 4h。推阱结果为阱深约 2μm, n 阵表面杂质浓度约 10^{18} cm^{-3} , p 阵约 $4 \times 10^{17} \text{ cm}^{-3}$ 。随后腐蚀 Si₃N₄ 和 SiO₂, 进行常规 LOCOS 隔离工艺, 生长 SiO₂ 牺牲层, 腐蚀牺牲层后生长 4.2~4.6nm 栅氧化层, 随之 LPCVD 250nm 不掺杂栅多晶硅。至此就可以利用侧墙图形转移的方法制作栅线条。

首先刻蚀部分栅多晶硅, 以防止侧墙转移时形成不必要的环状多晶硅栅线条。随后 LPCVD 氮化硅用作最后栅线条刻蚀时的硬掩模以及 LPCVD 第二层多晶硅。光刻第二层多晶硅, 感应耦合等离子体(ICP)刻蚀部分第二层多晶硅形成均匀陡直的多晶硅边缘后, LPCVD 约 100nm 二氧化硅后进行反应离子刻蚀形成二氧化硅侧墙。侧墙下面的多晶硅就是未来的栅线条, 而在不希望形成多晶硅栅线条的地方由于多晶硅已经被预先刻蚀掉了, 所以这些地方即使形成了 SiO₂ 侧墙也不会形成不需要的栅线条。再次 ICP 刻蚀剩余的第二层多晶硅, 之后以 SiO₂ 侧墙为硬掩模自对准 RIE 刻蚀氮化硅, 形成 SiO₂/Si₃N₄ 叠层线条。用缓冲 HF 酸溶液腐蚀掉侧墙 SiO₂ 后, 再以 Si₃N₄ 作硬掩模 ICP 自对准刻蚀第一层多晶硅形成栅线条。随后 LPCVD 淀积一薄层

SiO₂(8~10nm 左右), RIE 后在多晶硅栅侧面形成保护性二氧化硅侧墙, 完成多晶硅栅的保护性隔离。该侧墙的作用是防止多晶硅固相扩散形成源漏扩展区时杂质向栅中扩散。至此利用侧墙图形转移形成多晶硅栅工艺全部完成。

接着进行多晶硅固相扩散形成 SDE 区的工序。首先 LPCVD 150nm 多晶硅, 随后光刻, 利用光刻胶作掩蔽进行 p/n 型重掺杂注入: BF₂/P, 注入能量为 35keV, 剂量为 $2 \times 10^{16} \text{ cm}^{-2}$, 在 1000°C, 15s 快速热处理(RTP)将杂质推进到器件源漏区形成超浅 p⁺ n 和 n⁺ p 结。在离子注入的过程中应该确保离子的射程在多晶硅中, 而且应该远离多晶硅-硅界面以防止由于隧道注入造成器件的沟道穿通。随后用 ICP 刻蚀掉用作固相扩散源的多晶硅。由于多晶硅/硅之间由很薄的氧化层隔离, 所以在刻蚀过程中应该防止过刻蚀。至此 CMOS SDE 区全部形成。

在 170°C, 浓 H₃PO₄ 腐蚀栅线条上的氮化硅后进入后工序: 侧墙制作; 自对准注入形成晶体管栅、源、漏区; RTP 激活杂质并且修复受损晶格; 淀积 PSG 及回流, 刻蚀接触孔, 溅射, 刻蚀 Al 并且金属化形成最终的互连。为了使工艺简短一些, 省略了硅化物工艺。

3 结果与讨论

通过淀积不同厚度的 SiO₂ 和侧墙 RIE 过刻蚀来控制侧墙宽度, 也就是栅长, 侧墙转移技术一次就可以在硅圆片上得到相当均匀的栅线条, 对光刻几乎没有限制, 产出率非常高。同时由于侧墙可以在所有的台阶处形成, 它可以非常容易地将两个栅条的间距降低到最小光刻尺寸, 对形成源漏区合并的晶体管阵列非常有利。尽管相对于光刻工艺复杂一些, 但它制作超细微线条的潜力巨大, 事实上迄今为止最细的多晶硅栅线条就是利用这种技术制成的^[11], 也是当今制作超深亚 0.1μm 线条的各种技术中均匀性最好的一种^[26]。

本文在利用侧墙转移制作栅线条的工艺中, 采用了多晶硅/氮化硅/多晶硅三层结构, 利用二氧化硅侧墙来形成栅线条, 工艺相对于多晶硅/二氧化硅两层结构利用 Si₃N₄ 形成侧墙的工艺要复杂一些, 主要是基于这样一些考虑: 首先, 采用三层结构可以将定义侧墙边缘和侧墙刻蚀转移到栅多晶硅上的氮化硅层(即多晶硅/氮化硅/多晶硅的中间层)进行,

可以减少等离子体刻蚀对栅介质层造成的损伤, 好处是明显的。其次, 就一般的刻蚀气体而言, RIE 对 SiO_2 (Si_3N_4) / 多晶硅选择比较小, 如果采用多晶硅 / 二氧化硅两层结构, 则在刻蚀二氧化硅定义侧墙边缘的过程中会损伤栅多晶硅层, 而在刻蚀氮化硅形成侧墙时会进一步严重地刻蚀多晶硅, 造成多晶硅表面粗糙, 并且可能导致最终的栅线条有比较多的毛刺; 再次是利用多晶硅进行 ICP 刻蚀时可以得到非常陡峭的边缘, 这样形成的侧墙要整齐一些。图 1 是利用侧墙图形转移最终形成的多晶硅栅线条的扫描电镜(SEM)照片俯视图, 它对应于 100nm 侧墙厚度, 从图中可以看出栅长约 85nm, 线条也比较整齐平直, 可以满足对栅线条均匀性的要求。

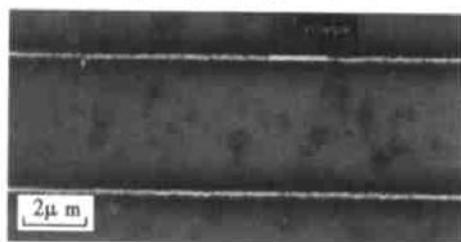


图 1 多晶硅栅的 SEM 俯视图

Fig. 1 SEM top view of gate lines

图 2 是一组利用多晶硅作固相扩散源实现的超浅 SDE 区的 SIMS 分析结果。实验所使用的衬底是 $n-(100)$ 硅片, 掺杂浓度为 10^{18}cm^{-3} 。上面淀积一层 150nm(实际约为 148nm) 多晶硅, 重掺杂注入后高温 RTP 推进(1000°C , 20s, 实际流片中固相推进和源漏区杂质激活时间的总和)后所作的 SIMS 剖面图。图 2(a) 和 (b) 分别是磷和硼的杂质剖面。从图中可以看出, 除去多晶硅表面和多晶硅/硅表面以外, 杂质在多晶硅中分布很均匀, 这是杂质在多晶硅中快速扩散的结果。由于杂质在多晶硅中扩散系数很高, 它们迅速扩散到多晶硅/硅表面, 并且在自然氧化层处堆积, 导致一个浓度峰值。从 SIMS 结果估算, 磷峰值浓度大约为 10^{20}cm^{-3} , 浓度梯度大约为 12nm/dec , 而硼峰值浓度大约为 $4 \times 10^{20}\text{cm}^{-3}$, 浓度梯度约为 17nm/dec 。由于硼的扩散系数远高于磷, 而且 BF_2 中的 F 有破坏 SiO_2 层, 加速硼透过 SiO_2 扩散的源漏区的作用, 所以硼的表面浓度比磷高是很正常的。如果定义衬底掺杂浓度为 10^{18}cm^{-3} , 则所形成的 pn 结深基本一致, 大约在 30~40nm 之间。适当缩短 RTP 时间或者提高衬底掺杂浓度, 或者降低注入能量使注入浓度峰值进一步远离多晶硅-源

漏区界面, 可以进一步降低结深。从分析结果可以看出, 多晶硅固相扩散可以满足纳米级 MOS 晶体管对源漏区超浅结的要求, 是实现超浅源漏扩散区的一个行之有效的途径。

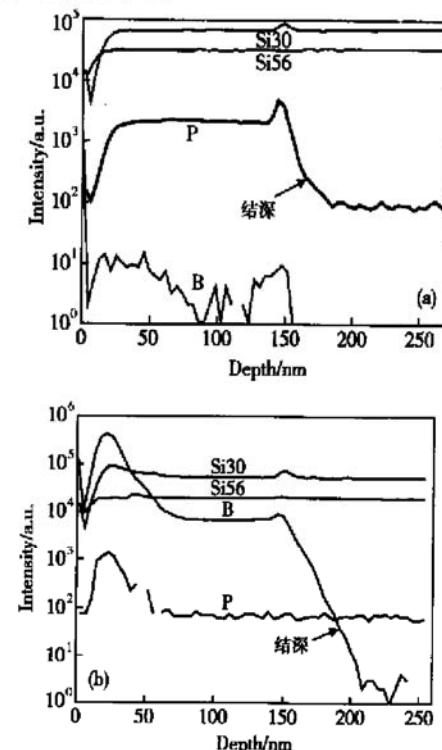


图 2 重掺杂多晶硅固相扩散到 $n-(100)$ 后掺杂剖面的 SIMS 分析结果 (a) 磷; (b) 硼

Fig. 2 SIMS profile formed with polysilicon solid-phase diffusion (a) Phosphorous; (b) Boron

图 3 是一个栅长约为 84.6nm, 栅宽为 $84\mu\text{m}$ 的 PMOS/NMOS 晶体管的输出特性曲线。测试条件为: 漏源电压 3V, 栅源电压 0~3V, 500mV/级(以上

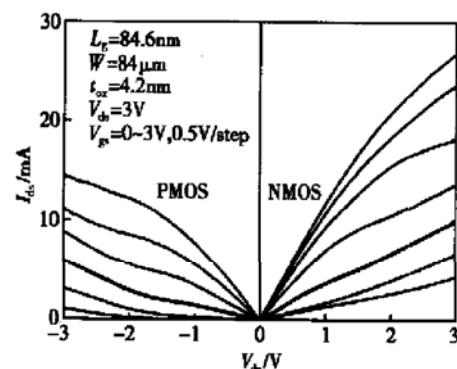


图 3 NMOS/PMOS 输出特性曲线

Fig. 3 Measured NMOS/PMOS output characteristics

均为绝对值), 硅衬底悬空. 从图中可以看出, NMOS 管饱和电流驱动能力大概是 $0.35\text{mA}/\mu\text{m}$, PMOS 管约为 $0.25\text{mA}/\mu\text{m}$. 考虑到没有采用硅化物工艺来降低源漏区串连电阻, 这样的驱动电流能力还是比较理想的.

图 4 是图 3 中 NMOS/PMOS 晶体管的转移特性曲线. 曲线是在 $V_{ds} = 0.05\text{V}$ (绝对值) 时扫描 V_g 得到的. 通过线性外推法测得的阈值电压分别为: PMOS 为 -0.5V , NMOS 为 $1.6\sim 1.8\text{V}$ 左右. 由于阱浓度的差异, 器件的阈值电压相当不对称. 同时可

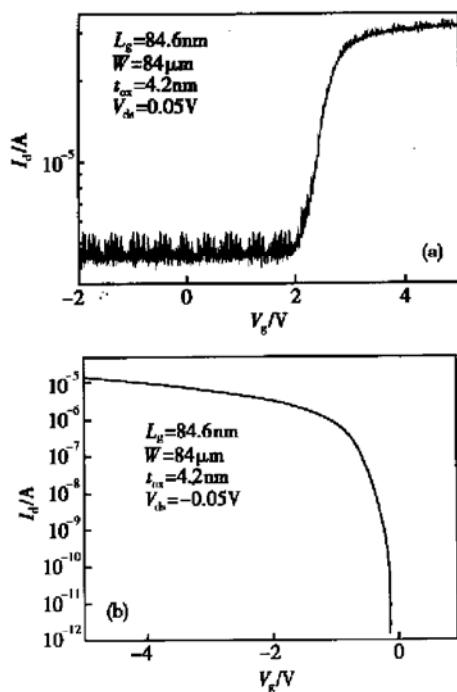


图 4 图 3 中晶体管的转移特性曲线 (a) NMOS; (b) PMOS

Fig. 4 Measured transfer characteristics (a) NMOS; (b) PMOS

以看出 NMOS 管的泄漏电流很大, I_{on}/I_{off} 比较小 (大概一个数量级), 器件源漏区部分穿通了; 而 PMOS 管则表现出相当理想的开关特性. 从结果来看, p 阵浓度偏低 ($< 4 \times 10^{17} \text{cm}^{-3}$) 应该是造成 NMOS 器件源漏区穿通的主要原因. 尽管 NMOS 器件的外推阈值电压很大, 但是这是源漏区之间很大的穿通电流造成的, 因为转移特性曲线只是下行的较高的量级 ($2\mu\text{A}$) 就饱和了, 所以 NMOS 管比较高的外推阈值电压只是一个表面现象. 衬底浓度低造成 SDE 区 pn 结较深, 形成比较大的横向扩散, 同时使源漏区耗尽层向沟道区扩展更加严重, 从而导

致源漏区的穿通, 而 PMOS 器件尽管没有采用特殊方法来抑制短沟效应, 但是由于沟道浓度比较高 ($> 10^{18} \text{cm}^{-3}$), 所以 PMOS 器件仍然表现出比较理想的短沟特性. 从 $3\mu\text{m}$ 栅长的用于工艺监控的 PMOS/NMOS 管比较高的源漏击穿电压特性 ($> 5\text{V}$ 硬击穿) 来看, 器件源漏区的超浅 $p^+ n/n^+ p$ 结是相当理想的, 所以多晶硅固相扩散形成的 pn 结本身性能良好.

为了验证采用侧墙转移形成不同版图形式的栅线条和利用重掺杂多晶硅固相扩散形成源漏扩展区超浅结制作 CMOS 电路的可行性, 制作了不同形式的环振: $21\mu\text{m}$ 栅宽的 CMOS 倒相器制作的环振和 2 输入与非门、3 输入与非门、4 输入与非门构成的环振. 制作环振的目的并不是验证这种技术的速度性能, 而只是检验这种技术在 CMOS 电路制作中的可行性. 因为仅仅采用较短的栅长, 而电路的其他制作尺寸不按比例缩小是不可能提高电路速度的. 图 5 是一个由 3 输入与非门构成的 21 级环振在 2.5V 外加电压时的振荡波形. 环振在 2.0V 开始起振. 由于比较大的光刻尺寸和大量采用多晶硅跳线, 环振振荡频率不高, 振荡幅度也偏小, 波形的下降延存在一个由于 NMOS/PMOS 阈值电压不对称造成的平台. 尽管不理想, 但是足以说明栅线条的制作和源漏扩展区的制作是切实可行的.

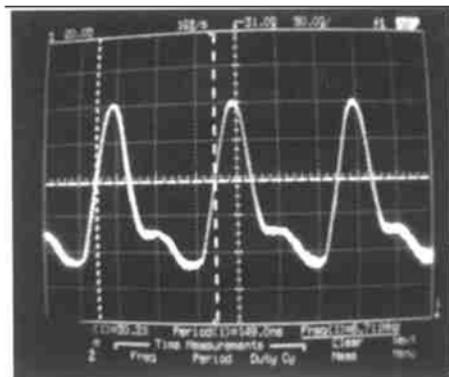


图 5 3 输入与非门组成的 21 级环振的振荡波形

Fig. 5 21-stage ring oscillator composed of 3-input NANDs

从工艺实验结果来看, 实验的主要目的, 即利用侧墙图形转移实现纳米级栅线条和利用重掺杂多晶硅固相扩散实现 CMOS 器件源漏扩散区的超浅结均成功实现了. 晶体管中 PMOS 比较理想, 而

NMOS 则需要进一步改进。优化工艺参数, 尤其是 p 阵掺杂浓度和栅氧厚度后, 器件的性能应该可以得到更大改善。

4 结论

本文利用重掺杂多晶硅作固相扩散源成功地实现了亚 $0.1\mu\text{m}$ CMOS 器件的源漏扩展区(即超浅 $p^+ n^- p$ 结), 同时开发了一种利用侧墙图形转移实现栅线条的新工艺。二者进行工艺综合成功实现了栅长约为 84.6nm 的 CMOS 器件和电路, 得到了性能比较理想的 PMOS 管, 也指出了改善 NMOS 管性能的方向。

参考文献

- [1] Wong H S P, Frank D J, Solomon P M, et al. Nanoscale CMOS. Pro IEEE, 1999, 87: 537
- [2] Iwai H, Momese H S, Satio M, et al. The future of ultra-small-geometry MOSFETs beyond 0.1 micron. Microelectron Eng, 1995, 28: 147
- [3] Iwai H. CMOS technology—year 2010 and beyond. IEEE J Solid-State Circuits, 1999, 34: 357
- [4] Fiegna C, Iwai H, Satio W T, et al. Scaling the MOS transistor below $0.1\mu\text{m}$: methodology, device structures, and technology requirements. IEEE Trans Electron Devices, 1994, ED-41: 941
- [5] Hori A, Mizuno B. CMOS device technology toward 50nm region—performance and drain architecture. In: IEDM Tech Dig, 1999: 641
- [6] Timp G, Bourdelle K K, Bower J E, et al. Progress toward 10nm CMOS Devices. In: IEDM Tech Dig, 1998: 615
- [7] Ono M, Saito M, Yoshitomi T, et al. A 40nm gate length n-MOSFET. IEEE Trans Electron Devices, 1995, ED-42: 1822
- [8] Chung J, Jeng M C, Joon J E, et al. Deep-submicrometer MOS devices fabrication using a photoresist-ashing technique. IEEE Electron Device Lett, 1998, 9: 186
- [9] Horstmamm J T, Hilleringmann U, Goeser K F. Matching analysis of deposition defined 50-nm MOSFET's. IEEE Trans Electron Devices, 1998, ED-45: 299
- [10] Wakabayashi H, Ueki M, Narihiro M, et al. 45nm gate length CMOS technology and beyond using steep halo. In: IEDM Tech Dig, 2000: 49
- [11] Choi Y K, King T J, Hu C M. A spacer patterning technology for nanoscale CMOS. IEEE Electron Device Lett, 2000, 49: 436
- [12] Doyle B, Arghavani R, Barlage D, et al. Transistor elements for 30nm physical gate lengths and beyond. Intel Technology Journal, 2002, 6 (2) : 42
- [13] <http://public.itrs.net/files/2003ITRS/home2003.htm>
- [14] Nishida A, Murakami E, Kimura S. Characteristics of low-energy BF₂-or As-implanted layers and their effect on the electrical performance of $0.15\mu\text{m}$ MOSFET's. IEEE Trans Electron Devices, 1998, ED-45: 701
- [15] Kasnavi R, Griffin P B, Plummer J D. Ultra low energy arsenic implant limits on sheet resistance and junction depth. Symp on VLSI Tech Dig, 2000: 112
- [16] Goto K C, Matsuo J, Sugii T, et al. A high performance 50nm PMOSFET using decaborane ($\text{B}_{10}\text{H}_{14}$) ion implantation and 2-step activation annealing process. In: IEDM Tech Dig, 1997: 471
- [17] Song Y H, Kim K Y, Bae J C, et al. A novel atomic layer doping technology for ultra-shallow junction in sub- $0.1\mu\text{m}$ MOSFET's. In: IEDM Tech Dig, 1999: 505
- [18] Yu Bin, Wang Yun, Wang Haihong, et al. 70nm MOSFET with ultra-shallow, abrupt, and super-doped S/D extension implemented by laser thermal process(LTP). In: IEDM Tech Dig, 1999: 509
- [19] Mehrotra M, Hu J C, Jain A, et al. A 1.2V, sub- $0.09\mu\text{m}$ gate length CMOS technology. In: IEDM Tech Dig, 1999: 419
- [20] Lenoble D, Arnaud F, Grouillet A, et al. Reliable and enhanced performances of sub- $0.1\mu\text{m}$ pMOSFETs doped by low biased. Symp on VLSI Tech Dig, 2000: 110
- [21] Saito M, Yoshitomi T, Hara H, et al. P-MOSFET's with ultra-shallow solid-phase-diffused drain structure produced by diffusion from BSG gate-sidewall. IEEE Trans Electron Devices, 1993, ED-40: 2264
- [22] Uchino T, Miyauchi A, Shiba T, et al. MOSFETs with ultra-shallow junction and minimum drain area formed by using solid-phase diffusion from SiGe. IEEE Trans Electron Devices, 2001, ED-48: 1406
- [23] Wang Yangyuan, Kamins T I. Polysilicon thin film and its application in IC. Beijing: Science Press, 1988 [王阳元, Kamins T I. 多晶硅薄膜及其在集成电路中的应用. 北京: 科学出版社, 1988]
- [24] Yang W L, Liu D G, Chu K W, et al. Impact of N₂O activation treatment on junction character of p^+ / n junction formed by a solid diffusion source. IEEE Trans Electron Devices, 2001, ED-48: 1277
- [25] Tan F L, Chen T P, Lin H C, et al. Low-temperature growth of silicon-boron layer as solid diffusion source for polysilicon contacted $p^+ - n$ shallow junction. IEEE Trans Electron Devices, 1995, ED-42: 2104
- [26] Choi Y K, King T J, Hu C M, et al. A spacer patterning technology for nanoscale CMOS. IEEE Trans Electron Devices, 2002, 49: 436

Development of CMOS Devices and Circuits with Sub-0.1 m Gate Length^{*}

Liu Wen'an, Huang Ru and Zhang Xing

(Institute of Microelectronics, Peking University, Beijing 100871, China)

Abstract: A newly developed method of pattern shift with spacer is proposed to define sub-0.1μm MOS transistor gates. Polysilicon doped heavily is introduced as solid-phase diffusion source to realize ultra-shallow source and drain extensions. Using the process of integration of these two methods, which is basically compatible with standard process, the nanoscale devices and circuits with gate length of 84.6nm are fabricated with relatively good performance.

Key words: spacer pattern shift technology; solid phase diffusion; source and drain extension

EEACC: 2560

Article ID: 0253-4177(2004)05-0583-06

* Project supported by State Key Development Program of Basic Research of China (No. G2000036501) and National Natural Science Foundation of China (No. 90207004)

Liu Wen'an male, PhD candidate. He is engaged in the research on ultra-submicron CMOS, device physics, and technology.

Huang Ru female, professor. She is engaged in the research on devices with novel structure and novel process, and RF circuits.

Zhang Xing male, professor. He is engaged in the research on SOC.

Received 14 May 2003, revised manuscript received 10 July 2003

© 2004 The Chinese Institute of Electronics