

一种用于标准单元版图交替移相掩模相位兼容性规则检查的工具^{*}

高根生 史 峰 陈 眯 严晓浪

(浙江大学超大规模集成电路设计研究所, 杭州 310027)

摘要: 介绍了一套基于相位冲突图的生成和处理的新方法, 可以准确、全面地对由传统方法设计的标准单元版图(暗场)进行检查。基于此方法的软件工具能够检查标准单元版图, 找出不符合交替移相掩模设计要求的图形, 并给出相关的修改建议。实验结果证实了该工具的有效性。

关键词: 交替移相掩模; 相位冲突图; 标准单元

EEACC: 2570

中图分类号: TN 305. 7

文献标识码: A

文章编号: 0253-4177(2004)05-0601-06

1 引言

当半导体工业进入到超深亚微米时代时, 集成电路的特征尺寸将接近曝光系统的理论分辨率极限, 光刻后硅圆片表面成像将产生明显的畸变, 从而导致光刻图形质量严重下降。任何掩模图形和硅圆片表面实际制造图形之间的不一致, 即版图图形转移的失真, 都会影响产品的性能参数, 并降低集成电路的生产成品率^[1]。为了解决这个问题, 业界提出并采用了分辨率增强技术(RET, resolution enhancement technology), 其中主要有光学邻近校正(OPC, optical proximity correction), 移相掩模(PSM, phase shifted mask), 次分辨率辅助图形(sub-resolution assistance feature)等方法。上述RET方法都对掩模进行一定程度的改动, 如光学邻近校正对掩模图形形状作了预失真处理, 而移相掩模则通过修改版图相位来达到分辨率增强的目的。

移相掩模方法是利用通过某透明区域的光波与通过相邻透明区域但具有180°相位差光波之间的干涉作用, 减弱相邻边界处的光强, 从而使图形边缘

对比度得到提高, 并使焦深和分辨率同时得到改善^[2]。常用移相掩模技术主要分为两种, 一种是削弱移相掩模(attenuated PSM), 另一种是交替移相掩模(alternating PSM)。削弱移相掩模在性能上有一定的限度, 当集成电路的最小线宽发展到接近100nm后, 交替移相掩模将成为一种非常必要的工艺技术^[3]。在使用交替移相掩模技术时, 需要在各层掩模必要的部位放置合适的相位转移膜, 设计的版图不仅要满足传统的设计规则, 而且掩模图形之间要满足一定的位置关系, 以便进行相位分配。

文献[3, 4]直接从全版图对其相位兼容性进行检查, 这就涉及大量图形的处理; 同时由于相位冲突(见第3部分)是一个“全局”现象, 使得检查过程非常复杂。为了能够解决全版图的相位分配问题, 文献[3, 4]对版图的图形位置约束作了较大程度的简化, 这就大大降低了其方法的实用性。目前业界普遍认为100nm以下的设计在物理设计流程中需要考虑设计的相位兼容性问题^[6]。文献[5]中提出了一种较为实用的设计流程方法, 把整个版图的相位可分配性分解为标准单元内及标准单元间的相位分配问题, 从而较大幅度地减少了整个版图相位分配问题。

* 国家自然科学基金(批准号: 60176015, 90207002), 国家高技术研究发展计划(批准号: 2002AA1Z1460)资助项目

高根生 男, 1976年出生, 硕士研究生, 从事集成电路CAD的研究。

史 峰 男, 1967年出生, 副教授, 从事集成电路CAD领域的研究工作。

2003-05-16 收到, 2003-09-02 定稿

© 2004 中国电子学会

的复杂度,实验表明,该方法具有良好的效果.其中,建立适用于交替移相掩模技术的标准单元库是文献[5]中方法的关键,但文献[5]中并没有实现标准单元内的相位分配和验证算法.由于标准单元是整个集成电路设计的基础,我们希望在100nm以下标准单元库的设计过程中,能够全面地对单元版图设计进行检查,并给出修改方案.为此,在跟踪研究世界最新的交替移相掩模设计验证理论的基础上,本文特别针对标准单元设计提出了一种交替移相掩模相位可分配性的检查方法,并开发了基于此方法的软件工具.

2 适用于交替移相掩模技术的单元库的建立准则

作为半定制设计的基本模块,适用于移相掩模技术的标准单元除了必须满足诸如速度、功耗、面积等方面的要求外,还必须满足版图相位可制造性的特殊要求.除了传统的设计规则,文献[5]提出了三条建立这样单元库的基本准则,它们包括:(1)相位转移膜的可放置性;(2)单元内部的相位可分配性;(3)单元之间没有相位冲突.相位转移膜的可放置性,要求一个关键版图(亮场)图形的周围必须存在一定的空间来放置相位转移膜.该要求可以转化为一类传统的设计规则,并通过设计规则检查器(DRC)进行检查.单元内部的相位可分配性,也就是单元的相位适应性,要求对单元内所有图形进行相位分配和验证,传统的设计规则检查无法做到这一点,而必须采用类似本文中实现的专门工具,该工具对于暗场交替移相掩模设计方法显得尤为重要.文献[5]给出了一种方法以满足第三条准则,它通过在每一个单元的周围增加一个“保护缓冲区”,并采用部分用户约定,使任意两个邻近单元图形之间的距离大于最小冲突距离.该方法虽然牺牲了部分面积,但大大简化了设计流程,从而为交替移相掩模方法提供了实用化的基础.不论是否采用该方法进行设计,只要芯片使用交替移相掩模设计技术,对其中每个单元内的相位可分配性进行全面和准确的检查都是必不可少的.

3 标准单元版图交替移相掩模设计适用性的检查方法

实验表明,在暗场版图中,当两个图形之间的距

离大于一定的数值,它们之间就不存在相位冲突^[2],因此版图图形之间的距离决定了它们是否必须被分配不同的相位.为了反映版图图形之间的这种关系,这里引入相位冲突图的概念.

首先,我们定义常数B为没有相位冲突的两个版图图形之间的最小距离.设版图图形*i*和*k*上最近两点之间的距离为*L_{i,k}*,则:

(1) 如果 $L_{i,k} \geq B$, 则版图图形*i, k*间是没有相位冲突的,可以被分配任意相位;

(2) 如果 $L_{i,k} < B$, 则版图图形*i, k*之间有相位冲突,必须被分配具有180°相差的相位.

给定一个版图,如果按照下面的规则构造图 $G = \langle V, E \rangle$: (1) 版图中每一个图形 F_i 作为相位冲突图的一个顶点 v_i ($i = 1, 2, \dots, |V|$); (2) 如果版图中任意两个图形 F_i 与 F_j 存在相位冲突,那么在冲突图中相应的顶点间就有一条边 $e_{i,j}$; 称之为相位冲突图(如图1所示),这样对版图图形分配相位的问题就可以转化为对图 G 的二着色问题.如果 G 是一个二分图,说明图中没有奇回路(回路中边的总数为奇数),那么即可对其二着色;否则,就要删除足够的边使修改后的 G 成为二分图.

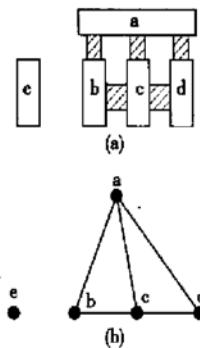


图1 相位冲突图的建立

Fig. 1 Construction of phase conflict graph

在图2中,我们给出了基于相位冲突图的建立和处理来进行相位分配和验证的基本算法流程图.

3.1 相位冲突图的建立

版图图形之间的距离决定了它们之间是否存在相位冲突,因此需要寻找一种快速有效的算法判断版图图形之间的距离关系.文献[3]提出了一个判定相位冲突的方法,它把每一个多边形分为若干个矩形,并把每一个矩形“膨胀” $B/2$,通过判断这些矩形

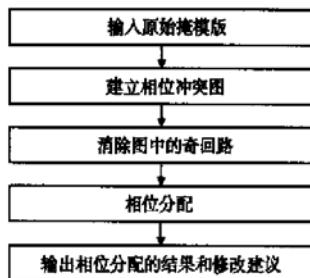


图 2 相位分配算法流程

Fig. 2 Phase assignment flow chart

是否相交来判断多边形的相交情况。该方法忽略了版图图形中斜线的存在，没有判断矩形与非矩形的相交关系，采用此方法建立的相位冲突图是不完整的，不能较好地适应 100nm 以下高密度标准单元的设计检查。这里我们给出一种新的算法，以此方法建立的相位冲突图可以全面反映版图图形的相位冲突关系。具体的算法分两个步骤：

(1) 首先搜集版图中所有图形的水平边和垂直边，并将水平边(垂直边)向两端延长 $B/2$ 。用扫描线(scanline)扫描水平边集合(垂直边集合)，如图 3 所示，根据集合中不在同一个图形的相邻两条边的距离与 B 的关系来判断相应的版图图形是否存在相位冲突。该步骤的时间复杂度是 $O(n)$ ，其中 n 为版图中水平边和垂直边的总和。

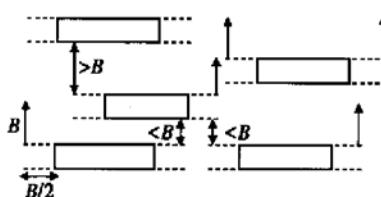


图 3 水平线的 scanline 扫描

Fig. 3 Scan horizontal lines with scanline

(2) 搜集版图中所有的斜线，对每一条斜线，沿其法线方向分别向外和向内移动距离 B ，这样形成一个倾斜的矩形，如图 4 所示。然后通过判断其他版图图形的每个顶点是否落在这个矩形内来判断相应的两个掩模图形是否相交。

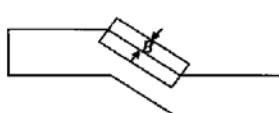


图 4 考虑斜线的情况

Fig. 4 Diagonal in layout considered

容易看出，上述算法的步骤 1 即可达到文献[3]中算法的效果，步骤 2 考虑了斜线的存在对判断版图图形是否相交的影响。因此通过上述算法建立的相位冲突图全面反映了版图图形间的相位冲突关系。

3.2 寻找并消除奇回路

在建立了相位冲突图后，为了检查版图是否能够进行相位分配，我们需要从中找出并消除所有的奇回路。可以通过两种方法来消除相位冲突图中的奇回路：一种是删除图中足够多的边，另外一种是删除足够多的顶点。删除节点的方法相当于删除对应图形，这要求改动电原理图或较大程度地修改版图，因此我们希望能够删除图中尽可能少的数目的边，这在一般设计中相当于将相互冲突的两个图形移开一段距离。为了在较大范围内快速地移除较少的奇回路，文献[3]通过增加一些设计规则，保证了形成的版图相位冲突图必定是平面图，从而可基于 Voronoi 图，求出冲突图的对偶图中所有奇度点的一个最小匹配，再在冲突图中找到这个匹配相对应的边的集合并删除它们，最终使冲突图二分。

但是，为了保证相位冲突图为平面图，势必要增加图形之间的距离，这不仅要引入新的传统型设计规则，引起版图面积的增加，而且对已经完成的设计（尤其是希望通过 Migration 进行的设计）不易实现普遍的支持。针对标准单元设计的严格要求和其规模较小的特点，我们采用了一种精确的方法寻找冲突图中所有的奇回路。首先，给出相关的定义和定理：

定义：对于一个简单图 G ，如果 G 中任意两个顶点间至少存在两条通路，则称简单图 G 为回路图。

定义：对于一个回路图 $G = \langle V, E \rangle$ 的任意一个树 T ，设 T 的所有边的集合为 T_e ($T_e \subset E$)，则 $\exists A$ ， $A = E - T_e$ 且 $A \neq \emptyset$ ，我们称 A 为图 G 关于树 T 的弦集。

定义：对于 $\forall a_i \in A$ ，其中 $i = (1, 2, \dots, |A|)$ ， C_i 是 $TU(a_i)$ 中所包含的回路。我们称 $\{C_i\}$ 为图 G 关于树 T 的基本回路集。

定理：回路图 G 的基本回路集合的元素是线性无关的，图 G 的所有回路都是这些基本回路的线性组合。

由 3.1 节得到的冲突图为简单图。对于冲突图的每一个回路子图，根据上述定理，可以找到它的所有回路，进而找到所有的奇回路。具体的算法描述如

下:

- (1) 搜索冲突图中的所有连通分量;
- (2) 把每一个连通分量分为回路子图和非回路子图两部分(非回路子图中任意两点最多只有一条路径);
- (3) 对每一个连通分量的回路图,利用它的一个深度优先树求出相应的基本回路集合. 然后再根据上述定理可以求出该回路图的所有回路,从回路集合中找出所有的奇回路;
- (4) 回路图的所有回路中,找出那些在最短奇回路中出现次数最多的边,并删除它们,如图 5 所示;
- (5) 在每一个回路图中不断地重复步骤 3 和 4,直到该回路图中没有奇回路.

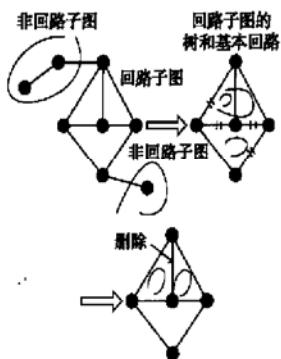


图 5 奇回路的消除

Fig. 5 Removal of odd cycles

设相位冲突图中有 n 个回路图, 每个回路图中有 v 个顶点, m 条边, 这样求每一个回路图中所有回路的时间复杂度为 $O(m^2)$, 设冲突图中有 e 条边出现在奇回路中, 则把相位冲突图变为二分图的时间复杂度最差为 $eO(m^2)$. 上述算法能够找出冲突图所

有的奇回路, 并把它反映在版图上, 其中的边删除信息可供设计者参考. 亮场掩模的相位冲突图建立方法与暗场有所不同^[7], 在建立冲突图后, 利用上述方法, 同样可以对亮场掩模进行检查.

3.3 版图的修改

根据上述算法提供的信息, 可以对版图进行修改. 如果消除奇回路的算法是通过删除边来实现的, 那么在版图中, 可以通过加宽两个版图图形之间的距离来消除奇回路. 另外, 我们也可以根据实际情况采用分割较长的版图图形, 重分配层等方法来消除奇回路, 使修改后的版图能够进行相位分配.

4 实验结果

采用本文中的算法, 以 C++ 在 SUN 工作站上完成了一种用于标准单元版图交替移相掩模设计规则检查的工具, 并使用该工具对多个实际单元版图的多晶硅层进行了检查. 图 6 是对一个 JK 触发器的多晶硅层版图(最小线宽为 $0.13\mu m$) 的检查结果, 其中 B 取 $0.2\mu m$ (实际应用的值要由厂家测得), 黑色方块表示存在相位冲突, 奇回路用黑色连线表示. 在该设计中共找出两个由于考虑斜线而引入的相位冲突, 如图 6 中所示, 两个奇回路, 其中修改的建议也被给出(删除黑色小圆所在的线). 对版图修改后, 利用上述方法对其进行再进行检查, 结果如图 7 所示, 可以看出版图中不再存在奇回路. 利用从修改后的版图中提取的冲突图的广度优先遍历, 可以对版图图形分配相位, 结果如图 8 所示, 其中孤立的版图图形被分配为零相位, 即不加相位转移膜.

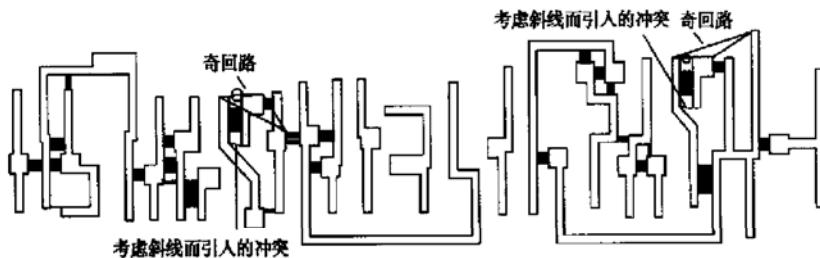


图 6 对版图进行相位冲突检查 黑块表示存在相位冲突.

Fig. 6 Check the phase conflicts of layout The little black rectangles indicate phase conflicts.

5 结论

集成电路的最小尺寸和最小间距减小到

100nm 以下, 交替移相掩模将成为非常重要的制造方法, 它对集成电路的设计提出了新的挑战. 使用基于标准单元库的半定制设计方法, 库中的单元必须

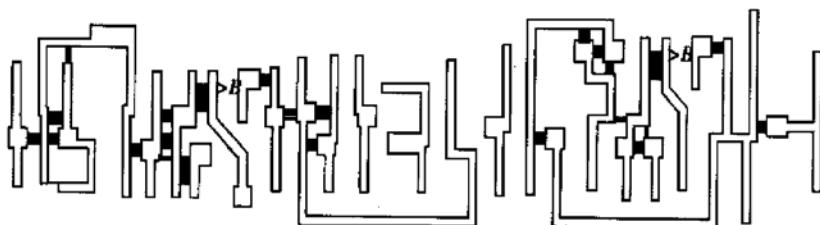


图 7 修改后的版图不存在奇回路

Fig. 7 No conflicts exist after the layout is modified

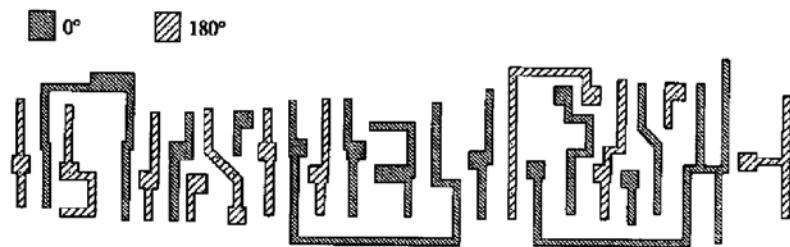


图 8 相位分配的结果

Fig. 8 Phase assignment result

能够满足交替移相掩模的设计要求,该类标准单元库对在我国新建的一批集成电路生产厂进入亚100nm生产具有重要的意义。本文针对标准单元的交替移相掩模版图(暗场)设计的相位可分配性提出了一种设计和验证方法,以该方法为理论基础,实现了一种系统性的检查工具,该工具可对用传统方法设计的标准单元版图进行检查,并提出相应修改策略以满足相位分配的需要。对多个标准单元版图进行处理的结果表明该工具是有效和实用的。

参考文献

[1] Chen Zhijin, Shi Zheng, Wang Guoxiong, et al. A new method of 2D contour extraction for fast simulation of photolithographic process. Chinese Journal of Semiconductors, 2002, 23(7): 766(in Chinese)[陈志锦, 史峥, 王国雄, 等. 一种快速光刻模拟中二维成像轮廓提取的新方法. 半导体学报,

2002, 23(7): 766]

- [2] Levenson M D , Viswanathan N S , Simpson R A . Improving resolution in photolithography with a phase-shifting mask. IEEE Trans Electron Devices, 1982, 29: 1828
- [3] Kahng A B, Wang H, Zelikovsky A. Automated layout and phase assignment techniques for dark field alternating PSM. SPIE 11th Annual BACUS Symposium on Photomask Technology. SPIE, 1998, 1604: 222
- [4] <http://www.synopsys.com/products/ntimrg/pdfs/FullPhase.pdf>
- [5] Sanie M, Hurat P. Automated practical application of full feature alternating phase-shifting technology for a phase-aware standard-cell design flow. Design Automation Conference, 2001: 93
- [6] <http://www.synopsys.com/products/ntimrg/pdfs/CostEffectiveApp.pdf>
- [7] Kahng A B, Vaya S. Shifter new graph bipartitions for double exposure, bright field alternatingphase-shifting mask layout. Design Automation Conference, 2001: 133

A Phase-Compatibility Rule Checker for Standard Cell Layout Designed with Alternating PSM*

Gao Gensheng, Shi Zheng, Chen Ye and Yan Xiaolang

(Institute of VLSI Design, Zhejiang University, Hangzhou 310027, China)

Abstract: Based on generation and processing of phase conflict graph, a new method is presented to fully and accurately verify the phase compatibility of dark-field standard cell layouts, which are produced according to conventional design rules. A software implementing this method is presented as well, which has the capabilities of verifying standard cell layout, locating features with phase conflicts and giving out suggestions for modification. Experiment results show the effectiveness of this useful tool.

Key words: alternating phase-shifting mask; conflict graph; standard cell

EEACC: 2570

Article ID: 0253-4177(2004)05-0601-06

* Project supported by National Natural Science Foundation of China (Nos. 60176015, 90207002) and National High Technology Research and Development Program of China (No. 2002AA1Z1460)

Gao Gensheng male, was born in 1976, graduate student. He engaged in the research on IC-CAD.

Shi Zheng male, was born in 1967, associate professor. He engaged in the research on IC-CAD.

Received 16 May 2003, revised manuscript received 2 September 2003

© 2004 The Chinese Institute of Electronics