

沟道热载流子导致的 SOI NMOSFET's 的退化特性*

刘红侠 郝 跃 朱建纲

(西安电子科技大学微电子所, 西安 710071)

摘要: 研究了沟道热载流子效应引起的 SOI NMOSFET's 的退化。在中栅压应力 ($V_g \approx V_d/2$) 条件下, 器件退化表现出单一的幂律规律; 而在低栅压应力 ($V_{gs} \approx V_{th}$) 下, 由于寄生双极晶体管 (PBT) 效应的影响, 多特性的退化规律便会表现出来, 漏电压的升高、应力时间的延续都会导致器件退化特性的改变。对不同应力条件下的退化特性进行了详细的理论分析, 对 SOI NMOSFET's 器件退化机理提出了新见解。

关键词: SOI NMOSFET's; 沟道热载流子; 退化; 阈值电压; 寄生双极晶体管 (PBT)

EEACC: 2560B; 2560R

中图分类号: TN 386

文献标识码: A

文章编号: 0253-4177(2002)01-0065-05

1 引言

SOI MOSFET 在深亚微米范围内的低压低功耗 CMOS 电路、存储器及高温高频应用中, 具有很大的吸引力, 在 ULSI 时代具有很强的竞争。与体硅器件相比较, CMOS/SOI 结构具有以下几个优点: 消除了闩锁效应, 减小了软误差率和寄生电容、泄漏电流, 器件隔离工艺更加简单, 浅结制作更加方便^[1~3]。当器件尺寸缩小时, SOI MOSFET 也会遭受热载流子效应 (HCE) 的损伤。特别是在薄硅膜或较薄硅膜的 SOI 器件中, 前后两个沟道是静电耦合的, 因此器件的静电特性: 阈值电压^[4,5], 亚阈值摆幅^[6], 跨导^[7]和短沟道效应^[8]与前、后两个栅的偏置条件都有关系。在 SOI MOSFET 器件中, 浮体效应还会引起阈值电压的漂移, 导致漏、源之间寄生横向晶体管 (PBT) 的过早击穿。正是由于 SOI MOSFET's 的独特结构, 使得对热载流子损伤方面的研究要比相应的体硅器件复杂得多。

通常在体硅器件中, 热载流子效应比较严重时,

相应的工作条件是最大衬底电流偏置条件 ($V_g \approx V_d/2$) 和最大栅电流偏置条件 ($V_g \approx V_d$)。对于 SOI 器件, 除了上述的两个应力区域外, 热载流子也可由 PBT 作用所产生, 因而 SOI MOSFET 在低栅压范围内 ($V_g \approx 0 \sim V_{th}$) 也会遭受严重的热载流子损伤。本文主要研究在低栅压范围内和中栅压范围内热载流子导致的 SOI MOSFET 损伤。

2 试验样品

SOI MOSFET 器件在经受一定的应力作用之后, 因沟道漏端强场中所产生的热载流子向栅氧化层中的注入, 便会改变 Si-SiO₂ 系统中的电荷分布和电荷数量, 从而引起器件电学参数的退化漂移 (包括阈值电压的漂移、线性区跨导的退化等等)。在本工作中, 试验所采用的是条形栅 SOI NMOSFET, 制作在 SIMOX 基片上。NMOSFET 的沟道阈值电压调整采用硼注入, 注入剂量为 $8 \times 10^{12}/\text{cm}^2$, 注入的杂质离子能量为 80keV。漏源区采用 N⁺ 注入 (即磷杂质注入), 注入剂量为 $5 \times 10^{15}/\text{cm}^2$, 注入

* 国防预研基金资助项目(00J8.4.3DZ01)。

刘红侠 女, 1968 年出生, 副教授, 博士研究生, 主要从事深亚微米器件可靠性、薄栅介质 TDDDB 及 SOI 技术研究。

郝 跃 男, 1958 年出生, 教授, 博士生导师, 主要从事 VLSI 集成电路可靠性设计、深亚微米器件表征和建模、新器件与电路研究。

2001-03-04 收到, 2001-05-22 定稿

©2002 中国电子学会

能量为 100keV. 器件的栅氧厚度为 $t_{ox} = 35\text{nm}$. N 管的宽长比为 20/3. 这种器件的硅薄膜体均没有电极引出, 且是部分耗尽(PD)型器件. 对 SOI MOSFET 的应力试验及应力前后电参数的测量, 均使用 HP-4156B 高精度半导体参数测试仪进行. 该仪器测量电压的精度可以达到 $100\mu\text{V}$.

3 SOI NMOSFET's 器件热载流子退化特性

3.1 低栅压应力下的器件热载流子退化

最大栅电流应力条件($V_{ds} = V_{gs}$)和最大衬底电流应力条件($V_{gs} = V_{ds}/2$), 是通常的体硅 MOS 器件中最严重的沟道热载流子退化条件, 但在 SOI MOSFET 中, 同样也会造成器件的严重损伤. 另外, 由于 SOI 器件, 特别是 PD SOI NMOS 器件中具有浮空的硅薄膜体, 在高漏压情况下载流子会在漏端附近发生碰撞电离, 所产生的电荷对浮空体充电, 从而使得器件源、漏之间的寄生双极晶体管开启, 引发 PBT 效应. 尤其是在低栅压下, PBT 效应会导致单管闩锁和漏源之间穿通, 从而产生出大量的热载流子. 这也会造成器件的严重退化. SOI MOSFET 在低栅压($V_{gs} \approx 0 \sim V_{th}$)下相当严重的热载流子损伤, 正是 SOI 器件特殊结构的一个反应.

对 SOI NMOSFET 施加低栅压热载流子应力, 即保持 $V_{gs} \approx V_{th}$, 而漏电压 V_{ds} 由低到高取不同的

值. 图 1 显示了在这类应力条件下, 器件阈值电压的漂移量随应力时间的变化关系. 在 $V_{gs} \approx V_{th}$ 的加速应力条件下, 漏端附近的沟道区中会出现一个很高的横向电场峰值. 受该强电场的作用, 沟道载流子会在漏端附近发生大量的碰撞电离, 产生出大量的热空穴. 并且此时的漏电压总是要高于栅电压, 因此在漏端附近的栅氧化层中所形成的纵向电场, 会吸引沟道热空穴向其中的注入, 而排斥热电子的注入. 所以, 在低栅压应力下, 沟道热空穴向栅氧化层中的注入与陷落是器件退化的主要因素, 器件所表现出来的阈值电压漂移量也总为负值, 见图 1(a)所示, 其中给出了 $V_{gs} \approx V_{th}$ 时, $V_{ds} = 5, 6, 7$ 和 9V 四种热载流子应力条件下的 V_{th} 漂移曲线. 图 2 给出了在栅电压为 $V_{gs} = V_{th}$ 时器件的输出特性曲线, 从中可以看出所选用的这四个应力偏置条件均处于低栅压下器件的“kink”区中, 此时寄生双极晶体管被开启, PBT 作用对器件特性的影响非常显著. 沟道电子在漏端附近碰撞电离所产生的空穴, 除向栅氧化层注入外, 也有相当一部分在硅膜中电场的作用下流向电位最低的浮空硅体中, 并在此处堆积, 从而使得浮空体的电位抬升. 这一效应也会引起器件阈值电压的降低, 但这并不属于器件的热载流子损伤, 它在经历一定的弛豫时间后便会恢复. 在对器件施加热载流子应力期间的阈值电压实时测量中, 却无法将这一效应剔除在外. 因此, 图 1 中曲线所反应的 V_{th} 漂移同时包含了浮体电位升高的影响和沟道热载流子向界面注入所造成的器件真正损伤.

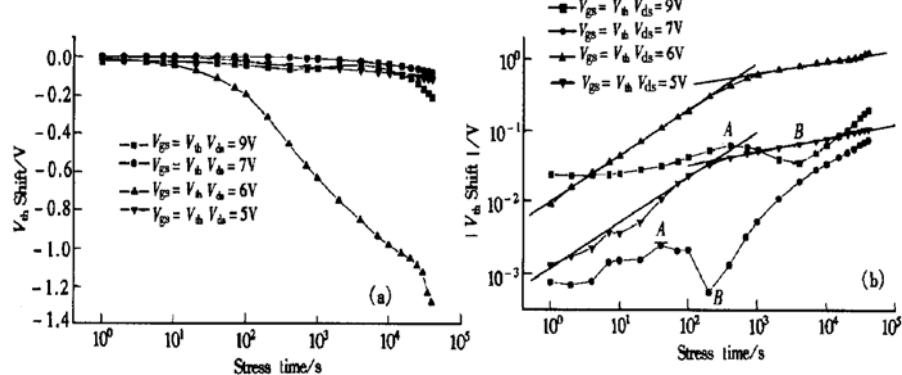


图 1 SOI NMOSFET 在低栅压应力条件下的阈值电压漂移曲线 (a) 半对数坐标系; (b) 双对数坐标系

Fig. 1 Threshold voltage shifts of SOI NMOSFET at low voltage stress (a) in single logarithm coordinate; (b) in dual logarithm coordinate

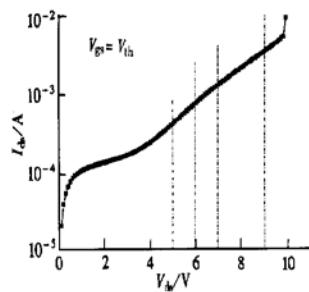


图 2 $V_{gs} \approx V_{th}$ 时, SOI NMOSFET 的输出特性曲线
四个应力条件: $V_{ds} = 5, 6, 7$ 和 9V 均处于输出曲线的
“kink”区中。

Fig. 2 Output curve of SOI NMOSFET at $V_{gs} \approx V_{th}$. The four stress conditions: $V_{ds} = 5, 6, 7$ and 9V are all in kink region of the output curve.

图 1(b) 给出了在双对数坐标系中的阈值电压退化曲线, 与图 1(a) 中的曲线相对应. 从中可以看出在较低漏电压($V_{ds} = 5\text{V}$ 和 $V_{ds} = 6\text{V}$)下, V_{th} 的漂移量随应力时间的变化是可以用幂律关系来描述的. 但与中等栅压应力和高栅压应力下的幂律关系不同, 此时的幂律指数值随应力时间的延续会发生变化. 在应力施加的初始阶段, 这两条阈值电压漂移曲线的斜率均为 $n \approx 0.66$, 当应力持续一定时间后 V_{th} 的退化速率变缓, 阈值电压漂移曲线由较陡峭的增长转变为较缓慢的增长. 此时, 用来描述其退化规律的将是 n 值较小的幂律关系, 所对应的幂律指数值 $n \approx 0.18$. 沟道热空穴注入棚氧化层中, 并在其中陷落, 当达到一定丰度时, 会使注入界面处的空穴势垒高度出现明显的抬升. 这样便会导致沟道空穴向氧化层中注入概率的减小, 从而出现阈值电压退化的饱和. 不过这种饱和并不是对数饱和, 而是幂律指数较低的幂律饱和. 另外, 在该漏压范围内, 由于漏端附近的沟道横向电场和栅压中的纵向电场都会随漏电压的增大而增大, 空穴向氧化层中的注入便呈现出增强趋势. 所以, 有 $V_{ds} = 6\text{V}$ 应力下的阈值电压漂移量要大于 $V_{ds} = 5\text{V}$ 时的漂移量, 见图 1(b). 并且由于漏电压越高电场越大, 沟道热载流子获得的能量越高, 其跨越势垒的能力也就越强, 受势垒升高的影响便越小, 所以在 $V_{ds} = 6\text{V}$ 应力下, 阈值电压退化饱和的出现也会晚于 $V_{ds} = 5\text{V}$ 应力下的损伤饱和时间.

在较高漏电压($V_{ds} = 7\text{V}$ 和 $V_{ds} = 9\text{V}$)下, NMOS 器件阈值电压的退化特性与低漏压下的截然不同.

此时, 漏端附近沟道中的横向电场是相当大的, 这会使沟道中的载流子获得相当高的能量. 因而, 尽管此时的栅氧电场不适宜电子向其中的注入, 但在大量沟道热空穴注入的同时, 仍旧会有一部分热电子注入到氧化层中. 氧化层中陷入的正、负电荷相互影响, 会使应力初始阶段的阈值电压退化速率和退化量较小. 但由于被陷的电子和空穴相互作用, 会接接下来的沟道载流子注入产生促进作用, 因而在这一初始时期的后半段, 退化曲线斜率会出现增大. 虽然有沟道热电子的注入, 但仍是空穴正电荷在栅氧中的陷入占主导地位. 随应力作用时间的延续, 空穴在氧化层中的累积会引起注入界面空穴势垒的升高和电子势垒的降低. 这样, 热空穴的注入被逐渐消弱, 而热电子的注入却被逐渐加强. 最终电子注入量会超过空穴注入量, 使得阈值电压退化曲线的负向漂移出现一个极大值点, 见图 1(b) 中点 A. 之后, 占主导地位的便成为沟道热电子在氧化层中的陷入, V_{th} 的漂移曲线出现下降. 净电子负电荷在氧化层中的累积, 又会导致界面空穴势垒的降低和电子势垒的升高, 产生与上述过程相反的趋势. 当空穴在栅氧中的陷入与电子的陷入再次相当时, 阈值电压的漂移曲线便会出现一极小值点, 见图 1(b) 中点 B. 并且, 沟道热空穴向氧化层中的注入和陷落再次成为器件退化的主要因素, 使得阈值电压漂移曲线继续上升, 即 V_{th} 的负向漂移量继续增大. 另外, 由于氧化层中所陷入的大量电子、空穴之间的相互作用, 对这一阶段的热空穴注入会起到显著的加速作用, 使得该段阈值电压退化曲线的斜率明显增大, 甚至要大于低漏压下初始阶段的退化斜率.

在高漏压范围内, 同样会由于漏电压增大引起沟道中横向电场和栅氧中纵向电场同时增大, 使得 $V_{ds} = 9\text{V}$ 应力条件下的 V_{th} 漂移量明显大于 $V_{ds} = 7\text{V}$ 偏置条件下的漂移量. 并且, 载流子能够从高电场中获取更大的能量, 对于注入界面处势垒的升高便会变得不太敏感, 所以在 $V_{ds} = 9\text{V}$ 应力下阈值电压漂移曲线上各极值点的到来要晚于 $V_{ds} = 7\text{V}$ 应力对应的时间.

3.2 中栅压应力下的器件热载流子退化

为了对比图 3 给出了器件在施加中栅压应力过程中的阈值电压 V_{th} 随应力时间的退化曲线. 在图中所示的三种应力条件下, 包括 $V_{gs} = 4\text{V}, V_{ds} = 8\text{V}; V_{gs} = 3.5\text{V}, V_{ds} = 7\text{V}$ 和 $V_{gs} = 3\text{V}, V_{ds} = 6\text{V}$, 器件的

阈值电压均向负向漂移, 即 $\Delta V_{th} < 0$, 见图 3(a). 并且在双对数坐标系中, V_{th} 随应力时间的退化曲线都可以拟合成为一条直线, 如图 3(b) 所示, 这表明在中等栅压的热载流子应力条件下, 阈值电压的漂移是符合幂律时间关系的, 即:

$$\Delta V_{th} = A t^n \quad (1)$$

其中 参数 A 表示应力起始时器件的退化量, 它是所施加的应力条件的函数; 幂律指数 n 则反映了双对数坐标系中电参量退化曲线的斜率。从图中可以看出, 在 $V_{gs} = V_{ds}/2$ 应力条件下, 随着所施加的应力电压(即 V_{ds} 和 V_{gs} 的值)由大变小, 幂律指数值也逐

步降低。在高电压应力 $V_{gs} = 4V, V_{ds} = 8V$ 时, 热载流子注入所引起的 V_{th} 漂移曲线斜率 $n \approx 0.49$; 在 $V_{gs} = 3.5V, V_{ds} = 7V$ 的应力条件下, V_{th} 漂移曲线所对应的幂律指数 $n \approx 0.33$; 而在电压较低的应力 $V_{gs} = 3V, V_{ds} = 6V$ 下, 则退化曲线的斜率 $n \approx 0.14$ 。这是由于漏、栅电压增大时, 漏端附近沟道中横向电场的峰值也会随着增大, 从而使得有更多数量的载流子能够获取足够的能量而发射注入到栅氧化层中, 氧化层中电荷的累积速率和累积数量都会随端电压的增大而增大。所以, 会出现阈值电压漂移曲线斜率 n 值的上述变化规律, 且随漏电压和栅电压的增大, 在同一应力时刻 V_{th} 的退化量也是增大的。

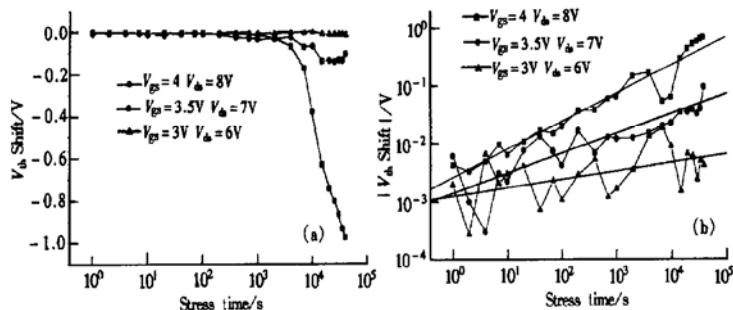


图 3 SOI NMOSFET 在中等栅压应力条件下的阈值电压漂移曲线 (a) 半对数坐标系; (b) 双对数坐标系

Fig. 3 Threshold voltage shifts of SOI NMOSFET at medium voltage stress (a) in single logarithm coordinate; (b) in dual logarithm coordinate

$V_{gs} = V_{ds}/2$ 的热载流子应力条件, 会在漏端附近的沟道中产生最高的横向电场峰值, 使得沟道电子在漏端附近发生大量的碰撞电离, 产生出大量的热空穴。也正因如此, $V_{gs} = V_{ds}/2$ 成为最大衬底电流偏置条件。并且此时的漏电压值 V_{ds} 高于栅电压值 V_{gs} , 栅氧化层中的电场方向并不适合沟道电子的注入。空穴向氧化层中的注入便成为器件退化的主要因素。正是这些净正电荷在栅介质中的陷落和累积, 导致器件的阈值电压出现负向漂移。

4 结论

本文对低栅压和中栅压应力下, 沟道热载流子引起的 SOI NMOSFET's 器件的退化特性进行了实验, 并对实验结果进行了深入的分析。SOI 器件在中栅压应力下, 电学参数退化呈现出的是单纯的幂律规律; 在低栅压下由于 PBT 作用的开启, 同样会

在漏端沟道中产生大量的热载流子, 对器件造成严重损伤。在低栅压应力下的退化规律则要明显复杂得多, 其退化特性会随应力时间的延续而发生变化, 这使得 SOI 器件在低栅压偏置条件下的寿命变得非常难以预测。

参考文献

- [1] Colinge J P. Silicon-on-insulator technology, materials to VLSI. Kluwer Academic Pub, 1991
- [2] Tsuchiya T, Ohno T, Kado Y, et al. Hot-carrier-injected oxide region in front and back interfaces in ultra-thin (50nm), fully depleted, deep-submicron NMOS and PMOSFET's/SIMOX and their hot-carrier immunity. IEEE Trans Electron Devices, 1994, 41(12): 2351
- [3] Renn S H, Pelloie J L, Balestra F. Hot-carrier effects and reliable lifetime prediction in deep submicron N- and P-channel SOI MOSFET's. IEEE Trans Electron Devices, 1998, 45(11): 2335

- [4] Banna S R, Chan P C H, Ko P K, et al. Threshold voltage model for deep-submicrometer fully depleted SOI MOSFET's. *IEEE Trans Electron Devices*, 1995, 42(11) : 1949
- [5] Zhang Xing, Wang Yangyuan. Design and fabrication of 0.15 μ m thin film fully depleted MOS/SOI devices. *Chinese Journal of Semiconductors*, 2000, 21(2) : 156(in Chinese) [张兴, 王阳元. 0.15 μ m 薄膜全耗尽 MOS/SOI 器件的设计和研制. 半导体学报, 2000, 21(2) : 156]
- [6] Wouters D J, Colinge J P, Maes H E. Subthreshold slope in thin-film SOI MOSFET's. *IEEE Trans Electron Devices*, 1990, 37(4) : 1022
- [7] Lim H K, Fossum J G. Current-voltage characteristics of thin-film SOI MOSFET's in strong inversion. *IEEE Trans Electron Devices*, 1984, 31(4) : 401
- [8] Young K K. Short-channel effect in fully-deleted SOI MOSFET's. *IEEE Trans Electron Devices*, 1989, 36(2) : 339

Channel Hot-Carriers Induced Degradation Behavior in SOI NMOSFET's*

Liu Hongxia, HaoYue and Zhu Jiangang

(Institute of Microelectronics, Xidian University, Xi'an 710071, China)

Abstract: The degradation induced by channel hot-carriers effect in SOI NMOSFET's is investigated. At moderate gate voltage stress $V_g \approx V_d/2$, the single-power law degradation is shown, but at low gate voltage bias ($V_{gs} \approx V_{th}$), the multi-behavioral parameter degradation is found because of the parasitical bipolar transistor (PBT) effect. The increase of drain voltage and stress time can induce the change of degradation characterization. For different voltage stresses, a detail theory analysis on the degradation characteristics is presented. A new sight to the degradation mechanism in SOI NMOSFET's is provided.

Key words: SOI NMOSFET's; channel hot-carriers; degradation; threshold voltage; parasitical bipolar transistor (PBT)
EEACC: 2560B; 2560R

Article ID: 0253-4177(2002)01-0065-05

* Project supported by Defense Advanced Program (No. 00J8.4.3DZ01)

Liu Hongxia female, was born in 1968, associate professor, PhD candidate. Her present interests and activities cover reliability of deep-sub-micron devices, thin gate dielectric TDDDB and SOI technology.

Hao Yue male, was born in 1958, professor, tutor of PhD candidate. His research interests include VLSI integrated circuits reliability design, deep-submicron devices characterization and modeling, novel devices and novel circuits.