

纳电子器件谐振隧道二极管的研制

梁惠来¹ 赵振波¹ 郭维廉¹ 张世林¹ 牛萍娟¹ 杨中月² 郝景臣²
张豫黔² 王文君² 魏碧华² 周均铭³ 王文新³

(1 天津大学电子信息工程学院, 天津 300072)

(2 信息产业部电子第十三研究所, 石家庄 050051)

(3 中国科学院物理研究所, 北京 100080)

摘要: 采用分子束外延方法在砷化镓衬底上生长了双垒单阱结构, 然后用常规半导体器件工艺制成了谐振隧穿二极管(RTD), 有相当好的 $I-V$ 特性. 对于 $5\mu\text{m} \times 5\mu\text{m}$ 的 RTD 器件, 在室温条件下, 测得其峰谷比最大可到 7.6:1, 最高振荡频率大于 26GHz.

关键词: 纳电子器件; 谐振隧道二极管; 砷化镓

EEACC: 2520D; 2560X

中图分类号: TN312⁺.2

文献标识码: A

文章编号: 0253-4177(2002)01-0091-04

1 引言

谐振隧穿二极管(resonant tunneling diodes, RTD)是纳电子器件, 它具有速度快、工作电压低、功耗小, 特别是在完成等功能时, 所需器件数大幅度下降, 有利于减小芯片面积等特点^[1], 使得它在微波振荡和高速数字电路两个方面有着广阔的应用前景. 1970 年, Esaki 开始了异质结超晶格及其输运特性的研究, 预言了这种输运的负微分电阻的存在. 1971 年, Kazarinov 和 Suris 在理论上研究了多量子阱静态 $I-V$ 特性, 预言了电流的峰值对应于量子阱激发态的谐振隧穿. 1974 年, 观察到了负微分电阻特性^[2]. 虽然 RTD 理论在二十多年前就已提出, 可是在近十年左右才开始有实质性的进展, 并得到了一定范围的应用, 这主要是由于分子束外延(MBE)技术的不断完善. 目前, 我们所见到过的报道在常温下, RTD 的电流峰谷比(PVCR)以 GaAs 为衬底可达到 6:1^[3], 以 InP 为衬底的可达到 30:1^[4]. 现在, 国外的许多研究机构和电子公司都已研制出 RTD 和由它组成的电路, 德州仪器公司等公司已经

用 RTD 和异质结双极晶体管(HBT)、高电子迁移率晶体管(HEMT)等制成了许多大规模集成电路芯片, 如 A/D 转换器、超低能耗的静态随机存储器等^[5]. 国内有关 RTD 的研究报道还很少. 本文, 首先采用分子束外延方法在砷化镓衬底上生长出双垒单阱结构, 然后用常规半导体器件台面工艺制成了 RTD, 在室温条件下, 显示出较好的直流和高频特性, 其峰谷比最大可到 7.6:1, 最高振荡频率大于 26GHz.

2 工作原理

RTD 是一种异质结的超晶格结构, 它的核心是纳米级薄层的宽带隙材料中夹着纳米级薄层窄带隙材料. 从能带图上看, 在导带上形成了两垒一阱的结构. 由量子力学可知, 在势阱中形成了分立能级, 在 RTD 两端加上适当电压, 当入射电子能量等于势阱中束缚态的能量时, 电子可以无衰减地通过势垒, 主要是由于入射电子的反射波发生了相消干涉, 只有透射波存在, 这就会产生谐振隧穿, 此时电流会急剧增大, 随着外部电压不断增大, 电流先达到一个局部

梁惠来 男, 1947 年出生, 副教授, 主要从事新型器件研究和微电子专业的教学工作.

赵振波 男, 1970 年出生, 硕士研究生, 主要从事新型器件研究.

2001-03-01 收到, 2001-05-04 定稿

©2002 中国电子学会

最大值, 该电流称为峰值电流. 当入射电子能量大于势阱中束缚态的能量时, 穿过势垒的电子数目大大减小, 电流急剧下降, 表现为负阻效应, 电流会达到一个局部最小值, 该电流称为谷值电流, 从峰值到谷值这一区间为微分负阻区(NDR). 然后, 由于散射和热电子的影响开始加强, 并开始起主要作用, 电流又随电压逐渐升高^[6], 如图 1 所示. RTD 在负阻区发生谐振隧穿的特性使它成为非常快的非线性电路单元, 例如最高振荡频率大于 2THz 的 InP 衬底的 RTD 振荡器已经制造出来^[7]. 在特别条件下, RTD 在 0.5V 时, 其开关速度小于 2ps, 可见 RTD 的速度是相当快的. RTD 为两端器件, 虽然谐振隧穿三极管(RTT)也已制造出来, 但它的工艺太复杂, 现在, 应用电路主要是由 RTD 和 HEMT 或 HBT 等组成的集成电路.

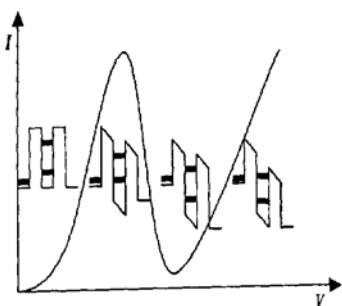


图 1 RTD 的导带能带图及相应的 I - V 特性

Fig. 1 RTD I - V characteristic with energy conductive band diagrams

3 实验和讨论

一般将 RTD 的电流分为两部分, 一部分为谐振隧穿电流(J_{RT}), 另一部分为剩余的额外电流(J_{EX}), 二者互相竞争. 在 RTD 的设计中, J_{RT} 应尽可能地大而 J_{EX} 尽可能地小. 按照 Esaki 和 Tsu 的计算, 阵中的第一个能级 $E_{XP}^{(1)}$ 和第一个谐振峰值宽度 $\Delta E_{XP}^{(1)}$, 对电流的影响是特别重要的, 因为它影响 J_{RT} 和 J_{EX} 之间的竞争. $E_{XP}^{(1)}$ 与阵宽有强烈的依赖关系, 而几乎与垒宽无关, 阵越宽, $E_{XP}^{(1)}$ 也就越低. 当垒宽增加时, $\Delta E_{XP}^{(1)}$ 指数减少, 故通常选用较薄的势垒宽度. J_{EX} 主要包括非弹性(inelastic)隧穿电流和热离子电流, 它们都单调地随外加电压增大, 尤其热离子电流(J_{TH}), 在高温时可掩盖负阻效应. 为减小 J_{EX} 可采用: (1) 使用高势垒材料(如 AlAs),

因为高势垒材料能抑制 J_{TH} . (2) 将阱加厚, 降低峰值电压, 从而降低 J_{EX} . 为提高 J_{RT} 可采用: (1) 使垒尽可能地薄, 一般选取 2nm 左右, 以保证 $\Delta E_{XP}^{(1)}$ 很大, 从而增大 J_{RT} . (2) 保证阱区和垒区不掺杂, 减少施主杂质从电极区向垒区迁移. 一般采用 540°C 以下的 MBE 沉积温度, 并且在掺杂电极区和势垒区之间加不掺杂的隔离层等方法^[8].

我们制备的 RTD 分为前后两批, 其材料结构如图 2(a)、(b) 所示, 挨着衬底的 N⁺ 层为集电区, 顶部 N⁺ 层为发射区, AlAs 层为垒区, 紧挨着垒区外面的非掺杂 GaAs 层为隔离层, 两个垒之间为阱区. 从图中可以看出, 第二批与第一批材料结构的不同之处是第二批增加了应变层 In_{0.1}Ga_{0.9}As, 其优点是减小峰值电压, 提高 PVCR^[3].

N ⁺ -GaAs	$2 \times 10^{18} \text{ cm}^{-3}$	500nm
N ⁺ -GaAs	$2 \times 10^{17} \text{ cm}^{-3}$	50nm
N ⁺ -GaAs	$3 \times 10^{16} \text{ cm}^{-3}$	20nm
GaAs	Undoped(UD)	3nm
AlAs	UD	2nm
GaAs	UD	1.5nm
In _{0.25} Ga _{0.75} As	UD	2.5nm
GaAs	UD	1.5nm
AlAs	UD	2nm
GaAs	UD	3nm
N ⁺ -GaAs	$3 \times 10^{16} \text{ cm}^{-3}$	20nm
N ⁺ -GaAs	$2 \times 10^{17} \text{ cm}^{-3}$	50nm
N ⁺ -GaAs	$2 \times 10^{18} \text{ cm}^{-3}$	1000nm
SI-GaAs substrate		
(a)		
N ⁺ -GaAs	$3 \times 10^{18} \text{ cm}^{-3}$	500nm
N ⁺ -GaAs	10^{17} cm^{-3}	10nm
GaAs	Undoped(UD)	5nm
In _{0.1} Ga _{0.9} As	UD	5nm
GaAs	UD	0.5nm
AlAs	UD	1.7nm
GaAs	UD	0.5nm
In _{0.1} Ga _{0.9} As	UD	4nm
GaAs	UD	0.5nm
AlAs	UD	1.7nm
GaAs	UD	0.5nm
In _{0.1} Ga _{0.9} As	UD	5nm
GaAs	Undoped(UD)	5nm
N ⁺ -GaAs	10^{17} cm^{-3}	10nm
N ⁺ -GaAs	$3 \times 10^{18} \text{ cm}^{-3}$	1000nm
SI-GaAs substrate		
(b)		

图 2 (a) 第一批 RTD 的材料结构; (b) 第二批 RTD 的材料结构

Fig. 2 (a) First batch of material structure of RTD; (b) Second batch of material structure of RTD

器件纵向结构如图 3(a) 所示, RTD 的引线孔版图如图 3(b) 所示。在版图上我们把发射区面积分为 $5\mu\text{m} \times 5\mu\text{m}$ 、 $8\mu\text{m} \times 8\mu\text{m}$ 和 $20\mu\text{m} \times 20\mu\text{m}$ 三种。我们采用了常规半导体器件工艺, 具体器件工艺流程如下: 用剥离方法光刻发射区, 淀积 NiGeAu 合金形成欧姆接触, 制成发射区电极; 然后用 NiGeAu 作掩蔽膜刻蚀出第一个台面, 一直刻蚀到底部 N^+ 层, 并在台面上淀积 NiGeAu 合金, 再用剥离方法制成集电极区; 用胶保护 E 区和 C 区, 刻蚀出一个大台面, 一直刻蚀到半绝缘衬底; 淀积氮化硅, 厚度约 200nm 做隔离钝化; 刻出发射极和集电极引线孔; 最后蒸发引线金属 TiPtAu, 刻出发射极和集电极的内引线; 最后进行快速合金, 以便形成良好的欧姆接触。为避免金属内引线断路, 光刻时要注意引线方向, 因为沿 $(01\bar{1})$ 方向可腐蚀出正梯形台面, 而沿 (011) 方向腐蚀, 台面就会呈现出倒梯形台面, 倒梯形台面不利于做电极的内引线。

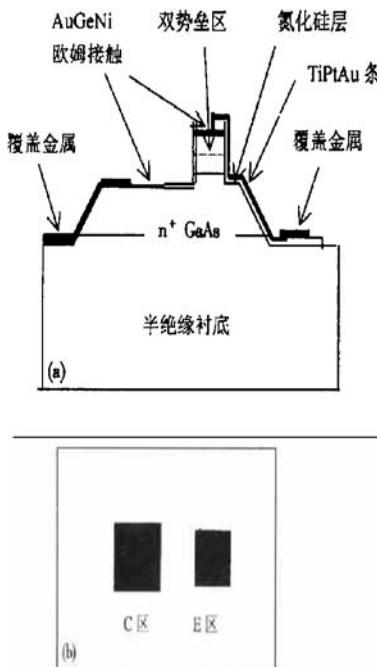


图 3 (a) RTD 纵向结构图;(b) RTD 的引线孔版图

Fig. 3 (a) Cross section of RTD; (b) RTD layout of lead wire hole

我们研制的 RTD 的典型直流 $I-V$ 特性第一批如图 4(a) 所示, 第二批如图 4(b) 所示(注: 图 4(a) 的 PVCR 约为 $1.5:1$, 图 4(b) 的 PVCR 在 E 极接地时约为 $5.2:1$, 在 C 极接地时约为 $7.6:1$)。第二批在室温(300K)时 PVCR 平均约为 $5:1$, 最大的

PVCR 可达到 $7.6:1$ 。但第一批的 PVCR 平均只约为 $1.5:1$, 主要原因第二批 RTD 的垒和阱比第一批的薄, 并且第二批增加了应变层, 它的作用前面已提及, 因此大为提高。

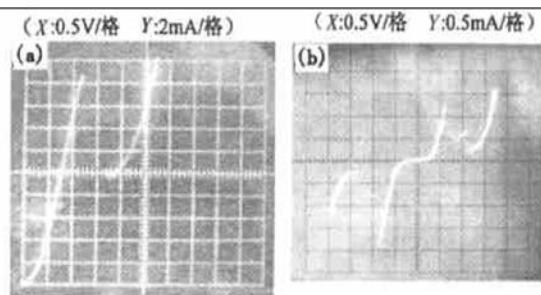


图 4 (a) 第一批 RTD 的 $I-V$ 特性;(b) 第二批 RTD 的 $I-V$ 特性

Fig. 4 (a) $I-V$ characteristic of the first batch of RTD; (b) $I-V$ characteristic of the second batch of RTD

测试 RTD 频率一般采取两种方法: 一种是用网络分析测试仪测得 RTD 在负阻区 S_{11} 参数, 其等效电路如图 5 所示。其中 L_p 为引线电感, C_p 为寄生电容, C_d 为本征电容, R_s 为全部串联电阻, R_N 为负阻。提取出各个参数, 根据公式 $f_{\text{MAX}} = (1/(2\pi R_N C_d))(R_N/R_s - 1)^{1/2}$, 最后计算出频率。另一种方法是把 RTD 安装在一个测试波导中, 用功率计测出在一定频率下的功率, 根据频率-功率曲线, 也

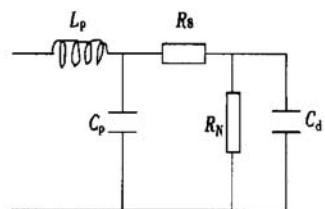


图 5 RTD 的等效电路图

Fig. 5 Equivalent circuit of RTD

可得出它的最大频率, 我们测试是采用了第一种方法。RTD 可以看作是一个单端口线性网络, 根据微波理论, 可通过测 RTD 的 S_{11} 参数, 进一步提取出 R_N 等各个参数。我们利用 Cascade 微波探针和 HP8510C 网络分析测试仪, 对第二批发射区版图面积为 $5\mu\text{m} \times 5\mu\text{m}$ 的器件在负阻区稳定点进行测试。HP8510C 网络分析仪可将测量频率范围从 45MHz ~ 26.5GHz 分为 201 个频率点, 在每个频率点上测量 S_{11} 参数。用计算机将 S_{11} 参数换成输入阻抗 Z_{in} ,

即在 N 个离散频率上给出阻抗 Z_{in} 的精确测量。这些数据点的数目大大超过等效电路参数的数目。根据这些数据利用拟合的方法可以找到对于电路参数的最佳估算。由计算机解出 R_s 、 R_N 和 C_d 的值提取出电路参数为 $R_s = 8\Omega$, $R_N = 442\Omega$, $C_d = 1.01 \times 10^{-13} F$, $L_s = 1.06 \times 10^{-11} H$, 得出最高振荡频率为 26.3GHz。我们制做的 RTD 的频率低于国外同类器件水平,主要是由于本征电容较大,国外同类器件的本征电容为 $0.36 \times 10^{-13} F$ 。这既和我们工艺水平和版图设计有关,也和在测试过程中没有找到最佳直流偏置点有关,同时引线条过宽并且采用了介质隔离,导致电容较大,为减小它,我们下一步拟采取空气桥技术,并重新设计版图尽量减小引线条宽度,以便制造出频率特性更好的器件。

4 结论

RTD 为一种新型纳电子器件,我们这次制造的器件峰谷比达到了国外同等器件水平,但频率却没达到。但即使 26GHz 的频率,在用常规半导体器件工艺,同等版图尺寸下,和其它器件相比,RTD 的频率也是较高的。我们下一步拟采取空气桥技术,重新

设计版图,减小 E 极面积,以便进一步提高最高振荡频率。RTD 的高速度有利于 VLSI 电路性能的改善,随着对微观技术领域的不断深入研究,建立在不断提高的工艺技术和传统电路联合的基础上,它将在 CMOS 技术达到尺寸极限之前,在速度要求高,功耗要求低等方面的电路完全可能会被大量应用于实际。

参考文献

- [1] Mazumder P, Kulkarni S, Bhattacharya M, et al. IEEE Proceedings, 1998, 86(4): 664
- [2] Capasso F, Mohammed K, Cho A Y. IEEE Journal of Quantum Electronics, 1986, 22(9): 1583
- [3] Bouregba R, Vanbesien O, Mounaix P, et al. IEEE Trans Micro Theory and Tech, 1993, 41(11): 2025
- [4] Broekaert T P E, Lee Wai, Fonstad C. Appl Phys Lett, 1988, 53(16): 1545
- [5] Seabaugh A, Brar B, Broekaert T, et al. Solid State Electronics, 1999, 43: 1355
- [6] Van Der Wagt J P A. IEEE Proceedings, 1999, 87(4): 571
- [7] Shimizu N. Electronics Letters, 1995, 31(19): 1695
- [8] Tushiya M, Sakaki H, Yoshino J. Japanese Journal of Applied Physics, 1985, 24(6): 466

Fabrication of Nanoelectronic Resonant Tunneling Diodes

Liang Huilai¹, Zhao Zhenbo¹, Guo Weilian¹, Zhang Shilin¹, Niu Pingjuan¹, Yang Zhongyue², Hao Jingchen², Zhang Yuqian², Wang Wenjun², Wei Bihua², Zhou Junming³ and Wang Wenxin³

(1 Academy of Electronic Information Engineering, Tianjin University, Tianjin 300072, China)

(2 The 13th Institute of Ministry of Information Industry, Shijiazhuang 050051, China)

(3 Institute of Physics, The Chinese Academy of Sciences, Beijing 100080, China)

Abstract: The resonant tunneling diodes are fabricated with the conventional semiconductor device technology. The double barrier-single quantum well is grown on GaAs substrate by molecular beam epitaxy. For the size of $5\mu m \times 5\mu m$, the devices show excellent $I-V$ characteristics with peak to valley current ratios as high as 7.6:1 at 300K. Its maximum oscillation frequency is more than 26GHz.

Key words: nanoelectronic devices; RTD; GaAs

EEACC: 2520D; 2560X

Article ID: 0253-4177(2002)01-0091-04

Liang Huilai male, was born in 1947, associate professor. He is engaged in the research on the semiconductor novel devices.

Zhao Zhenbo male, was born in 1970. He is engaged in the research on the semiconductor novel devices.

Received 1 March 2001, revised manuscript received 4 May 2001

© 2002 The Chinese Institute of Electronics