

基于刻蚀工艺的 IC 关键面积 计算模型与实现方法^{*}

赵天绪^{1,2} 郝 跃¹ 马佩军¹

(1 西安电子科技大学微电子所, 西安 710071)

(2 宝鸡文理学院数学系, 宝鸡 721007)

摘要: 在 IC 的制造过程中, 由于工艺的随机扰动, 过刻蚀和欠刻蚀造成了导线条的宽度和线间距的变化。论文在分析过刻蚀和欠刻蚀对 IC 版图影响的基础上, 提出了基于工艺偏差影响的 IC 关键面积计算新模型和实现方法。模拟实验表明模拟结果与理论分析是一致的。

关键词: 关键面积; 随机扰动; 缺陷

EEACC: 1130B; 0240G; 2220C; 2570

中图分类号: TN43

文献标识码: A

文章编号: 0253-4177(2002)01-0102-05

1 引言

随着集成电路(IC)技术的不断发展, 尤其是进入亚微米和深亚微米工艺阶段, 保持或提高集成电路的成品率已成为 IC 制造中的关键问题。然而, 由于集成电路生产工艺中的扰动, 在制造过程特别是在光刻工艺中, 由于曝光和刻蚀不可避免地会在圆片上引入相对偏差, 使实际生产的图形与理想图形之间产生偏差。这些缺陷的存在, 严重时往往改变了预期的电连接结构, 导致一些芯片失去功能, 引起成品率下降。线间距和线宽的改变也将影响电路的可靠性。目前, 这类结构故障引起的 IC 失效约占 IC 总失效的 70% 以上, 是影响成品率的主要因素^[1~5]。因此, 在批量生产之前预测出芯片对制造缺陷和偏差的敏感程度, 对 IC 的优化设计和生产决策是极其重要的。

芯片对制造缺陷和相对偏差的敏感程度可用关键面积(critical area, CA)来描述, 关键面积定义为集成电路芯片上出现缺陷时必定导致电路故障的特殊区域^[6,7]的面积。由于 CA 是芯片对缺陷“敏感”的

区域, 因此其分布和大小对高成品率芯片的设计来说是至关重要的。在芯片批量生产之前, 如果能够结合工艺线缺陷特征数据和版图信息提取出关键面积, 将能够确定版图各部分对制造缺陷的敏感程度, 从而可以在芯片大批量生产之前, 采取一些修正措施(包括改进局部版图设计、改变设计规则、工艺条件或加入冗余等), 以减小最终生产条件下芯片的缺陷敏感程度, 提高集成电路的成品率。

现有的关键面积计算模型都是在导线条和线间距设计宽度的基础上提出的。然而, 在实际的 IC 加工过程中, 由于工艺的随机扰动, 过刻蚀或欠刻蚀造成线条和线间距的变化。本文在分析了工艺扰动对导线条宽度和线间距影响的基础上, 给出了基于工艺扰动的关键面积计算模型和提取方法。这对评估芯片的缺陷敏感性、指导版图优化设计和提高 IC 成品率有着重要意义。

2 过刻蚀关键面积模型

假设导线的设计宽度为 W , 设计线间距为 S 。在

* 国家科技攻关 96-738 资助项目

赵天绪 男, 1964 年出生, 博士, 副教授, 研究方向为集成电路可制造性设计及 IC 容错设计等。

2001-04-16 收到, 2001-06-25 定稿

©2002 中国电子学会

IC 的加工过程中, 由于制造工艺的随机扰动而造成导线的有效宽度变宽或变细。图 1(a) 表示了由于过

刻蚀而造成导线有效宽度变窄而线间距变宽; 图 1(b) 表示了由于欠刻蚀而造成导线的有效宽度变宽。

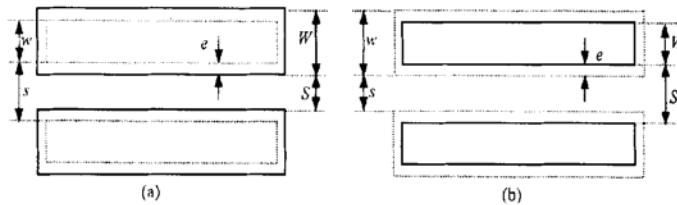


图 1 刻蚀对导线条宽度和线间距的影响 (a) 过刻蚀情形; (b) 欠刻蚀情形

Fig. 1 Effect of etching on wire width and spacing between lines (a) Over-etching; (b) Under-etching

假设由于刻蚀的影响使导线条每一侧的改变量为 e , 那么加工后实际的线宽变为 $w = W - 2e$, 线间距变为 $s = S + 2e$ 。

由于工艺扰动的随机性, 因此 e 是一随机变量, 且可正可负。当 $e > 0$ 时, 加工后导线条宽度 $w = W - 2e < W$ 变窄, 线间距 $s = S + 2e > S$ 变宽, 表示过刻蚀情形; 当 $e < 0$, 加工后导线条宽度 $w = W - 2e > W$ 变宽, 线间距 $s = S + 2e < S$ 变窄, 此时表示欠刻蚀情形。在本文中主要以过刻蚀情形为例来分析粒径为 R 的缺陷造成 IC 开路和短路的关键面积模型。

2.1 开路关键面积

对一导体线条而言, 使粒径为 R 的圆形丢失物缺陷导致电路开路的区域称为该丢失物缺陷的开路关键面积。图 2(a) 给出了在导线条为设计宽度时粒径为 R 的丢失物缺陷导致开路故障的关键面积示意图。由于工艺的过刻蚀扰动导致导线的有效宽度

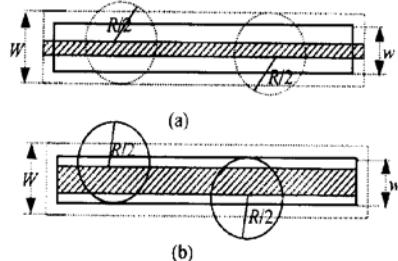


图 2 粒径为 R 的缺陷导致开路故障关键面积示意图
(a) 当导线条宽度为设计宽度时; (b) 过刻蚀使得导线条宽度变窄的情形

Fig. 2 Critical area of open circuit fault caused by the defect of diameter R (a) The wire width equals to the designed width; (b) The wire width gets narrowed by over-etching

变窄。图 2(b) 给出了在过刻蚀扰动下, 粒径为 R 的圆形缺陷导致开路故障的关键面积。图 2 中的阴影部分为关键面积。从图 2 中可以看出, 当导线的有效宽度变窄时, 同一粒径的缺陷导致开路故障的关键面积在增加。

导线条宽度为设计宽度 W 时, 粒径为 R 的圆形缺陷造成导线条开路的关键面积为^[6]:

$$A_{oc}(R) = \begin{cases} 0 & 0 \leq R < W \\ L(R - W) & W \leq R < 2W + S \\ (S + W)L & R \geq 2W + S \end{cases} \quad (1)$$

其中 L 为导线条长度。

由于过刻蚀的影响, 使得导线条的宽度由设计宽度 W 变为加工后的 $w = W - 2e$, 那么粒径为 R 的圆形缺陷造成导线条开路的关键面积变为:

$$A'_{oc}(R, e) = \begin{cases} 0 & 0 \leq R < W - 2e \\ (L - 2e)(R - W + 2e) & W - 2e \leq R < W - 2e + S \\ (S + W)(L - 2e) & R \geq W - 2e + S \end{cases} \quad (2)$$

其中 $e > 0$ 。

2.2 短路关键面积

对两条平行导体线条而言, 粒径为 R 的圆形冗余物缺陷导致电路短路的关键区域称为该缺陷的关键面积。图 3(a) 给出了当两个导线条的宽度为设计宽度时, 粒径为 R 的圆形冗余物缺陷造成两导线条短路的关键面积。由于刻蚀工艺的随机扰动, 过刻蚀造成两导线条变窄, 导线之间的线间距变宽。图 3(b) 给出了在过刻蚀的情形下, 粒径为 R 的冗余物缺陷造成两导线条短路的关键面积的示意图。图 3 中的阴

影部分表示缺陷造成短路故障的关键面积。从图 3 可以看出, 同一粒径下的冗余物缺陷造成两导线条短路的关键面积随导线条的宽度变窄而减小。

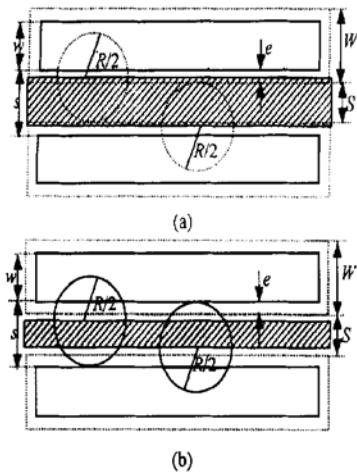


图 3 粒径为 R 的缺陷导致短路故障关键面积示意图
(a) 当导线条宽度为设计宽度时; (b) 过刻蚀使得导线条宽度变窄的情形

Fig. 3 Critical area of short circuit fault caused by the defect of diameter R (a) The wire width equals to the designed width; (b) The wire width gets narrowed by over-etching

在两导线条之间的设计线间距为 S 时, 粒径为 R 的圆形缺陷造成两导线条短路的关键面积为^[7]:

$$A_{sc}(R) = \begin{cases} 0 & 0 \leq R \leq S \\ (R - S)L & S \leq R < 2S + W \\ (S + W)L & 2S + W \leq R \end{cases} \quad (3)$$

其中 L 为导线条的长度。

由于工艺的过刻蚀扰动, 造成导线的有效宽度变窄, 导线条之间的线间距增大, 那么导线条之间的线间距增加为 $s = S + 2e$ 。经刻蚀加工后, 粒径为 R 的缺陷造成导线条之间短路的关键面积变为

$$A_{sc}'(R, e) = \begin{cases} 0 & 0 \leq R < S + 2e \\ (R - S - 2e)(L - 2e) & S + 2e \leq R < S + 2e + W \\ (S + W)(L - 2e) & S + 2e + W \leq R \end{cases} \quad (4)$$

其中 $e > 0$ 。

3 欠刻蚀关键面积模型

由于工艺的随机扰动, 欠刻蚀造成导线条宽度比原设计宽度要宽。因此, 当 $e < 0$ 时, 就可以用 $w =$

$W - 2e$ 和 $s = S + 2e$ 来表示在欠刻蚀情形下导线条的宽度和线间距。

同理, 当 $e < 0$ 时, 可以用公式(2)和公式(4)来表示由于欠刻蚀的影响粒径为 R 的圆形缺陷造成导线条开路和短路的关键面积。

欠刻蚀工艺造成导线条比原设计宽度要宽, 导致导线条之间的线间距变小。因此, 同一粒径的圆形缺陷造成导线条开路的关键面积减小; 造成短路的关键面积增加。

4 随机变量 e 的分布

在集成电路的加工过程中, 由于工艺的随机扰动, 过刻蚀或欠刻蚀造成了导线条的变窄或变宽。用随机变量 e 来表示这一变化量, 当 e 大于零时, 表示过刻蚀情形; 当 e 小于零时, 表示欠刻蚀情形。随机变量 e 可以用正态分布来表示, 其概率密度函数为:

$$f(e) = \frac{1}{\sigma \sqrt{2\pi}} \exp\left(-\frac{e^2}{2\sigma^2}\right) \quad \sigma > 0 \quad (5)$$

其中 σ 为刻蚀工艺的标准偏差。

5 等效关键面积模型

从上面的分析可以知道, 当给定缺陷粒径为 R 时, 开路故障和短路故障的关键面积是刻蚀随机扰动量 e 的函数。

5.1 过刻蚀情形

在过刻蚀扰动的情况下, 刻蚀工艺对粒径为 R 的缺陷导致故障的等效关键面积可以表示为:

$$A_e(R) = \int_{S/2}^{(W+S)/2} A_e(R, e) f(e) de \quad (6)$$

公式(6)中积分上限、下限分别取 $(W + S)/2$ 和 $S/2$, 其原因是过刻蚀而言, e 的变化范围从一导线条的边缘到该导线条的中线, 如图 4 所示。

将公式(2)和(4)分别代入(6)式便可得到在有刻蚀扰动的情况下, 过刻蚀对粒径为 R 的缺陷导致开路、短路故障的等效关键面积 $A_{oc}'(R)$ 和 $A_{sc}'(R)$ 。

5.2 欠刻蚀情形

在欠刻蚀扰动的情形下, 刻蚀工艺对粒径为 R 的缺陷导致故障的等效关键面积可以表示为

$$A_e(R) = \int_{-W/2}^0 A_e(R, e) f(e) de \quad (7)$$

公式(7)中积分上限、下限分别取 0 和 $-W/2$, 其原因是对于欠刻蚀而言 e 的变化范围从一导线条的边缘到与该导线条紧邻的导线条之间的中间位置, 如图 4 所示。

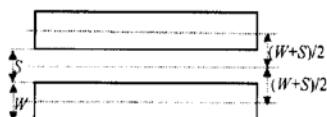


图 4 e 的变化范围示意图

Fig. 4 The variation range of e

当 $e < 0$ 时, 可以用公式(2)和公式(4)表示欠刻蚀的影响粒径为 R 的圆形缺陷造成导线条开路和短路的关键面积。将 $e < 0$ 时得到的粒径为 R 的圆形缺陷造成导线条开路和短路的关键面积公式代入公式(7)便可得到过刻蚀对粒径为 R 的缺陷导致开路、短路故障的等效关键面积 $A_{oc}(R)$ 和 $A_{sc}(R)$ 。

6 试验与分析

取参变量 $W = 1, S = 1, L = 4$ (单位: μm), 在不同的工艺偏差 σ 下, 对两种模型的开路和短路关键面积进行计算机模拟。

图 5 给出了在不同偏差的刻蚀工艺条件下, 开路关键面积随缺陷粒径变化的情况。从图 5 可以看出, 工艺扰动对 IC 的开路关键面积有很大影响。在同一个缺陷粒径 R 和同一个工艺偏差 σ 下, 过刻蚀造成开路关键面积比欠刻蚀造成开路关键面积大。其原因是过刻蚀使得导线条宽度变窄, 从而增大了

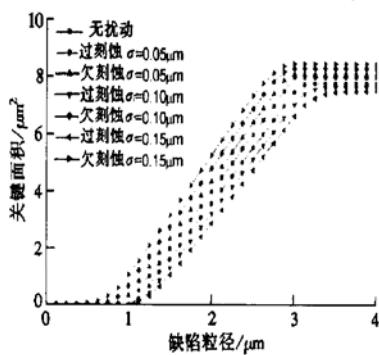


图 5 开路关键面积随缺陷粒径 R 变化的趋势

Fig. 5 The variation of critical area of open circuit with defect diameter R

开路关键面积; 而欠刻蚀使得导线条宽度变宽, 减小了开路关键面积。从图 5 还可以看出, 不同的工艺偏差对 IC 关键面积的影响也不同。对同一个缺陷粒径 R 而言, 工艺偏差越大, 过刻蚀使开路关键面积越大; 欠刻蚀使开路关键面积越小。其原因是工艺偏差越大, 过刻蚀使导线条有效宽度越窄, 从而使得开路关键面积越大; 工艺偏差越大, 欠刻蚀使得导线条有效宽度变得更宽, 从而导致开路关键面积越小。

图 6 给出了刻蚀工艺在不同的工艺偏差下, 短路关键面积随缺陷粒径的变化情况。从图 6 中可以看出, 工艺扰动对 IC 的短路关键面积同样有很大影响。在同一个缺陷粒径 R 和同一个工艺偏差 σ 下, 过刻蚀导致短路关键面积比欠刻蚀造成的短路关键面积要小。其原因是过刻蚀使得导线条比设计宽度

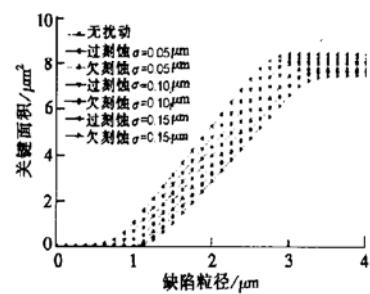


图 6 短路关键面积随缺陷粒径 R 的变化趋势

Fig. 6 The variation of critical area of short circuit with defect diameter R

要窄, 造成导线条之间的线间距增加, 从而减小了电路短路的关键面积; 欠刻蚀造成了导线条比设计宽度要宽, 使得导线条之间的线间距减小, 从而增加了电路短路的关键面积。从图 6 还可以看出, 不同的工艺偏差对 IC 关键面积的影响也不同。对同一个缺陷粒径 R 而言, 工艺偏差越大, 过刻蚀造成的短路关键面积越小, 欠刻蚀造成的短路关键面积越大。其原因是工艺偏差越大, 过刻蚀使得导线有效宽度越窄, 线间距增大, 从而使得短路关键面积越小; 欠刻蚀使得导线有效宽度变得更宽, 线间距减小, 增大了开路关键面积。

从图 5 和图 6 均可以看出, 对于不同的工艺偏差, 无论是在过刻蚀还是在欠刻蚀情形下, 开路关键面积和短路关键面积随缺陷粒径 R 的增大而增加。这与目前已有的结论是一致的。

7 结论

本文从 VLSI 制造过程中的故障产生机理出发, 分析了刻蚀工艺对导线条宽度的影响, 给出了在过刻蚀和欠刻蚀情形下开路故障和短路故障的关键面积计算模型。通过实例计算与分析, 得到了如下结论: 在同一个缺陷粒径 R 和同一个工艺偏差 σ 下, 过刻蚀导致短路关键面积减小, 欠刻蚀导致开路关键面积增大, 其原因是过刻蚀造成导线条宽度变窄, 而线间距变宽; 欠刻蚀造成开路关键面积减小, 欠刻蚀造成短路关键面积增大, 欠刻蚀造成导线条比原设计宽度变宽, 从而使线间距变窄。不同的工艺偏差对 IC 关键面积的影响也不同, 对同一个缺陷粒径 R 而言, 工艺偏差越大, 过刻蚀造成的短路关键面积越小, 欠刻蚀造成的短路关键面积越大。计算结果与理论分析结果是一致的。

参考文献

- [1] Hao Yue, Lin Rui, Ma Peijun. Prediction and simulation of VLSI yield. ACTA Electronica Sinica, 1999, 27(2): 55[郝跃, 林锐, 马佩军. VLSI 成品率的预测与仿真. 电子学报, 1999, 27(2): 55]
- [2] Israel A Wagner, Israel Koren. IEEE Trans on Semiconductor Manufacturing, 1995, 8(2): 130
- [3] Mihor L S, Orth J, Stelle D. IEEE Trans on Semiconductor Manufacturing, 1999, 12(1): 11
- [4] Christopher Hess, Larg H Weiland. IEEE Trans On Semiconductor Manufacturing, 1999, 12(2): 175
- [5] Zhao Tianxu, Hao Yue, Jiao Yongchang. VLSI yield optimization based on the sub-processing-element level redundancy. 2000 Proceedings the IEEE Int Symp on Defect and Fault Tolerance in VLSI Systems, Yamanashi, Japan, 2000, 41
- [6] Ma Peijun. Study on the simulation and optimization methods of functional yield of integrated circuits. Doctoral Thesis of Xidian University, 2000[马佩军. 集成电路功能成品率仿真与优化技术. 西安电子科技大学博士论文, 2000].
- [7] Jiang Xiaohong, Hao Yue, Susumu Horoguchi. A new defect outline model used for critical area estimation in VLSI. 2000 Proceedings the IEEE Int Symp on Defect and Fault Tolerance in VLSI Systems, Yamanashi, Japan, 2000, 21

[1] Hao Yue, Lin Rui, Ma Peijun. Prediction and simulation of

Computation Model and Realization Method of IC Critical Area Based on Etching Process^{*}

Zhao Tianxu^{1,2}, Hao Yue¹ and Ma Peijun¹

(1 Institute of Microelectronics, Xidian University, Xi'an 710071, China)

(2 Department of Mathematics, Baoji College of Arts and Sciences, Baoji 721007, China)

Abstract: Over-etching or under-etching in IC process causes the variation of the linewidth and spacing between two parallel lines because of the random disturbance of the process. The influence on over-etching and under-etching to IC layout is analyzed, the computation model and realization method of IC critical area are presented. The simulation result is in agreement with the theoretical analysis.

Key words: critical area; random disturbance; defect

EEACC: 1130B; 0240G; 2220C; 2570

Article ID: 0253-4177(2002)01-0102-05

* Project supported by National Science and Technology Program 96-738

Zhao Tianxu male, was born in 1964. Now he is an associate professor. His research interests are in IC manufacturability design and IC fault-tolerant.