

与 CMOS 工艺兼容的硅高速光电探测器模拟与设计*

毛陆虹¹ 陈弘达¹ 吴荣汉¹ 唐君¹ 梁琨¹ 粘华² 郭维廉² 李树荣² 吴霞宛²

(1 中国科学院半导体研究所 集成光电子学国家重点实验室, 北京 100083)

(2 天津大学电子与信息工程学院, 天津 300072)

摘要: 用器件模拟的方法, 设计了一种与常规 CMOS 工艺兼容的硅高速光电探测器, 该探测器可与 CMOS 接收机电路单片集成, 对该探测器进行了器件模拟研究, 给出了该探测器的电路模型。通过 MOSIS(MOS implementation support project) 0.35μm COMS 工艺制做了该探测器, 实际测试了该器件的频率响应和波长响应, 探测器频率响应在 1GHz 以上, 峰值波长响应在 0.69μm。

关键词: 光电探测器; 器件模拟; CMOS 工艺

EEACC: 4250: 2560B

中图分类号: TN 303; TN 364⁺.2

文献标识码: A

文章编号: 0253-4177(2002)02-0193-05

1 引言

硅光电探测器能广泛应用于短波长(0.78~0.85μm)的局域网(LAN)系统内, 例如千兆位以太网(gigabit ethernet)和光纤通道(fiber channel)。人们要想实现高速大容量光通信, 光电集成电路(OE-IC)是根本出路, 这是因为它最大限度地消除了封装、引线和连线等寄生参数影响, 可以实现极高的速率, 同时该技术还具有体积小、成品率高、可靠性好和可以实现更为丰富的功能的优点。由于横向 pin 硅光电探测器易于与电路集成, 一些人做了器件与电路集成化的研究, 如 pin 与 nMOS^[1]、pin 与 Bi-CMOS^[2]以及 pin 与 Si-MOX^[3]的集成。最近文献[4]提出了一种与 CMOS 兼容的光电探测器, 在 850nm 得到 0.01~0.04A/W 的响应度, 在 -6.3dBm 的注入光功率下, 工作在 1.25Gbit/s 得到 10⁻⁹ 的误码率。尽管横向 pin 硅光电探测器有易于集成的优点, 但由于耗尽区太浅使得光生载流子中扩散成分较多。我们知道, 半导体中的光吸收由吸收系数 α 来表征, 它是波长的强函数, 1/α 是吸收强度为 1/e 的深

度。当光在半导体中吸收, 电子空穴对产生在 pn 结的 1/α 附近, 空间电荷区有强电场, 可收集产生在空间电荷区所有的光生载流子, 电子空穴对在此区以饱和速度传输, 约 10ps, 而产生在空间电荷区外的电子空穴对要慢慢扩散到空间电荷区, 这对脉冲信号来说就会附加了一个拖尾。Si 的 1/α 常常远大于空间电荷区的厚度, Childers 等^[5] 使用了用户设定的 CMOS 工艺, 使衬底掺杂浓度为 2.8×10¹⁴cm⁻³, 产生~5μm 的空间电荷区, 可是大多数 CMOS 工艺线衬底掺杂浓度约 10¹⁶cm⁻³ 或者更高, 使得空间电荷区很薄, 光生载流子中的扩散成分很多。文献[2, 4]提出用 n 阵来隔离光生载流子中扩散成分, 从而实现高速探测。从文献[2, 4]中可以看出, 这种探测器的缺点是光响应波长较短和光响应度较低, 导致需要大的光注入才能工作, 这就达不到局域网规定的探测器最低注入光功率-16dBm 的标准。但是, 在较短距离传输中, 有时光功率不是主要问题, 主要的问题是速度, 所以设计这种探测器要根据实际需要在速度和注入光功率之间折衷。这样, 了解这种探测器的工作原理, 选择器件的工艺参数和器件工作条件的设计工作就显得十分重要。本文用器件模拟

* 国家自然科学基金资助项目(批准号: 69836020, 69896020)

毛陆虹 教授, 博士, 主要研究兴趣在 VCSEL、光电探测器和光发射接收模块。

2001-06-28 收到

© 2002 中国电子学会

方法对其原理进行了分析, 建立探测器的电路模型, 并进行设计, 模拟使用了 Silvaco International 公司的商业化器件模拟软件 Atlas, 实际制做了该探测器和相应的放大电路, 并进行了测试.

2 器件模拟与工作机理分析

器件的制作方法是在衬底上做一个 n 阵, 再在 n 阵内制作叉指状 p⁺ 扩散电极(p⁺ 扩散与 PMOS 的源漏同时制备), n 阵的引出用 n⁺ 扩散电极(n⁺ 扩散与 NMOS 的源漏同时制备), 器件外围再用 p⁺ 扩散制作一个保护环(Guard ring). 图 1 给出了在器件模拟软件 Atlas 中输入的器件结构、外加电压示意图和二维模拟出的 pn 结的位置和耗尽区位置. 图中可见, n 阵与 P⁺ 区构成一个二极管, 称工作二

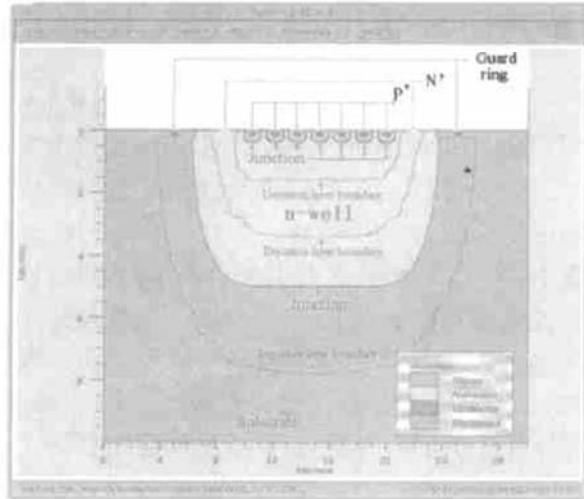


图 1 二维器件模拟光电探测器的结构、pn 结的位置、耗尽区位置和电极示意图

Fig. 1 Structure, pn junction position, depletion layer of the photodetector in two dimension device simulation and the sketch map of electrodes

极管 D₀; n 阵与衬底构成一个二极管, 称屏蔽二极管 D_s. 在衬底深处的光生载流子被屏蔽二极管的耗尽区所吸收, 不能扩散到工作二极管内, 工作二极管内没有长距离扩散的光生载流子, 只有 n 阵内短途扩散的载流子, 从而提高了工作二极管的速度. 从图中可以看出, n 阵上的耗尽区即 P⁺ 和 n 阵形成的耗尽区越大, 工作二极管 D₀ 光生载流子中扩散成分越小, 速度越高, 这要求 n 阵的掺杂水平与衬底相当以获得轻掺杂的 i 区, 但这在实际的 CMOS 工艺中是不可能的, 所以在工艺设计中要选择 n 阵的掺杂水

平与衬底接近的工艺, 或者衬底轻掺杂的工艺, 这样 n 阵的掺杂水平会相对低些. 另外, 制作二极管的 n 阵上不要有调整栅开启电压掺杂工艺, 这要靠版图设计中在制作工作二极管的 n 阵上掩蔽调整栅开启电压的掺杂过程.

3 等效电路

根据上述分析和模拟结果, 可以给出这种兼容的光电探测器的等效电路(见图 2), 图中 D₀ 为工作二极管, D_s 为屏蔽二极管, V_{det}(接 n⁺) 和 V_{out}(接 p⁺) 接入工作电路, 虚线右边是与之集成的 CMOS 的示意电路. C_s 比 C₀ 的电容要大, 因为 C_s 结面积大, 而且含有扩散的延时成分, 但它不能影响到 CMOS 电路的输入端.

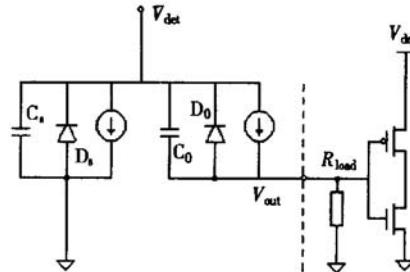


图 2 光电探测器的等效电路

Fig. 2 Equivalent circuit of the photodetector

4 器件模拟数值分析

图 3 给出了 MOSIS 工艺参数下的器件模拟, 衬底掺杂浓度为 $6 \times 10^{16} \text{ cm}^{-3}$, n 阵掺杂浓度为 $1 \times 10^{17} \text{ cm}^{-3}$. 图 3(a) 模拟了工作二极管响应电流与外加反压的关系曲线, 三条曲线分别为无光照、光照强度为 1 和 25 W/cm^2 , 光波长为 $0.85 \mu\text{m}$ 时工作二极管的响应电流. 以二极管面积为 $20 \mu\text{m} \times 20 \mu\text{m}$ 计算, 输入光功率分别为 $4 \mu\text{W}$ (-23 dBm) 和 $100 \mu\text{W}$ (-10 dBm), 图中可见无光照的响应电流(对应暗电流)约为 10^{-15} A 数量级, 光照强度为 1 W/cm^2 时产生 $0.16 \mu\text{A}$ 光电流, 响应度为 0.04 A/W . 光照强度为 25 W/cm^2 时产生 $4.8 \mu\text{A}$ 光电流, 响应度为 0.048 A/W . 后者完全能够满足 CMOS 放大器输入的要求, 由于器件的面积较小, 暗电流可以不考虑.

图 3(b) 模拟了工作二极管响应电流与光强的

关系曲线, 光波长为 $0.85\mu\text{m}$, 三条曲线外加反压分别为 3、5、9V 时工作二极管的响应电流, 图中可见, 外加电压对响应电流影响不大。光强 $10 \sim 100\text{W}/\text{cm}^2$ 之间的光电流增长较快, 这也说明该二极管适用于强光工作。

图 3(c)给出注入光强度为 $1\text{W}/\text{cm}^2$, 外加电压为 3V 时, 工作二极管和屏蔽二极管的波长响应。工作二极管的峰值波长响应为 $0.68\mu\text{m}$, 屏蔽二极管的峰值波长响应为 $0.79\mu\text{m}$, 且工作二极管光电流 (I_{p}^+) 低于屏蔽二极管。这是因为工作二极管的吸收区较浅而且工作二极管的吸收区面积较小, 这样, 响应波长就短, 电流就低。在频率要求低和高响应度的场合就可以用下面的屏蔽二极管工作, 这样, 光电流会大一些。

图 3(d)给出注入光强度为 $1\text{W}/\text{cm}^2$, 光波长为 $0.85\mu\text{m}$, 外加电压分别为 3、5、9V 时, 工作二极管和屏蔽二极管的光调制频率响应。图中可见工作二极管调制频率带宽高于屏蔽二极管, 这是因为工作二极管光生载流子的扩散成分很少, 而屏蔽二极管光生载流子的扩散成分较多。另外, 外加电压越高, 工作二极管调制频率带宽就越高, 这是因为外加电压越高, 空间电荷区越大, 工作二极管光生载流子的扩散成分会更少, 所以调制频率带宽就更高。一般 CMOS 电路的工作电压是 3.3 或 5V, 要想提高速度就要提高探测器的反偏电压, 如探测器与 CMOS 单片集成电路设计为单电源工作, 就是提高了 CMOS 电路的工作电压, 如果再想提高探测器的反偏电压, 集成电路就要采用双电源工作。

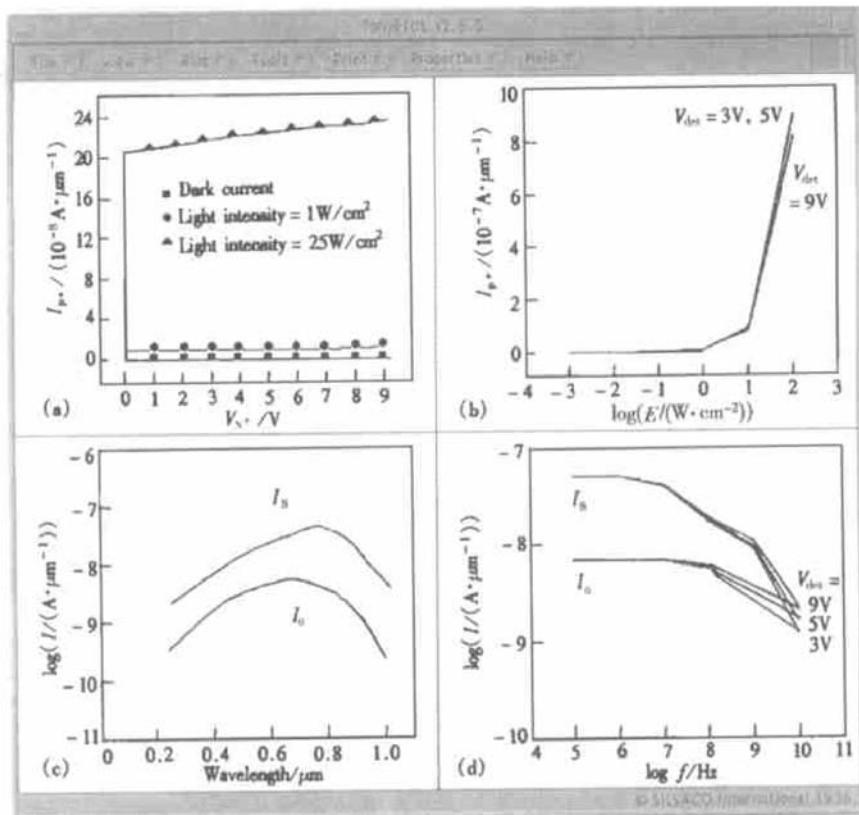


图 3 MOSIS 工艺参数下光电探测器的器件模拟

Fig. 3 Device simulation of the photodetector with MOSIS process parameters

5 器件测试

通过 MOSIS $0.35\mu\text{m}$ COMS 工艺制作了该探测器, 图 4 给出测量的这种探测器工作二极管的光频响应曲线, 可见频率响应带宽可达 1.1GHz , 达到

高速工作的设计要求。

图 5 给出测量的工作二极管的光谱响应曲线, 响应峰值波长为 $6.9\mu\text{m}$, 在 $0.85\mu\text{m}$ 波长处响应较低, 这是由于吸收层薄的缘故, 说明这种探测器是牺牲响应度来换取速度。图中曲线的起伏可能是钝化膜的反射所致, 所以, 在有条件的情况下应采用改变

钝化膜材料成分及厚度的 CMOS 工艺, 或者钝化时将探测器掩蔽起来, 当然如能在探测器上加增透膜就会更好.

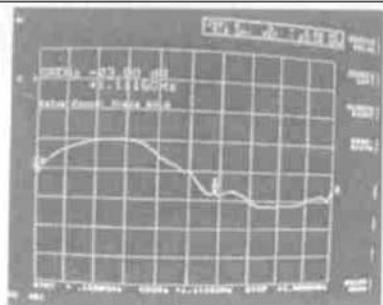


图 4 工作二极管的光频响应曲线

Fig. 4 Optic frequency response of the operating diode

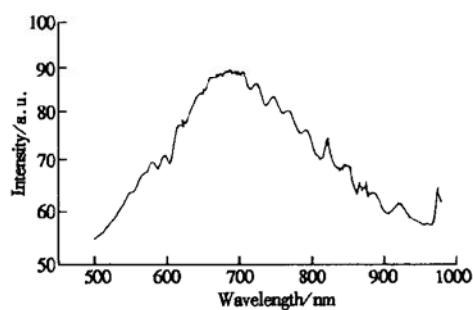


图 5 工作二极管的光谱响应曲线

Fig. 5 Spectrum response of the operating diode

6 总结

本文用器件模拟的方法, 设计了一种与常规 CMOS 工艺兼容的高速光电探测器, 设计方法新颖, 设计结果的可视性好, 精度高. 解释了器件的工作原理和实现高速的机理. 对制作这种器件有指导意义. 制作了该探测器并测试了该器件的频率响应和波长响应, 模拟与测试吻合.

致谢 感谢国家集成光电子重点实验室开放课题的支持, 感谢东南大学射频与光电集成电路研究所王志功教授、冯军教授的支持.

参考文献

- [1] Childers J E, Morris J E, Eildman E R. SPIE, 1993, 1849: 292
- [2] Woodward T K, Krishnamoorthy A V. IEEE Journal of Selected Topics in Quantum Electronics, 1999, 5(2): 146
- [3] Kuchta D M, Ainspan H A, Canora F J, et al. IBM J Res Develop, 1995, 39(1/2): 67
- [4] Yoshida Takeshi, Ohtomo Yusuke, Shimaya Masakazu, et al. IEDM 1998 CD edition
- [5] He Y S, Garrett L D, Lee K -H, et al. Electronics Letters, 1994, 30(22): 1887

Simulation and Design of a CMOS-Process-Compatible High-Speed Si-Photodetector^{*}

Mao Luhong¹, Chen Hongda¹, Wu Ronghan¹, Tang Jun¹, Liang Kun¹,
Nian Hua², Guo Weilian², Li Shurong² and Wu Xiawan²

(1 State Key Laboratory on Integrated Optoelectronics, Institute of Semiconductors,
The Chinese Academy of Sciences, Beijing 100083, China)

(2 Electronic Information School, Tianjin University, Tianjin 300072, China)

Abstract: The high-speed photodetector which is compatible with CMOS-process is designed by using the method of device simulation. The detector can be monolithically integrated with CMOS receiver. The device simulation is processed by commercial software and the circuit model is given. The detector is fabricated by using 0.35μm CMOS at MOSIS(MOS implementation support project). Both the frequency response and wavelength response of the detector are tested. The frequency response is above 1GHz and the peak wavelength response is at 0.69μm.

Key words: photodetector; device simulation; CMOS process

EEACC: 4253; 2560B

Article ID: 0253-4177(2002)02-0193-05

* Project supported by National Natural Science Foundation of China (Nos. 69836020, 69896330).

Mao Luhong professor, PhD. His research interests are in VCSEL's, photo detectors and light transmitter modules and receiver modules.

Received 28 June 2001

©2002 The Chinese Institute of Electronics