

一种有效的 IC 成品率估算模型^{*}

赵天绪^{1,2} 郝 跃¹ 马佩军¹

(1 西安电子科技大学微电子所, 西安 710071)
(2 宝鸡文理学院数学系, 宝鸡 721007)

摘要: 从缺陷造成电路故障的机理出发, 给出了芯片故障概率和成品率的计算新模型。利用 IC 功能成品率仿真系统 XD-YES 对实际电路 XT-1 成品率参数的提取, 同时利用新模型进行计算, 其结果与实际结果符合很好。

关键词: 功能成品率; 缺陷; 故障率

EEACC: 1130B; 0240G; 2220C; 2570

中图分类号: TN43 **文献标识码:** A **文章编号:** 0253-4177(2002)02-0198-05

1 引言

集成电路的制造效益完全取决于其生产成品率。由于缺陷的存在, 即使在成熟的工艺生产线条件下, 成品率也不可能达到 100%。制造工艺的不断改进在很大程度上减少了缺陷密度(例如超净室的应用)。然而, 器件特征尺寸的减小(减小到亚微米甚至深亚微米或超深亚微米)和芯片面积的增加导致了每个芯片上的器件数和器件密度的增加, 从而导致了制造成品率的下降。因此, 集成电路的设计者和制造者将会进一步关心与集成电路制造效益密切相关的成品率问题。

众所周知, 在芯片设计规则一定的情况下, 生产过程中的缺陷成为影响集成电路成品率的主要因素。所谓缺陷是指在工艺线中实际产生的芯片图形与设计图形之间的偏差。目前, 人们对成品率和缺陷之间的关系作了大量的研究^[1~4], 提出了许多可用于预测集成电路制造成品率的模型。在这些模型中, 直接将缺陷用于成品率的模拟和预测。模拟结果表明, 利用这些模型预测 IC 的成品率往往低于实际统计的成品率。其原因是并非所有的缺陷均能引起集

成电路成品率的下降, 只有使电路版图的拓扑结构发生变化, 产生 IC 电路连接错误, 导致电路丧失其功能的缺陷才引起集成电路功能成品率的下降。人们将这类缺陷称为故障。为了表征故障与成品率之间的关系, 人们提出了关键面积的概念, 对成品率的预测模型进行了改进。所谓关键面积是指集成电路中某些关键区域的面积, 在这些关键区域中出现缺陷时必定能导致电路的故障。本文首先分析了缺陷形成 IC 电路故障的机理, 给出了缺陷成为故障的概率, 对成品率的预测模型进行了改进。实验结果表明, 改进后的 IC 成品率模型提高了成品率的预测精度。

2 缺陷与故障

2.1 缺陷

缺陷粗略地可分为总体缺陷和点缺陷。总体缺陷是相对比较大规模的缺陷, 如由于操作失误造成圆片上的刮痕, 工艺的欠腐蚀和过腐蚀等。点缺陷是由每步工艺中应用的材料和环境因素引起的随机局部缺陷, 这些缺陷中的大多数是由工艺材料中不期

* 国家科技攻关 96-738 资助项目

赵天绪 男, 1964 年出生, 博士, 副教授, 研究方向为集成电路可制造性设计及 IC 容错设计等。

郝 跃 男, 1958 年出生, 教授, 博士生导师, 从事微电子学与半导体器件的研究。

马佩军 男, 1972 年出生, 博士, 研究方向为集成电路可制造性设计及 IC 故障识别等。

2001-04-01 收到, 2001-07-12 定稿

©2002 中国电子学会

望的化学粒子或空气中尘埃粒子在不同的工艺步骤中沉积在圆片表面上而造成。这两类缺陷对成品率均有影响。对一条成熟的、可控性良好的工艺线而言，总体缺陷可以减小，甚至可以消除。然而，要控制点缺陷是非常困难的。由于点缺陷引起的 IC 成品率损失远比总体缺陷造成的成品率损失大得多，而且，对于大面积集成电路，总体缺陷出现的频率几乎独立于芯片面积的大小；点缺陷出现的期望数随着芯片面积的增加而增加。因此，在考虑 IC 成品率的预测和提高技术时，必须考虑点缺陷对其的重要影响，这也是在分析成品率时只考虑点缺陷影响的主要原因。

点缺陷按其损伤机理通常分为冗余物缺陷、丢失物缺陷以及针孔缺陷等^[5]。

2.2 故障

并非所有的缺陷都能引起 IC 成品率的下降，只有落在关键区域中的缺陷（即故障）才能引起 IC 成品率的下降。图 1 给出了粒径为 R 的缺陷造成开路故障或短路故障的关键区域示意图，图 1(a) 中的阴影部分为开路关键面积，(b) 中阴影部分为短路关键面积。从图中可以看出，缺陷要造成电路故障不仅与其粒径大小有关而且与其出现在电路中的位置有关。图 1 中的缺陷 1、2 和 3 的粒径均为 R ，但 1 和 2 造成电路的开路或短路故障，而缺陷 3 未形成故障。按照造成电路结构变化的情形故障通常分为短路、开路及针孔等。

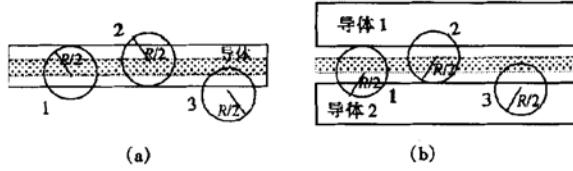


图 1 粒径为 R 的缺陷关键面积 (a) 开路; (b) 短路

Fig. 1 Critical area caused by the defect of size R
(a) open-circuits; (b) short circuits

3 芯片故障概率的计算

在 IC 电路的制造过程中，掩膜板上或者圆片表面上的灰尘粒子以及每步工艺的化学试剂中的颗粒等均能产生 IC 芯片上的冗余物缺陷和丢失物缺陷。无论是冗余物缺陷还是丢失物缺陷都能造成 IC 电路的开路故障和短路故障。

3.1 j 类故障概率的计算

假定一集成电路芯片由 N 步不同工艺制造而成，这 N 步工艺中引入的缺陷引起 IC 芯片失效的可能性故障有 K 种。 $P(f_j = k/d_i = r)$ 表示在芯片上由第 i 步工艺引入的 r 个缺陷成为 k 个 j 类故障的概率。

$$P(f_j = k/d_i = r) = \frac{r!}{k!(r-k)!} \theta_{j/i}^k (1 - \theta_{j/i})^{r-k} \quad (1)$$

$\theta_{j/i}$ 表示芯片上第 i 步工艺引入的一个缺陷成为一个 j 类型故障的概率。由于出现在芯片上的 j 类型故障仅与引起该类故障的关键面积有关，因此芯片上任意一个缺陷成为 j 类型故障的概率（即一个缺陷落在该芯片关键区域中的概率） $\theta_{j/i}$ 为

$$\theta_{j/i} = p(f_j = 1/d_i = 1) = \frac{A_{j/i}}{A_{\text{chip}}} \quad (2)$$

其中 A_{chip} 表示芯片的面积； $A_{j/i}$ 表示第 i 步工艺中引入的缺陷导致 j 类故障的关键面积， $A_{j/i}$ 是由下式给出

$$A_{j/i} = \int_0^\infty A_{j/i}(R) f(R) dR$$

其中 $A_{j/i}(R)$ 为第 i 步工艺中引入的粒径 R 的缺陷造成 j 类故障的关键面积； $f(R)$ 为缺陷粒径分布函数，通常取

$$f(R) = \begin{cases} \frac{2(n-1)R}{(n+1)R_0^2} & 0 \leq R \leq R_0 \\ \frac{2(n-1)R_0^{n-1}}{(n+1)R^n} & R_0 \leq R < \infty \end{cases} \quad (3)$$

其中 R_0 是缺陷的峰值粒径； $n = 3.02$ 。

$p(d_i = r)$ 表示 IC 芯片上出现 r 个由第 i 步工艺引入的缺陷的概率，它可以用 Poisson 分布模型表征

$$p(d_i = r) = \frac{\lambda_i^r}{r!} \exp(-\lambda_i) \quad (4)$$

$P(f_{j/i})$ 表示在第 i 步工艺中引入的缺陷成为第 j 类故障的概率。它可以由下式给出

$$\begin{aligned} P(f_{j/i}) &= p(f_j = 1/d_i = 1)p(d_i = 1) \\ &\quad + [p(f_j = 1/d_i = 2) \\ &\quad + p(f_j = 2/d_i = 2)]p(d_i = 2) + \dots \\ &= \sum_{r=1}^{\infty} \sum_{k=1}^r p(f_j = k/d_i = r)p(d_i = r) \\ &\quad j = 1, 2, \dots, K; i = 1, 2, \dots, N \end{aligned} \quad (5)$$

将(1)和(4)式代入(5)式可得

$$P(f_{j/i}) = \sum_{r=1}^{\infty} \sum_{k=1}^r \frac{r!}{k!(r-k)!} \theta_{j/i}^k (1-\theta_{j/i})^{r-k} \times \frac{\exp(-\lambda_i)}{r!} \lambda_i^{-r} = 1 - \exp(-\lambda \theta_{j/i})$$

$$j = 1, 2, \dots, K; i = 1, 2, \dots, N \quad (6)$$

$P(f_j)$ 表示在 IC 芯片制造的 N 步工艺过程中引入的所有缺陷成为第 j 类故障的概率, 它可以用下式来计算:

$$P(f_j) = \sum_{i=1}^N P(f_{j/i}) p_i \quad j = 1, 2, \dots, K \quad (7)$$

p_i 表示工艺过程中第 i 步工艺中引入缺陷的概率, 它可以通过计算由第 i 步工艺过程中引入的缺陷数与整个芯片制造过程中缺陷数百分比来得到.

3.2 芯片故障概率的计算

一旦 IC 芯片上有一类故障出现, 那么必然导致该芯片失效. 因此, 由概率论中互斥原理可得 IC 芯片故障的概率

$$\begin{aligned} P(f) &= p\{(f_1) \cup (f_2) \cup \dots \cup (f_K)\} \\ &= \sum_{j=1}^K p(f_j) - \sum_{1 \leq i < j \leq K} p(f_i \cap f_j) \\ &\quad + \sum_{1 \leq i < j < l \leq K} p(f_i \cap f_j \cap f_l) \\ &\quad - \dots + (-1)^{K-1} p(\bigcap_{j=1}^K f_j) \end{aligned} \quad (8)$$

4 成品率估计

计算出一个芯片成为故障的概率后, 就可以得到 IC 芯片的功能成品率. 所谓功能成品率是指功能完全正常的芯片数与生产的所有芯片数之比. 由功能成品率定义可得, IC 芯片的功能成品率为

$$Y = 1 - P(f) \quad (9)$$

其中 $P(f)$ 是由(8)式计算得到的 IC 芯片功能失效的概率.

5 实验与分析

图 2 是 CMOS 计算机接口电路 XT-1 版图, 采用的是准 $3\mu\text{m}$ 的设计规则, 芯片面积为 $5.4\text{mm} \times 5\text{mm}$. 从 CMOS 的实际工艺考虑, 取 XT-1 版图的多晶硅层、有源区与金属接触孔和金属导电层, 利用 XD-YES(Xidian university yield estimator) 对这三层版图进行模拟. 考虑的缺陷类型有冗余物缺陷、丢失物缺陷和针孔缺陷, 这些缺陷可能造成 IC 电路开

路故障、短路故障和针孔故障. 利用 XD-YES 模拟器可以提取每一步工艺中引入的缺陷造成集成电路开路、短路和针孔故障的关键面积. 由公式(2)计算出每一类故障发生的概率, 最后再计算出功能成品率.

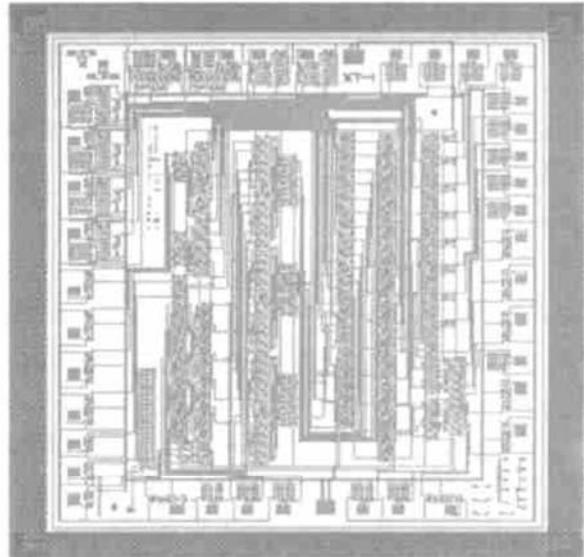


图 2 XT-1 版图结构示意

Fig. 2 Layout structure of XT-1

表 1 给出了各步工艺引入的缺陷频率以及不同类型的缺陷数. 表 2 给出了在不同工艺步骤中引入的缺陷引起各类故障的关键面积. 表 3 给出了在不同工艺过程中一个缺陷成为故障的概率.

表 1 IC 工艺过程中缺陷数分布情况统计表

Table 1 Distribution of the defect number in IC manufacturing process

工艺过程	冗余物缺陷	丢失物缺陷	针孔	p_i	λ
多晶硅	65	18	39	0.3708	122
有源区-金属 接触孔	23	57	0	0.2432	80
金属	78	12	37	0.3860	127

表 2 每步 IC 工艺引入的缺陷关键面积表

Table 2 The critical area of defect aroused by IC manufacturing process

关键面积 /mm ²	开路关键面积 /mm ²	短路关键面积 /mm ²	针孔关键面积 /mm ²
多晶硅	0.1368878625	0.00456383439	0.1165332536
有源区-金属 接触孔	0.086692927	0.20588825	0
金属	0.1104158971	0.002546135	0.1535184048

表3 每步工艺引入的缺陷故障率表

Table 3 Fault rate of defect aroused by IC manufacturing process

故障率 工艺过程	开路故障	短路故障	针孔故障
多晶硅	0.00507	0.00016903	0.004316
有源区-金属 接触孔	0.0032108	0.007625	0
金属	0.004089	0.0000943	0.005686

开路故障发生的概率为

$$\begin{aligned} P(f_1) &= \sum_{i=1}^N P(f_{1/i}) p_i \\ &= \sum_{i=1}^3 (1 - \exp(-\lambda_i \theta_{1/i})) p_i = 0.382475 \end{aligned}$$

短路故障发生的概率为

$$\begin{aligned} P(f_2) &= \sum_{i=1}^N P(f_{2/i}) p_i \\ &= \sum_{i=1}^3 (1 - \exp(-\lambda_i \theta_{2/i})) p_i = 0.12322 \end{aligned}$$

针孔故障发生的概率为

$$\begin{aligned} P(f_3) &= \sum_{i=1}^N P(f_{3/i}) p_i \\ &= \sum_{i=1}^3 (1 - \exp(-\lambda_i \theta_{3/i})) p_i = 0.35029 \end{aligned}$$

由(8)式可以计算出芯片故障的概率,根据开路故障、短路故障和针孔故障发生的概率可以得到该芯片故障的概率为

$$\begin{aligned} P(f) &= \sum_{j=1}^3 p(f_j) - p(f_1 \cap f_2) - p(f_1 \cap f_3) \\ &\quad - p(f_2 \cap f_3) + p(f_1 \cap f_2 \cap f_3) \\ &= 0.6482252 \end{aligned}$$

芯片成品率为

$$Y = 1 - P(f) = 0.3517748$$

对电路XT-1实际统计的成品率结果在25%至30%之间^[6].可以看出,实际结果和模型计算结果比较接近.模型计算结果略高于实际结果,其原因是在本实例计算中,只考虑了三类主要故障对电路成品

率的影响,除此之外,其它因素也对电路的成品率有一定程度的影响.

6 结论

对IC功能成品率模型的研究一直是集成电路可制造性研究的热点问题之一.本文从集成电路制造的工艺过程出发,考虑了制造缺陷成为电路故障机理,给出了集成电路的功能成品率的估算新模型.利用XD-YES模拟器对CMOS计算机接口电路XT-1版图提取了成品率参数,并把这些参数用于新模型的成品率计算.计算结果与实际统计的XT-1成品率结果比较接近,从而说明了本文给出的新模型的有效性.

参考文献

- [1] Zhao Tianxu, Hao Yue, Xu Donggang. Three-D fault-tolerant structure and yield analysis of VLSI circuit. Chinese Journal of Semiconductors, 1999, 20: 481[赵天绪, 郝跃, 许冬岗. VLSI 3-维容错结构及其成品率分析. 半导体学报, 1999, 20: 481]
- [2] Ma Peijun, Hao Yue, LIU Hongxia. Analysis and simulation of the effect of pinhole defects on integrated circuits functional yield. Chinese Journal of Semiconductors, 2000, 21: 102[马佩军, 郝跃, 刘红侠. 针孔缺陷对集成电路功能成品率影响分析与仿真. 2000, 21: 102]
- [3] Hess C, Weiland L H. Extraction of wafer-level defect density distribution to improve yield prediction. IEEE Trans Semiconductor Manufacturing, 1999, 12(2): 175
- [4] Milar L S, Orth J, Stelle D. The application of submicron lithography defect simulation to IC yield improvement. IEEE Trans Semiconductor Manufacturing, 1999, 12(1): 11
- [5] Walker H. Yield simulation for integrated circuits. Kluwer Academic Publishers, 1987
- [6] Hao Yue, Lin Rui, Ma Peijun. Prediction and simulation of VLSI yield. ACTA Electronica Sinica, 1999, 27(2): 55[郝跃, 林锐, 马佩军. VLSI成品率预测与仿真. 电子学报, 1999, 27(2): 55]

An Effectual IC's Yield Estimation Model^{*}

Zhao Tianxu^{1,2}, Hao Yue¹ and Ma Peijun¹

(1 Microelectronics Institute of Xidian University, Xi'an 710071, China)

(2 Mathematics Department of Baqì College of Arts and Science, Baqì 721007, China)

Abstract: The new computational model of the chip fault probability and IC's yield is given based on the mechanism of a chip with a defect that causes fault. The yield parameters are extracted by a realizable system of IC functional yield simulator, XD-YES, for a practical circuit XT-1 and those parameters are used to compute yield of XT-1 by this new model. The result computed is in agreement with the result tested.

Key words: functional yield; defects; fault rate

EEACC: 1130B; 0240G; 2220C; 2570

Article ID: 0253-4177(2002)02-0198-05

* Project supported by National Science and Technology Program of China (No. 96-738)

Zhao Tianxu male, was born in 1964, associate professor. His research interests are in IC manufacturability design and IC fault-tolerant.

Hao Yue male, was born in 1958, professor. His research focuses on microelectronics and semiconductor devices.

Ma Peijun male, was born in 1972. His research interests include IC design and failure identification.