

CMOS/SOI 4Kb SRAM 总剂量辐照实验

刘新宇¹ 刘运龙¹ 孙海锋¹ 吴德馨¹ 和致经² 刘忠立²

(1 中国科学院微电子中心, 北京 100029)

(2 中国科学院半导体研究所, 北京 100083)

摘要: 研究了 CMOS/SOI 4Kb 静态随机存储器的抗总剂量辐照性能. CMOS/SOI 4Kb 静态随机存储器采用 $1K \times 4$ 的并行结构体系, 其地址取数时间为 30ns, 芯片尺寸为 $3.6\text{mm} \times 3.84\text{mm}$; 在工作电压为 3V 时, CMOS/SOI 4Kb 静态随机存储器抗总剂量高达 $5 \times 10^5 \text{Rad(Si)}$, 能较好地满足军用和航天领域的要求.

关键词: CMOS/SOI 4Kb; SRAM; 抗总剂量辐照

EEACC: 2570D; 2570F

中图分类号: TN 432

文献标识码: A

文章编号: 0253-4177(2002)02-0213-04

1 引言

绝缘体上的硅(silicon-on-insulator, 简称 SOI)技术^[1], 以其独特的材料结构有效地克服了体硅材料的不足, 充分发挥了硅集成技术的潜力, 它被称为是“二十一世纪的硅集成电路技术”. SOI 技术与体硅技术相比具有如下特点: 无闩锁效应; 源、漏寄生电容小; 较为陡直的亚阈值斜率; 较高的跨导和电流驱动能力; 易于形成浅结和全介质隔离; 较好地抑制短沟道效应; 低压低功耗; 优良的抗辐照能力等. 这些特性都决定 SOI 技术在军事、宇航等要求高可靠、强抗辐照领域得到广泛应用。

1991 年, 美国 Harris 公司推出 $8K \times 8$ SOS CMOS SRAM^[2], 其存取时间为 50ns, 抗 SEU < 1×10^{-12} Errors/(Bit • Day), 抗剂量率 > $1 \times 10^{11} \text{Rad(Si)/s}$; 1996 年, Brady^[3] 等研制出 1Mb 全耗尽(FD)SOI SRAM; 1998 年, Liu^[4] 等研制出抗总剂量加固的 256K SOI SRAM. 为了满足我国宇航和国防事业的飞速发展, 根据我们的工艺状况和条件, 成功地研制了 CMOS/SOI 4Kb SRAM 电路. 该电路采用 $1.2\mu\text{m}$ SOI CMOS 抗辐照工艺技术, 其六管存储单元尺寸较小, 为 $12.8\mu\text{m} \times 8.4\mu\text{m}$, 芯片尺寸为: $3.6\text{mm} \times 3.84\text{mm}$.

本文主要对 CMOS/SOI 4Kb SRAM 进行总剂量辐照实验, 所研制的 CMOS/SOI 4Kb 静态随机存储器抗总剂量可达到 $5 \times 10^5 \text{Rad(Si)}$, 这是国内首次完成 CMOS/SOI 大规模集成电路的辐照研究; 本文第二部分对 CMOS/SOI 4Kb SRAM 电路和工艺研制进行了介绍; 第三部分对 CMOS/SOI 4Kb SRAM 进行抗总剂量实验并对实验结果进行分析.

2 CMOS/SOI 4Kb SRAM 研制

CMOS/SOI 4Kb SRAM 研制是在中国科学院微电子中心第一研究室的抗辐照亚微米 CMOS/SOI 工艺线上进行. CMOS/SOI 4Kb 静态随机存储器采用 $1K \times 4$ 的并行结构体系. 图 1 为它的电路功能图, 它由外围电路和存储单元两大部分组成. 外围电路主要包括地址缓冲器、I/O 缓冲器、ESD 电路、ATD 电路、译码器和控制电路等, 它共有 18 个端口, 分布在芯片的上下端, 其中 $A_1 \sim A_9$ 为地址端, $I/O_0 \sim I/O_3$ 为数据双向口, E_1 和 \bar{W} 为控制端. CMOS/SOI 4Kb 静态存储器的状态真值表见表 1, 其中, E_1 为低能信号维持端, 当 $E_1 = 0$ 时, 芯片处于低能维持态; \bar{W} 为读/写控制端, 当 $\bar{W} = 1$ 时, 芯片处于读状态, 当 $\bar{W} = 0$ 时, 芯片处于写状态. 其电路结构与 CMOS/SOI 64Kb 静态存储器基本相同, 都

刘新宇 男, 1973 年出生, 主要从事 PD/FDSOI 工艺、电路和抗辐照特性研究.

2001-02-15 收到, 2001-07-18 定稿

©2002 中国电子学会

采用 DWL(double-word-line) 结构。内部存储单元由 64 行 \times 64 列单元组成, 它包括 4 个相同的 32 \times 32 单元块、行译码器和主字译码器, 每单元块分为 2 个单元区、区选择电路和主灵敏放大器, 每区由 32 列 \times 16 行单元电路、预充电电路、写电路和第一级主灵敏放大器等组成。

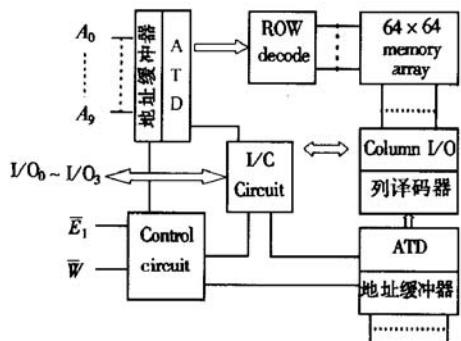


图 1 CMOS/SOI 4Kb 静态随机存储器的电路功能图

Fig. 1 CMOS/SOI 4Kb SRAM's functional diagram

表 1 CMOS/SOI 4Kb SRAM 的状态真值表

Table 1 Truth table of CMOS/SOI SRAM

E_1	W	Mode
0	\times	Low power standby
1	0	Read
1	1	Write

CMOS/SOI 4Kb 静态随机存储器采用 $1.2\mu\text{m}$ 单层多晶、二层金属的 SOI CMOS 抗辐照工艺^[5]。经过工艺投片, 我们获得 SOI 4Kb 静态随机存储器芯片(见图 2), 其性能基本达到国外同类产品的水平(见表 2), 可见我们的 CMOS/SOI 4Kb 静态存储器芯片的静态维持电流偏大, 这可能是由于我们的工艺过程中存在问题导致, 所获得 CMOS/SOI 4Kb 静态随机存储器的集成度为 42440 只晶体管, 有效芯片面积为 $3.6\text{mm} \times 3.84\text{mm}$ 。

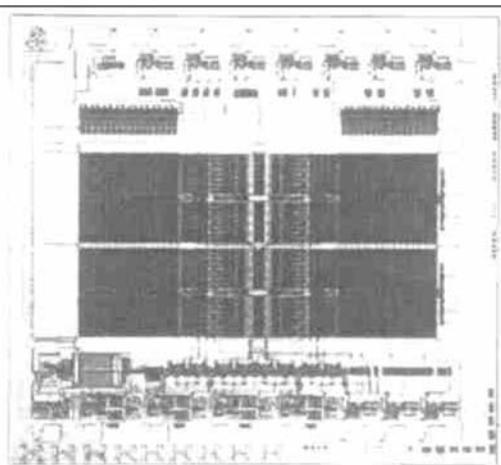


图 2 CMOS/SOI 4Kb 静态随机存储器芯片照片

Fig. 2 Photomicrograph of the chip

表 2 CMOS/SOI 4Kb 静态存储器芯片的性能测试

Table 2 Result of CMOS/SOI 4Kb SRAM

参数名称	符号	测试条件	测试结果
工作电压	V_{dd}		3.5~5.8V
静态维持电流	I_{ddsb}	$V_{dd}=5\text{V}, I_o=0\text{mA}, E_1=0\text{V}, V_i=V_{DD} \text{ or } GND$	1~2mA
工作电流	I_{dd}	$V_{dd}=5\text{V}, I_o=0\text{mA}, E_1=V_{dd}, V_i=V_{DD} \text{ or } GND, F_e=2\text{MHz}$	4mA
地址读取时间	T_{AVQV}	$V_{dd}=5\text{V}$	30ns
片选读取时间	T_{EILQV}	$V_{dd}=5\text{V}$	25ns
	T_{E2HQV}	$V_{dd}=5\text{V}$	25ns

在 HP82000 上进行电路性能测试, 芯片通过 Zero-One(全 “0” 和 “1”)、CheckerBoard、MASEST、MARCH C、WAKPAT 等项功能测试。在芯片处于 “read”(即 $E_1 = 0$ 和 $\bar{W} = 1$) 状态, 工作电压为 5V、驱动负载为 100pf 时, 数据读取时间为 30ns(见图 3(a))。

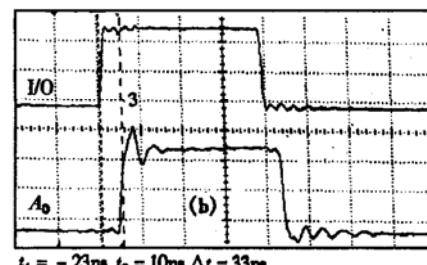
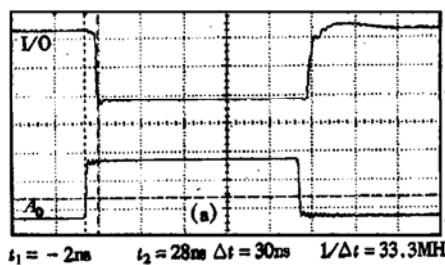


图 3 样品 3# 辐照前、后数据读出波形图 (a) 辐照前; (b) 辐照后

Fig. 3 Output waveform of sample 3# before & after radiation (a) Before radiation; (b) After radiation

3 CMOS/SOI 4Kb SRAM 抗辐照实验

CMOS/SOI 4Kb 静态随机存储器的 γ 射线辐照实验在中国科学院生物物理研究所的 Co 源上进行, 实验采用移位方式。辐射后的芯片特性测试在停止辐照后半小时以内进行, 完全符合美军 883 军标的要求。辐照时, CMOS/SOI 4Kb 静态随机存储器的工作电压为 3.5V, 所有输入输出端口均接地, 辐射的剂量率为 280Rad(Si)/s。辐照样品和辐照条件见表 3。

表 3 CMOS/SOI 4Kb SRAM 辐照样品和辐照条件

Table 3 Sample and condition of radiation

样品	工作电压 /V	总剂量 (Rad(Si))	测试条件
样品 1#	3	1×10^5	< 30min
样品 2#	3	3×10^5	< 30min
样品 3#	3	5×10^5	< 30min
样品 4#	5	1×10^5	20min、2h
样品 5#	5	3×10^5	20min、2h

经过辐照后, 在中国科学院微电子中心第一研究室进行测试发现, 样品 1# ~ 3# 芯片静态和动态功耗有所增加, 但其电学参数和功能均正常, 其中 Zero-One(全“0”和“1”)、CheckerBoard、MASEST、MARCH C、WAKPAT 等项功能测试良好。这说明我们所研制的 CMOS/SOI 4Kb 静态随机存储器抗总剂量基本达到 5×10^5 Rad(Si), 能较好地满足军用和航天领域的技术要求。图 3 给出样品 3# 辐照前后 CMOS/SOI 4Kb 静态随机存储器数据读出波形图。从图中可见, 样品 3# 辐照前数据读出时间为 30ns, 在辐照后数据读出时间为 33ns。通过计算, 样品 3# 辐照前后数据读出时间变化 10%, 基本上符合军用

抗辐照标准。另外, 样品 1# ~ 3# 芯片经过 10h 退火后, 静态和动态功耗均恢复辐照前指标; 样品 4# ~ 5# 芯片电学参数和功能均失效, 我们分析原因认为是由于芯片的静态功耗偏大, 在辐照下静态功耗进一步增加, 导致芯片烧坏。当辐照时工作电压下降到 3V(见样品 1# ~ 3#), 就可以有效地解决这个问题。

4 结束语

本文对 CMOS/SOI 4Kb SRAM 进行了 γ 射线辐照实验, CMOS/SOI 4Kb 静态随机存储器采用 $1\text{K} \times 4$ 的并行结构体系, 其地址取数时间为 30ns, 芯片尺寸为 $3.6\text{mm} \times 3.84\text{mm}$; 在工作电压 3V 时, 所研制的 CMOS/SOI 4Kb 静态随机存储器抗总剂量可达到 5×10^5 Rad(Si), 能较好的满足军用和航天领域的要求, 这是国内首次完成 CMOS/SOI 大规模集成电路的辐照研究。

参考文献

- [1] Colinge J P. Silicon-on-insulator technology: materials to VLSI. Boston: Kluwer Academic Publishers, 1991
- [2] Technology Handbook on HS-65647RH of Harris Corporation [美国 Harris 公司 HS-65647RH 技术手册]
- [3] Brady F T, Brown R, Rockett L. Development of a radiation tolerant 1M SRAM on fully-depleted SOI. IEEE Transactions on nuclear science, 1998, 45(6): 51
- [4] Liu S T, Jenkins W C, Hughes H L. Total dose radiation hard 0.35 μm SOI CMOS technology. IEEE Transactions on nuclear science, 1998, 45(6): 2442
- [5] Liu Xinyu. Investigation of CMOS/SOI 64Kb SKAM. PhD Dissertation of Microelectronics R&D Center, The Chinese Academy of Sciences, 2001[刘新宇. CMOS/SOI 64Kb 静态随机存储器研究. 中国科学院微电子中心博士学位论文, 2001]

Characteristics on Total-Dose of Radiation Hardness for CMOS/SOI 4Kb SRAM

Liu Xinyu¹, Liu Yunlong¹, Sun Haifeng¹, Wu Dexin¹, He Zhijing² and Liu Zhongli²

(1 Microelectronics R&D Center, The Chinese Academy of Sciences, Beijing 100029, China)

(2 Institute of Semiconductors, The Chinese Academy of Sciences, Beijing 100083, China)

Abstract: The study of total-dose of radiation hardness of CMOS/SOI 4Kb static RAM's is described. CMOS/SOI 4Kb SRAM adopts 1K×4 asynchronous system. So it achieves the fast access time of 30ns with chip size of 3.6mm×3.84mm. Total-dose radiation hardness is up to 5×10^5 Rad(Si) at 3V power supply.

Key words: CMOS/SOI 4Kb; SRAM; total-dose radiation hardness

EEACC: 2570D; 2570F

Article ID: 0253-4177(2002)02-0213-04

Liu Xinyu male, was born in 1973. He is engaged in the research on PD/FDSOI process, circuits and their radiation hardness characteristics.

Received 15 February 2001, revised manuscript received 18 July 2001

©2002 The Chinese Institute of Electronics