

# 复合栅控二极管新技术提取热载流子诱生的 NMOS/SOI 器件界面陷阱的横向分布\*

何 进 张 兴 黄 如 王阳元

(北京大学微电子研究所, 北京 100871)

**摘要:** 提出了用复合栅控二极管新技术提取 MOS/SOI 器件界面陷阱沿沟道横向分布的原理, 给出了具体的测试步骤和方法。在此基础上, 对具有体接触的 NMOS/SOI 器件进行了具体的测试和分析, 给出了不同的累积应力时间下的界面陷阱沿沟道方向的横向分布。结果表明: 随累积应力时间的增加, 不仅漏端边界的界面陷阱峰值上升, 而且沿沟道方向, 界面陷阱从漏端不断向源端增生。

**关键词:** SOI 技术; MOS 器件; 界面陷阱分布; 热载流子效应; 复合栅控二极管技术

**EEACC:** 2560R; 2550E; 2530

**中图分类号:** TN 386      **文献标识码:** A      **文章编号:** 0253-4177(2002)03-0296-05

## 1 前言

在 MOS 器件中, 测量热载流子诱生的界面陷阱是一项十分重要的工作, 它们严重地影响器件的稳定性和电路寿命。过去大都使用诸如 MOS 电容、亚阈电流、电荷泵等方法对界面陷阱进行研究<sup>[1,2]</sup>。大量的试验结果表明, 在小尺寸 MOS 器件中, 由热载流子诱生的高密度界面陷阱集中在靠近漏端的小范围区域内。在此情形下, 传统表征界面陷阱横向分布的方法是利用电荷泵。然而, 在测量过程中, 由于界面陷阱充放电引起的局部平带效应和局部亚阈电压效应, 使得电荷泵方法并不能准确而有效地表征界面陷阱的横向分布<sup>[3,4]</sup>。此外, 电荷泵方法还具有动态测量模式的周期长、数据处理复杂等缺点。可以说, 目前还没有简单而有效的方法可得到界面陷阱的横向分布。

最近, 正向栅控二极管的产生-复合(R-G)电流被用来表征 SOI 器件的界面陷阱并提取体载流子正向复合寿命<sup>[5~10]</sup>。与传统反向栅控二极管模式相

比, 正向栅控二极管不仅灵敏度高, 栅面积较小, 而且它的静态工作模式很容易被应用在标准半导体测试设备上。然而, 目前该方法一个主要缺点是它仅仅能够提供平均界面陷阱密度, 而不能表征界面陷阱的具体分布。

在本文中, 我们提出一种复合栅控二极管技术来提取因热载流子效应或者 F-N 应力诱生的界面陷阱密度的横向分布。下面的讨论中, 给出了该方法的基本原理并针对实际的 NMOS/SOI 器件对方法进行了验证。与其它分布提取技术如电荷泵方法相比, 本方法具有简单易行、灵敏度高、应用范围广等诸多优点。我们相信此技术在深亚微米器件领域和在线监测方面将会发挥重要作用。

## 2 测试原理和步骤

图 1 所示为 NMOS/SOI 的版图和测试所用的结构剖面图。复合栅控二极管技术的基本思路是: MOS 管中源端和体接触之间的结可以偏置成工作在亚阈区的一个正向栅控二极管, 其最大产生-复合

\* Motorola 和北京大学联合资助项目(合同号: MSPSDLCHINA-0004)

何进 男, 33 岁, 博士后, 目前研究方向为深亚微米 MOS 器件、功率 MOS 器件、深亚微米 MOS 新结构的设计和表征等。

张兴 男, 35 岁, 教授, 博士生导师, 研究方向为深亚微米 MOS 器件、工艺和 ASIC 设计。

2001-05-16 收到, 2001-09-11 定稿

© 2002 中国电子学会

速率由栅电压调制。同时,由漏端所加电压来调制沿沟道方向漏端区域的产生-复合速率。因此,具有体接触的正向栅控二极管电流大小将随漏电压以及由此引起的有效耗尽层长度的变化而变化。结果,此正向栅控二极管电流对漏压或者有效沟道长度的微分变化即代表了从漏端开始沿沟道长度方向上界面陷阱的分布。

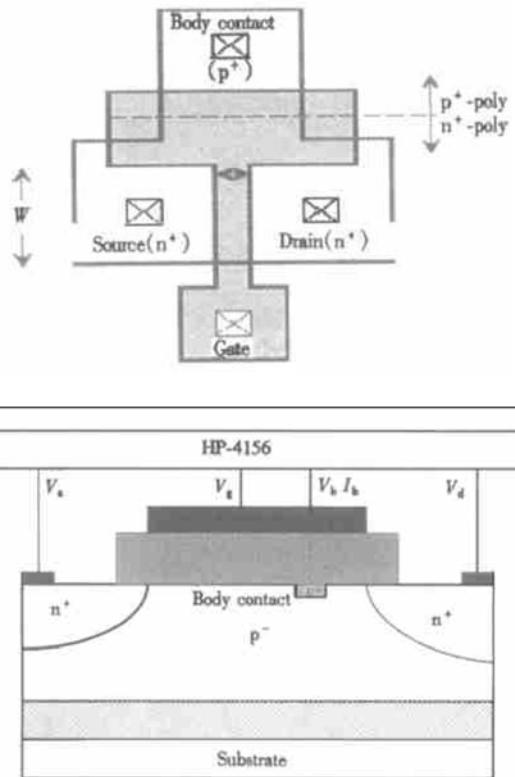


图 1 有体连接的 NMOS/SOI 版图和测试结构示意图

Fig. 1 Cross-section view of the SOI NMOSFET with the body contact and the combined gated-diode experimental setup using HP-4156 parameter analyzer

通过界面陷阱进行的产生-复合过程可以用 SRH 复合理论来说明。禁带中央单陷阱能级的复合速率  $R$  可以描述为:

$$R = N_{it}(x) F = N_{it}(x) v_{th} \sigma \frac{n_i p_i - n_i^2}{n_i + p_i + 2n_i} \quad (1)$$

式中  $v_{th}$  和  $\sigma$  分别表示电子热运动速率和俘获截面;  $F$  是由电压所调制的 R-G 电流因子。

$$F(V_i, x) = v_{th} \sigma \frac{n_i(x) p_i(x) - n_i^2}{n_i(x) + p_i(x) + 2n_i} \quad (2)$$

在栅控二极管的情形下,过剩载流子浓度和耗尽层边界位置都与二极管偏压以及栅偏压相关。所

以,界面陷阱 R-G 电流可以描述为:

$$I_{R-G}(V_i, x) = qW \int_{x_1}^{x_2} N_{it}(x) F(V_i, x) dx \quad (3)$$

式中  $W$  为耗尽区宽度。

扫描栅电压使得沟道表面从强积累到强反型,同时二极管偏压保持不变时,沟道表面势以及由此导致的过剩载流子数量都将发生显著变化。在此期间,二极管扩散电流变化并不明显,然而却将看到 R-G 电流起初会缓慢上升,在经历一个峰值以后最终又下降到一个不变值的过程。如公式(1)所描述,最大 R-G 复合速率,即  $\frac{\partial F(V_i, x)}{\partial n} = 0$  发生在:

$$n_i(x) = p_i(x) = n_i \exp \left[ \frac{qV_{b,s(d)}}{2kT} \right] \quad (4)$$

由此,最大 R-G 复合速率可以表示为:

$$F_{max} = \frac{1}{2} v_{th} \sigma \exp \left[ \frac{qV_{b,s(d)}}{2kT} \right] \quad (5)$$

当公式(5)为常数时,定义从  $x_1$  到  $x_2$  的距离,或者  $L_i = x_2 - x_1$  为有效耗尽层长度,我们可以将 R-G 电流峰值表示为:

$$I_{R-G(max)}(V_{g-peak}, V_j, L_i) = qW F_{max} \int_{x_1}^{x_2} N_{it}(x) dx \quad (6)$$

偏置条件为  $V_s = 0$ ,  $V_d = 0$ ,  $V_{b,s(d)} \leq 0.6V$ , 由于在沟道长度方向没有任何电势降落,所以  $F_{max}$  可以放到积分号外面。因此,整个沟道区域都满足公式(5),从而 R-G 电流峰值进一步表示为:

$$\begin{aligned} I_{R-G(max)}(L) &\approx I_{R-G}(V_{g-peak}, V_j, L_i) \\ &= qW F_{max} \int_{x_1}^{x_2} N_{it}(x) dx \end{aligned} \quad (7)$$

基于以上的讨论,对公式(7)微分可得到

$$N_{it}(x) = (qW F_{max})^{-1} \frac{dI_{R-G}}{dL_i} \quad (8)$$

对于偏置条件为  $V_s = 0$ ,  $V_d = 0$ ,  $V_{b,s(d)} = V_b(0.2V, 0.6V)$  的情况,沟道长度方向几乎没有电势降落。 $V_d$  偏置电压从零开始增大将耗尽漏端沿沟道方向的过剩载流子,  $F_{max}$  因子将指数减小,如公式(5)所示。所以,该区域对 R-G 电流的贡献可以忽略不计,  $F_{max}$  同样可以移到积分号外面。然而,使得公式(5)保持常数的有效耗尽层长度将随着  $V_d$  偏压的上升而减小,这是由于过剩载流子耗尽层长度变大造成的。因此, R-G 电流峰值将相应地减小。对 R-G 电流有贡献的有效耗尽层长度  $L_i$  可以表示为  $L_i = L - \sqrt{2\epsilon V_d / qn_i}$ ,  $L$  为沟道长度。利用这个关系式,界面陷阱的横向分布可以由公式(8)进一步改写成

$$N_{it}(x) = (qWF_{max})^{-1} \frac{dI_{R-G}}{dV_d} \left[ \frac{dL_i}{dV_d} \right]^{-1} \quad (9)$$

测试使用 HP-4156 半导体分析仪。测试分为四个主要步骤来完成。步骤一：每次施加应力前和应力结束后，偏置条件为  $V_s = V_d = 0$  和  $V_{b,s(d)} = V_b < 0.6V$  时，测量传统的 R-G 电流曲线以确定峰值  $V_{g-peak}$ ；步骤二：每次施加应力前和应力结束后，偏置条件为  $V_s = 0$ ,  $V_g = V_{g-peak}$  以及  $V_{b,s(d)} = V_b < 0.6V$  时，测量复合栅控二极管电流作为  $V_d$  函数的曲线；步骤三：由  $I_b-V_d$  曲线确定应力前后  $\Delta I_b-V_d$  曲线，以得到界面陷阱对 R-G 电流的净贡献；步骤四：由步骤三推导出沿沟道方向产生的界面陷阱分布。测量按照以上步骤逐步进行，为了获得应力前后器件的其它参数对比结果，在测试中也加入了其它常规测试。

### 3 结果和讨论

测试所用是带体接触的部分耗尽 NMOS/SOI 管。其有效沟道长度为  $15\mu m$ , 沟道宽度为  $20\mu m$ , 栅氧化层厚度为  $10nm$ .  $V_T$  注入能量为  $25keV$ , 剂量为  $4 \times 10^{12} cm^{-2}$ , 源漏区注入能量为  $70keV$ , 剂量为  $3 \times 10^{15} cm^{-2}$ . 热载流子应力试验条件为：偏置  $V_d = 10V$ ,  $V_g = 5V$  下分别施加应力从  $20, 50, 100$ , 直到  $8000s$ .

图 2 所示为测试用 MOS 管在不同应力时间后的输出特性曲线比较。在线性区，漏电流随应力时间有明显降低。这与受主类型界面陷阱的产生有关。这些陷阱很容易接受电子并成为低迁移率的散射中心。

图 3 所示为采用复合栅控二极管法测量所得的一组曲线。测量过程中固定二极管偏压  $V_b$  和栅极偏压  $V_{g-peak}$ ，只有  $V_d$  从零开始增加。测量所得的二极管电流包含了扩散电流、界面陷阱引起的 R-G 电流以及漏-体结反偏泄漏电流。与其它两种相比，后者可以忽略不计。而且，在一级近似下，扩散电流可以近似认为不变。在这种情形下， $I_b-V_d$  曲线就近似描述了随漏端偏压改变引起的界面陷阱对 R-G 电流贡献的变化。根据前面的理论结果， $I_b-V_d$  曲线可以转换成  $I_b-L_i$  曲线，如图 4 所示。为了得到净产生界面陷阱对 R-G 电流的贡献，从施加应力后的  $I_b-L_i$  曲线中减去了施加应力前的  $I_b-L_i$  曲线。

由得到的  $I_b-L_i$  曲线，我们可以提取热载流子诱

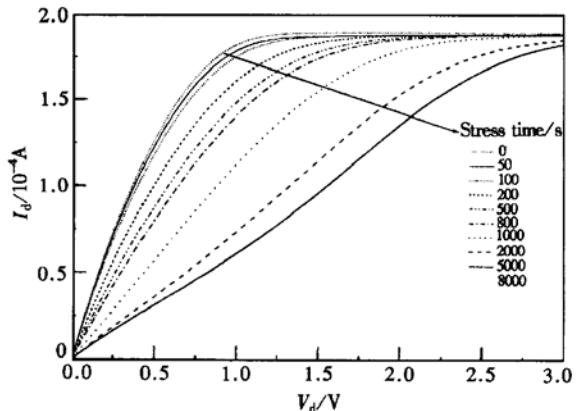


图 2 不同累计应力时间下的 SOI NMOSFET 输出特性曲线  
Fig. 2 Output characteristics of SOI NMOSFET under the different hot-carrier-stress condition

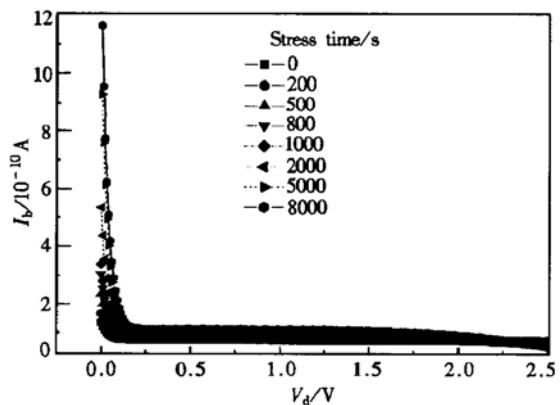


图 3 复合栅控二极管法得到的电流随漏端偏压的变化  
Fig. 3 R-G current peak versus the drain voltage obtained by the combined gated-diode method in the determination of the interface traps at the drain side

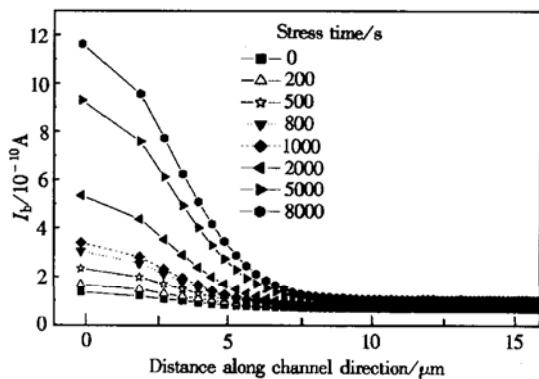


图 4 不同应力时间下提取出来的沿沟道二极管电流  
Fig. 4 R-G current peak along the channel under the different hot-carrier-stress condition

生的界面陷阱的横向分布,如图 5 所示。从这里还可以看到很多有趣的结果。首先,界面陷阱的横向分布在漏端呈现一个尖峰,而后向沟道区缓慢地减小。这个结果与电荷泵法得到的结果基本一致<sup>[3]</sup>。第二,随着累计应力时间的上升,界面陷阱的横向分布是缓慢地向体内延伸。累计应力时间越长,向体内延伸的距离也就越长。此结果表示了因热载流子效应导致的界面陷阱产生的动态过程,所以它可以被用来研究单个 MOS 器件或电路的退化机制。最后,沿沟道方向的最大界面陷阱密度随着累计应力时间的增加而显著上升。可以通过提取最大界面陷阱密度随应力时间的变化曲线来估计器件的可靠性和寿命。

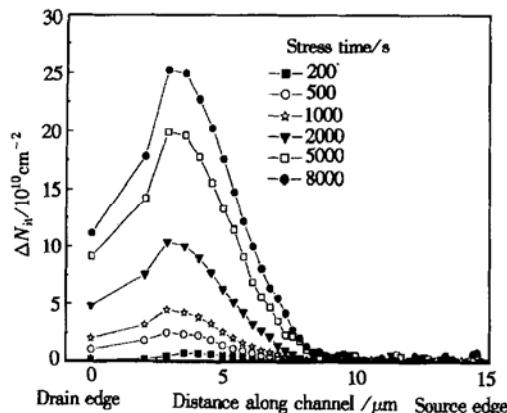


图 5 提取的应力产生界面陷阱沿沟道的横向分布

Fig. 5 Interface traps at the drain side determined by the combined gated-diode

## 4 结论

本文提出了利用复合栅控二极管提取 MOS 器件中由于热载流子诱生的界面陷阱横向分布的技术。此技术的原理是通过调制漏端偏置,测量正偏二极管的 R-G 电流的变化。给出了参数提取的试验步骤。在一个 NMOS/SOI 管上对界面陷阱分布的测试结果表明,诱生的界面陷阱密度从漏端向体内缓

慢地减小,在漏端边沿呈现一个显著的峰值。这个结果与电荷泵法得到的结果基本一致。

## 参考文献

- [1] Pacelli A, Lacaita A L, Villa S. Reliable extraction of MOS interface traps from low frequency C-V measurements. IEEE Electron Device Lett, 1998, 19: 148
- [2] Wang Tahui, Chiang Luping, Zous Niankai, et al. Characterization of various stress-induced oxide traps in MOSFET by using a subthreshold transient current technique. IEEE Trans Electron Devices, 1998, 45: 1792
- [3] Ling C H, Tan S E, Ang D S. A study of hot carrier degradation in NMOSFET's by gate capacitance and charge pumping current. IEEE Trans Electron Devices, 1995, ED-42: 1321
- [4] Balestra F. Impact of device architecture on performance and reliability of deep submicron SOI MOSFETs. Chinese Journal of Semiconductors, 2000, 21: 937
- [5] He Jin, Zhang Xing, Huang Aihua, et al. Numerical analysis of characterized back interface traps of SOI devices by R-G current. Chinese Journal of Semiconductors, 2000, 21: 1145
- [6] He Jin, Zhang Xing, Huang Ru, et al. Gated-diode recombination-generation current: a sensitive tool for characterizing bulk traps of SOI devices. Chinese Journal of Electronics, 2001, 10: 321
- [7] He Jin, Zhang Xing, Huang Ru, et al. Dependence of R-G current of the forward gated-diode on bulk trap characteristics and silicon film structure parameters. Chinese Journal of Semiconductors, 2001, 22: 18
- [8] He Jin, Huang Aihua, Zhang Xing, et al. Forward gated-diode monitoring of F-N stress-induced interface traps of NMOSFET/SOI. Chinese Journal of Semiconductors, 2001, 22: 957
- [9] He Jin, Zhang Xing, Huang Ru, et al. Channel lateral pocket region of NMOSFET characterized by interface state R-G current of the forward gated-diode. Chinese Journal of Semiconductors, 2001, 22: 826
- [10] He Jin, Zhang Xing, Huang Ru, et al. Application of forward gated-diode R-G Current method in extracting F-N stress-induced interface traps in SOI NMOSFETs. Microelectronics Reliability, in press.

# A Novel Combined Gated-Diode Technique for Extracting Lateral Distribution of Interface Traps in SOI NMOSFET<sup>\*</sup>

He Jin, Zhang Xing, Huang Ru and Wang Yangyuan

(Institute of Microelectronics, Peking University, Beijing 100871, China)

**Abstract:** A novel combined gated-diode technique for extracting the lateral distribution of interface traps in SOI NMOSFET is presented. The key of this technique lies in the recombination-generation (R-G) current peak origination from the interface trap recombination is being modulated by the drain voltage of the combined forward gated-diode architecture. The extraction principle is introduced in detail and the extraction procedure is also erected. The experimental results qualitatively show that the induced interface traps gradually decrease from the drain and source edges to the channel region while showing the highest value near both edges SOI in NMOSFET.

**Key words:** SOI; MOS device; interface trap distribution; hot carrier effect; gated-diode method

**EEACC:** 2560R; 2550E; 2530

**Article ID:** 0253-4177(2002)03-0296-05

\* Project supported by Motorola CPTTL (No. MSPSDDLCHINA-0004)

He Jin male, 33, post-doctoral researcher. His current research interests focus on the deep sub-micron SOI device optimum and characterization and new MOS-based power devices.

Zhang Xing male, 35, professor. He has been working in the area of sub-micron CMOS/SOI process, simulation and design of ASICs since 1986.