

# 应用于非破坏性读出铁电存储器的 MFIS FET 制备及其特性\*

颜 雷 林殷茵 汤庭鳌 黄维宁 姜国宝

(复旦大学微电子所 ASIC 和系统国家重点实验室, 上海 200433)

**摘要:** 将  $ZrO_2$  和 PZT 的 sol-gel 薄膜制备技术应用到非破坏性读出铁电存储器中, 制作出应用 Al/PZT/ $ZrO_2/p\text{-Si}$  结构的 MFIS 电容和单管 MFIS FET, 研究了 MFIS 电容的界面和存储窗口特性, 结果表明  $ZrO_2$  介质阻挡层和 Si 衬底以及 PZT 的附着良好, 在  $\pm 5V$  测试电压、 $1MHz$  测试频率下, 存储窗口电压为  $2.6V$  左右, 与相应的铁电薄膜的正、负矫顽电压差值的比为 0.8. 对于宽长比为  $500\mu\text{m}/50\mu\text{m}$  器件, 采用栅极与源极、漏极写入方式,  $\pm 10V$  时在写入电压下得到理想的输入-输出特性; 小尺寸的  $40\mu\text{m}/8\mu\text{m}$  器件在  $\pm 5V$  写入电压下特性较好.

**关键词:** MF(I)S 铁电存储器; 不挥发铁电存储器; 不挥发非破坏性读出; 铁电薄膜

**EEACC:** 2860; 2610F

**中图分类号:** TN432; TN384

**文献标识码:** A

**文章编号:** 0253-4177(2002)03-0301-04

## 1 引言

非破坏性读出(NDRO)铁电存储器是采用铁电材料作为晶体管的栅介质, 铁电材料的极化状态将对源、漏间的电流起调制作用, 依靠电流明显的变化来读、写信息<sup>[1]</sup>. NDRO 铁电存储器具有非挥发性和抗辐射性, 功耗低, 写操作次数高, 可达 100 亿次, 不必重写, 不需反转, 不易疲劳等特点, 因而读操作次数高, 不需增加读出后使状态返回的电路, 因此可以做到器件结构更加简单, 体积更小, 集成度更高<sup>[2-5]</sup>. 但是, 铁电材料与半导体材料直接接触时会产生界面效应而使器件失效, 这一问题长期以来没有得到解决. 90 年代以来, 这方面的研究取得了进展, 一方面采用非氧化物铁电体氟化钡镁( $BaMgF_4$ )制作 MFS FET 的栅极材料以克服其界面态<sup>[6]</sup>, 或是改进工艺条件抑制界面反应, 如用  $LiNbO_3$  制作栅极材料并获得了读、写性能<sup>[7]</sup>, 另一方面在铁电层和半导体材料之间插入阻挡层介质以形成 MFIS 结构来克服界面效应<sup>[8]</sup>. 自此, NDRO 铁电存储技术

成为集成铁电学领域新的研究热点. 但迄今为止, 还没有实用的 NDRO 铁电存储器研制成功, 国际上还处于存储单元特性研究、关键工艺技术攻关阶段<sup>[9]</sup>.

本文将  $ZrO_2$  与 PZT 的 sol-gel 制备技术应用于 MFIS FET 器件的制作中, 并且对它们的特性进行了测试分析. 在器件尺寸比较小(宽长比为  $40\mu\text{m}/8\mu\text{m}$ )的情况下得到了比较好的输入-输出特性; 在器件尺寸比较大的情况下, 得到了比较理想的 MFIS FET 输入-输出特性曲线.

## 2 Al/PZT/ $ZrO_2/p\text{-Si}$ 结构的 MFIS FET 器件制备工艺和测试方法

选用电阻率为  $6\sim 8\Omega \cdot \text{cm}$  的 P 型(100)Si 为衬底片, 采用 sol-gel 方法制备  $ZrO_2$  介质层和 PZT 铁电薄膜, 最后蒸发 Al 作为布线和背电极, 整个制备工艺如图 1 所示.

首先 P 扩散, 制备 S、D 有源区, 如图 1(a)所示; 而后在衬底片上旋涂质量百分比为 3.5% 的丙醇锆的二-甲氧基乙醇, 转速为  $3000\text{r}/\text{min}$ , 将片子经过

\* 国家自然科学基金、上海 AM 基金、国防科技预研基金、博士点基金资助项目

2001-04-26 收到, 2001-11-10 定稿

©2002 中国电子学会

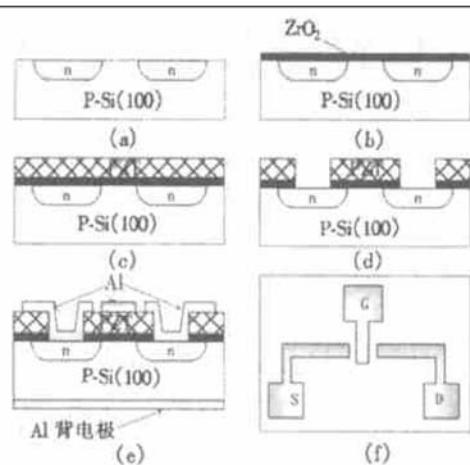


图 1 MFIS FET 制备工艺流程示意图

Fig. 1 Process flow of the MFIS FET

250°C、10min 烘干, 500°C、15min 烧结处理, 再将片子推入 800°C、氧气气氛扩散炉中退火 60min, 最后制备的  $\text{ZrO}_2$  厚度大约为 21nm, 如图 1(b) 所示; 在  $\text{ZrO}_2$  薄膜上采用 sol-gel 方法制备厚度为 160nm 的 PZT (110/50/50) 铁电薄膜, PZT 退火条件为 675°C、氧气气氛扩散炉中退火 30min, 如图 1(c) 所示; 采用湿法腐蚀 S、D 区引线孔中的 PZT, RIE 刻蚀  $\text{ZrO}_2$  薄膜如图 1(d) 所示; 最后蒸发 Al 上电极, 湿法腐蚀 Al 布线, 而后蒸发 Al 背电极, 如图 1(e) 所示。最后制备的 MFIS FET 平面图如图 1(f) 所示。

采用类似的工艺制备 MFIS 电容并研究其 C-V 特性, 所制备的 MFIS 电容的结构如图 2 所示。上电极的面积为  $100\mu\text{m} \times 100\mu\text{m}$ 。

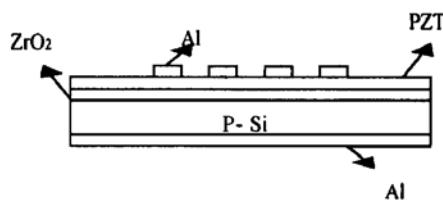


图 2 MFIS 结构示意图

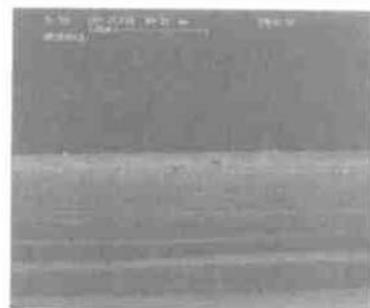
Fig. 2 Schematic diagram of MFIS with Al/PZT/ $\text{ZrO}_2$ /Si structure

采用自制的 MFIS FET 输入-输出特性测试仪测试 MFIS FET 的输入-输出特性。采用 MDC/RM-1600 半导体参数测试仪测量 MFIS 电容的 C-V 特性。

### 3 MFIS FET 分析及其特性测试

#### 3.1 SEM 分析

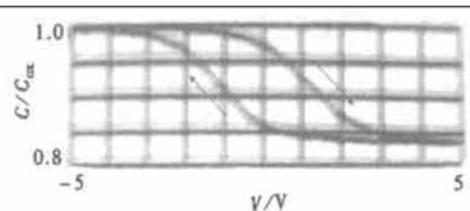
我们首先对 PZT、 $\text{ZrO}_2$ 、Si 衬底之间的黏附性进行了 SEM 分析, 如图 3 所示。图中我们可以看出, 采用  $\text{ZrO}_2$  作为 PZT 和 Si 之间的介质层可以将 PZT 和 Si 衬底良好地黏附在一起。

图 3 PZT、 $\text{ZrO}_2$  和 Si 衬底结构剖面图Fig. 3 SEM micrograph of the cross section of the PZT/ $\text{ZrO}_2$ /Si structure

#### 3.2 MFIS 结构的 C-V 特性

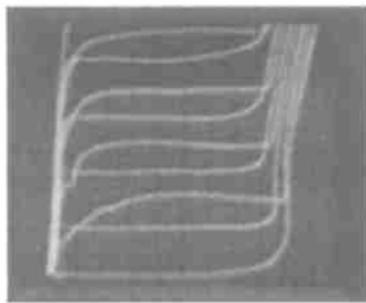
在 MFIS FET 器件中, MFIS 结构(即栅极和背电极之间的电容结构)的 C-V 特性是器件性能的一个重要的指标。在较低的工作电压下, 它的存储窗口电压越大, 器件的性能越好。这里的存储窗口电压是指 MFIS 结构电容值相等的正向电容曲线和反向电容曲线之间的电压差<sup>[10]</sup>。

我们对制备的 MFIS FET 栅极和背电极电容 C-V 特性进行了测试分析, 在  $\pm 5\text{V}$  测试电压、1MHz 测试频率下, 经优化工艺制作的 MFIS 电容结构的存储窗口为 2.6V 左右, 与相应的铁电薄膜的正、负矫顽电压差值的比为 0.8, 其 C-V 特性如图 4 所示。C-V 曲线变化的方向为逆时针方向, 这是由于当电压由  $-5\text{V}$  向  $+5\text{V}$  扫描时, 铁电薄膜产生了极化, 当电压值小于铁电薄膜的矫顽电压值时, 极化强度方向由垂直衬底指向上电极方向, 因此硅表面要从多数载流子积累状态转向耗尽和反型状态, 必须首先克服矫顽电压以克服极化的影响, 因此 C-V 曲线会向右偏移。类似地, 当电压由  $+5\text{V}$  向  $-5\text{V}$  回扫时, C-V 曲线会向左偏移。

图 4 MFIS FET 的  $C$ - $V$  特性Fig. 4  $C$ - $V$  curve of the MFIS capacitor

### 3.3 示波器测试 MFIS FET 器件的特性

对于一般的 MOS 器件, 在相同的栅极电压下, 其输入-输出特性曲线只有一条, 而 MFIS FET 由于铁电薄膜极化方向和强度的不同, 其特性有两条。我们首先采用示波器对 MFIS FET 的输入-输出特性进行测试, 宽长比为  $500\mu\text{m}/50\mu\text{m}$  的 MFIS FET 的输入-输出特性如图 5 所示。

图 5 示波器测试 MFIS 输入-输出特性图  
MFIS FET 宽长比为  $500\mu\text{m}/50\mu\text{m}$ 。Fig. 5 Input-output characteristics of the  $500\mu\text{m}/50\mu\text{m}$  ( $W/L$ ) MFIS FET

### 3.4 MFIS FET 不同写入电压下的输入-输出特性

我们采用写入电路对 MFIS FET 存储状态进行初始化, 图 6 为采用栅极和源漏极写入方式得到的输入-输出曲线, 器件宽长比为  $500\mu\text{m}/50\mu\text{m}$ 。

MFIS FET 是采用铁电薄膜的极化状态来调制源、漏之间的电流, 利用电流明显增大或减小的状态来读出存储信息。因此, 这里对所制作的器件在不同极化状态下输入-输出特性进行了研究。

实线为在栅极和源漏极加上+ 10V 电压, 即写入‘1’时; 虚线为写入电压为- 10V 电压, 即写入‘0’时, 其不同的输入-输出特性曲线。在相同的栅极电压偏压下, 写入状态不同, 其输出电流差别很大, 表明器件的存储性能很好。

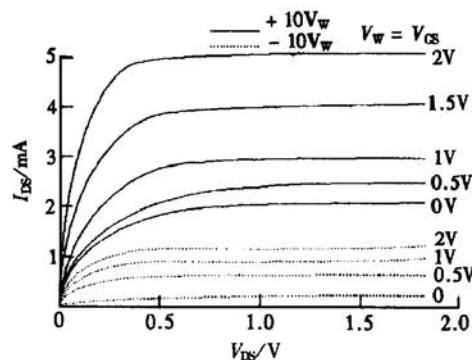
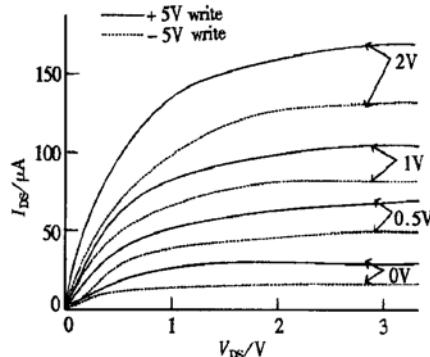
图 6 宽长比为  $500\mu\text{m}/50\mu\text{m}$  的 MFIS FET 的输入-输出特性Fig. 6 Input-output curves of the  $500\mu\text{m}/50\mu\text{m}$  ( $W/L$ ) MFIS FET

图 7 为器件宽长比为  $40\mu\text{m}/8\mu\text{m}$  MFIS FET 采用栅极和源漏极写入方式得到的输入-输出特性曲线。器件的写‘1’和写‘0’方式输出电流的区别比较大, 说明其存储特性较好。

图 7 宽长比为  $40\mu\text{m}/8\mu\text{m}$  的 MFIS FET 的输入-输出特性Fig. 7 Input-output curves of the  $40\mu\text{m}/8\mu\text{m}$  ( $W/L$ ) MFIS FET

## 4 结论

本文首先提出了 Al/PZT/ZrO<sub>2</sub>/p-Si 结构的不挥发非破坏性读出铁电存储器工艺, 相对于其它方法制备工艺简单实用, 特别适用于实验室制备。并对制备的铁电存储器的基本特性进行了测试分析, 宽长比为  $500\mu\text{m}/50\mu\text{m}$  和  $40\mu\text{m}/8\mu\text{m}$  的器件都得到了比较好的输入-输出特性。

但是, MFIS FET 存储器件依然处于实验室制备和研究阶段, 对于 MFIS FET 存在着的问题有待于进一步解决。我们相信随着铁电材料和介质材料

特性的进一步改善, 不挥发非破坏性铁电存储器 MFIS FET 最终会实用化.

## 参考文献

- [ 1 ] Wu Shuyan. IEEE Transactions on Electron Devices, 1974, ED-21(8): 500
- [ 2 ] Larsen P K, Cuppens R, Spierings G A C M. Ferroelectrics, 1992, 128: 265
- [ 3 ] Scott J F, Araujo C A. Science, 1989, 146: 1400
- [ 4 ] FM24C16 FRAM Memory Datasheet, Ramtron International Corporation, Colorado Springs
- [ 5 ] Atmel 2-Wire Serial EEPROM Datasheet, Atmel Corporation, 1998
- [ 6 ] Aizawa K, Ishiwara H. Jpn J Appl Phys, 1994, 33: 5178
- [ 7 ] Kim K H. IEEE Electron Device Letters, 1998, 19(6): 204
- [ 8 ] Baginskii I L, Erkov V G, Kostsov E G, et al. Thin Solid Films-Electronics and Optics, 1991, 202: 191
- [ 9 ] Kim K H, Lee S W, Lyu J S, et al. J Korean Phys Soc, 1998, 32: 1506
- [ 10 ] Yan Lei, Tang Tingao, Huang Weining, et al. Chinese Journal of Semiconductors, 2000, 21(12): 1203[ 颜雷, 汤庭鳌, 黄维宁, 等. 半导体学报, 2000, 21(12): 1203]

## Fabrication and Properties of MFIS FET for NDRO Ferroelectric Memory Application<sup>\*</sup>

Yan Lei, Lin Yinyin, Tang Tingao, Huang Weining and Jiang Guobao

(ASIC & System State Key Laboratory, Institute of Microelectronics, Fudan University, Shanghai 200433, China)

**Abstract:** The sol-gel technology of ZrO<sub>2</sub> and PZT thin film growth is applied to the fabrication of the MFIS FET for NDRO ferroelectric memory. The MFIS capacitor of Al/PZT/ZrO<sub>2</sub>/p-Si structure and MFIS FET prototype device are fabricated. The memory window properties and interface of the MFIS capacitor are investigated. It is indicated that the ZrO<sub>2</sub> thin layer have good adherence both to the PZT thin film and the Si substrate. The memory window is about 2.6V when the applied voltage sweeps from -5V to +5V, and the ratio of the memory window to the different value between the positive and negative coercive voltage of the ferroelectric thin film is about 0.8. The MFIS FET with 500μm/50μm size showed the perfect input-output characteristics when the ±10V write voltage was applied between the gate and the source or the drain. The MFIS FET with small size (40μm/8μm) also has good input-output characteristics.

**Key words:** metal/ferroelectric/ (insulator) /semiconductor ferroelectric memory; nonvolatile ferroelectric RAM; nonvolatile and nondestructive read-out; ferroelectric thin film

**EEACC:** 2860; 2610F

**Article ID:** 0253-4177(2002)03-0301-04

\* Project supported National Nature Science Fundation of China(69876008), Fundation of Applied Material of Shanghai, Pre-Study Project of National Defense Technology Program of Doctoral Fundation