

新型双环路电流型压控振荡器

王 钊 刘 飞 吉利久

(北京大学微电子所, 北京 100871)

摘要: 基于电流环振结构, 同时应用了负延迟前接机制, 实现了一种新型的双环路电流型压控振荡器结构, 不仅提高了压控振荡器的振荡频率, 而且也优化了噪声特性。设计采用 $1.2\mu\text{m}$ 上海贝岭 Bsim CMOS 工艺参数, 利用 Cadence Spectre 工具仿真。仿真结果表明, 新结构与其他结构相比在频率特性上有近 200MHz 的提高, 噪声特性方面则有明显改进, 偏移中心频率 100kHz 处的相位噪声为 -75dbc/Hz 。

关键词: 负延迟机制; CMOS; 压控振荡器; 相位噪声

EEACC: 1230B; 7250E

中图分类号: TN 782

文献标识码: A

文章编号: 0253-4177(2002)03-0305-06

1 引言

随着集成电路的不断发展, 时钟电路在通讯、微控制系统中的应用愈来愈广泛。特别是在目前方兴未艾的无线接收器中的前端 RF(radio frequency) 电路中举足轻重。压控振荡器(VCO)作为频率合成电路中的重要部件, 在实际应用中对频率和噪声特性的要求越来越高。

近年来, 很多新型的振荡电路结构相继涌现, 由传统的简单反相器环振转向差分单元组成的振荡器^[1~3], 大大改善了噪声特性。特别是对压控振荡器中重要的噪声源——电源噪声的抑制能力明显增强。目前, LC 型压控振荡器^[4~6]也倍受关注, 特别是在频率进入上 GHz 的锁相环电路, 被普遍采用。这种振荡器不仅输出频率高, 而且噪声特性也很好, 目前面临的问题在于它所采用的工艺与传统的 CMOS 工艺不兼容, 特别是电感的制造方面困难, 从而使它的应用极大受限。电流型振荡器也被提出应用于频率合成器, 其对电源噪声也有优良的抑制特性, 而且结构也十分简单, 一级电流环振单元仅由三个 MOS 管就可实现, 满足了现代通讯发展的低成本、高集成度等要求。

在这种简单的电流环振结构的基础上, 引入了负延迟的机制。本文提出了新型双环路的电流型振

荡器结构, 在振荡频率上有极大提高, 同时根据电源噪声机理, 进一步优化了振荡器的噪声特性。

本文的第二部分着重新型的双环路振荡器电路结构的描述; 第三部分讨论了压控振荡器中噪声问题, 并指出了本文中压控振荡器的优化侧重点; 第四部分给出了电路的仿真结果, 包括 F-V 特性、频谱特性以及相位噪声特性, 结果表明频率特性和噪声特性都有明显改善; 第五部分分析了这种压控振荡器在频率合成器中的应用; 第六部分总结了新型压控振荡器的性能。

2 电路结构

传统的电流型环振是由多级电流反相器^[7]组成, 级数应为奇数级。然后, 依靠简单 CMOS 电流镜将各级连接起来, 从而构成环振。结构简单、对电源电压噪声的抑制能力很强是这一结构的主要优点。但随着无线通讯的发展, 为了提高频率和进一步改善其噪声特性, 这里提出了这种新型的双环路振荡结构。

图 1(a) 中给出了新型的双端输入电流环振单元原理图。电流型反向器的首要特点是以电流信号来体现反向特性, 即输入小电流信号时, 输出大电流信号; 反之, 输入大电流, 输出则为小电流。由此, 这种电路结构也被称为电流减法器。通过简单电流镜

连接的方法可以很方便形成级联。与传统的单端电流反相器相比较，这种双端电流反相器则是在输入端增加了另一并联的 NMOS 管作为第二输入。

对环振频率的控制作用是通过调节电流反相器中被减电流量来实现的，这一电流则是通过一简单的电压-电流转换电路而得到的，如图 1(b) 所示。通过对电流镜的分析可以知道，控制电压 V_c 越大，被减电流量就越大，从而电流反相器中的环振电流就增大，节点间的充放电速度越快，电流反相器的延迟就越小，输出的频率会增大。整个环振的周期最终取决于每级电流反相器转换时间。

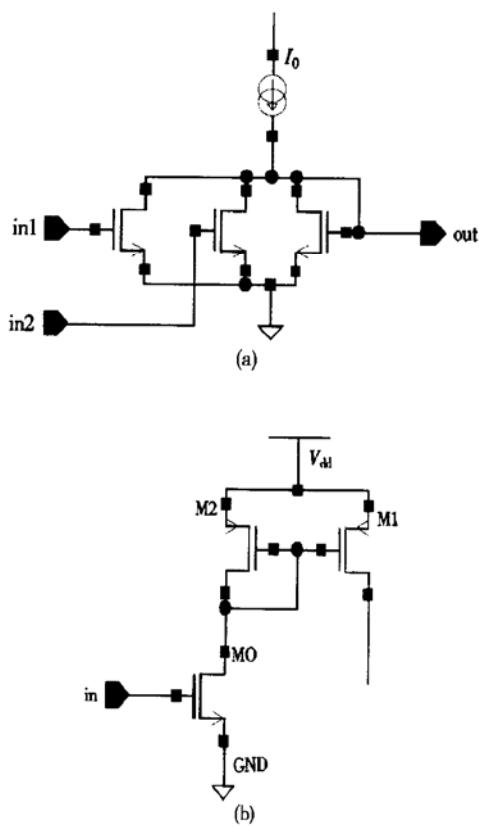


图 1 (a) 双端输入的电流反相器; (b) 电压-电流转换电路

Fig. 1 (a) Two-input current inverter; (b) Voltage-to-current convertor

图 2 给出了双环路框图，加黑的线条描述了主环路，细线条描述了副环路，如果除去主环路来看，副环路则是与主环路一样的五级电路环振。在传统的电压型反相器环振中，环振的频率应为 $1/(2NT)$ ，其中 T 是一级反相器的延迟时间， N 是环振的级数，在电流反相器环振中也是类似的。每一级反相器的最小延迟取决于所用的工艺。但本文中振

荡器的两环路通过交叠连接而形成了前接导通机制，使每级反相器的第二输入管——即放电管 NMOS 的栅电压提前两级充放电。从环路效果看，相当于使每一节点的导通提前了两级电流反相器延迟，因此有效减小了每一级电流反相器的延迟，从而提高了整个环振的频率。因为其单个反相器延迟比最简单电流反相器的延迟还小，所以也被称为负延迟环振^[8]。

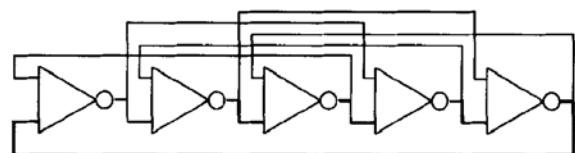


图 2 双环路结构框图

Fig. 2 Dual-path ring topology

双环路的另一优势体现在扩大了压控振荡器的频率范围。线性范围也是压控振荡器的重要性能参数，更大的线性范围增强了整个锁相环路的收敛性。一方面，从环路引入的负延迟机制提高了环振频率的上限；另一方面，传统环路保证了环振频率的下限不变，故整个频率范围得到展宽。

3 噪声分析

噪声特性是评价一个压控振荡器的重要指数，一般用 jitter 来加以描述。Jitter 是指当压控振荡器工作在稳定状态时输出频率在中心频率附近的相位抖动。在具体描述中，主要有三种 jitter 描述方式：长周期 jitter (long-term jitter)、周期 jitter (cycle jitter)、周期间 jitter (cycle-to-cycle jitter) 和峰峰值 jitter (peak-to-peak jitter)。长周期 jitter 是绝对的 jitter，即鉴相器两输入间的相差，如图 3(a) 中所示，能方便地把握整体特性，其缺点是没有包含动态相

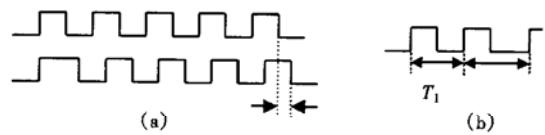


图 3 (a) 长周期 jitter 描述; (b) 周期间 jitter 描述

Fig. 3 (a) Long-term jitter; (b) Cycle-to-cycle jitter

抖动信息；周期 jitter 和周期间 jitter 是都能用来描述相抖动的动态特性，两者的区别在于前者是每一周期与平均周期间的差的方均根，而后者则是与相

邻的下一个周期间的差,如图3(b);峰峰值 jitter 则是指最大周期和最小周期间的差值,因其无法精确确定,所以一般表述为小于某值,可以通过频谱分析仪测得.在本文中,我们采用了峰峰值 jitter 作为评价频率合成器的指数.

噪声的来源主要在三个方面:输入噪声、器件噪声及电源噪声.大致可归纳为两类:高频噪声和低频噪声.按噪声源来分又可分为两类:器件噪声和干扰噪声.热噪声(也称 Johnson 噪声)、 $1/f$ 噪声(也叫闪烁噪声)、散粒噪声都属前者,而衬底噪声、电源噪声都属后者.其中,电源噪声和器件中的热噪声则是影响最大的两个噪声源.前者一般表现为低频噪声,后者则多为高频噪声.电源噪声是由于锁相环所处的整个系统在运行高峰期大幅度地充放电而导致的,与系统实际运行的负荷量有关.抑制的办法有:引入电压调节器和采用对电源噪声抑制能力强的环振结构.热噪声线性依赖于温度,这一点也体现出减小压控振荡器功耗与相位噪声之间的息息相关.像输入噪声和器件本身的噪声多表现为高频噪声,虽然这些噪声源的影响可以通过对整个锁相环环路的优化设计来减小,即针对环路中的低通滤波器的设计来抑制,但同时对敏感部件 VCO 的器件具体尺寸设计,增强 VCO 自身的噪声抑制能力也极为重要.

为优化器件噪声,进一步考虑了器件的工作状态.根据其工作特性,环振电路一般可分为饱和类和非饱和类.在非饱和类环振中,延迟单元中的 MOS 器件主要工作在线性区,其电压摆幅也不足,在振荡过程中,所有的 MOS 管经常同时处在开启状态,存在长通的泄漏电流.基于线性区模型分析可知,这种非饱和区环振的相位噪声特性很差^[9].然而,工作在饱和区类的环振电路中的器件则体现出开关的特性,噪声特性更好.基于新的热电流开关理论^[10],把噪声源等效为热噪声电流源,分析可知,热噪声功耗遵循下列等式:

$$P_{\text{noise}} = \frac{\Delta T}{T} \times \frac{4kTR}{1 + (2\pi f_m RC)^2}$$

式中 T 是环振周期; ΔT 是延迟单元全通时间; f_m 是距载波的偏移频率; RC 是延迟单元一级模型时间常数.可见,通过对压控振荡器中具体器件的尺寸设计,减小开关时间 ΔT ,就可实现对热噪声的优化.后面的仿真结果表明对这方面优化很有必要.

4 仿真结果

本文中基于 $1.2\mu\text{m}$ 上海贝岭 Bsim CMOS 模型,采用 Cadence Spectre 工具仿真.仿真结果表明,新型双环路压控振荡器的频率特性有大幅度提高.图 4 给出了这种压控振荡器的输出波形,最高频率为 787MHz ,结果表明带有负延迟环路的双压控振荡器的振荡频率有近 200MHz 的提高.为了实现时钟信号,这一输出还需波形整形电路和输出 Buffer 来实现一定的驱动能力.为达到 50% 的占空比,一般是通过一级二分频来实现,所以最终形成的频率合成器的输出频率则为压控振荡器的一半.

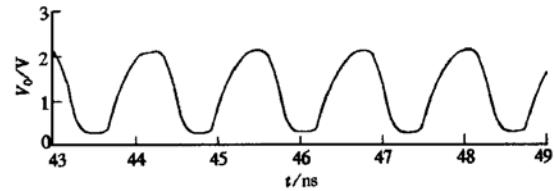


图 4 压控振荡器振荡波形(@ 787MHz)

Fig. 4 Output waveform of the VCO

图 5 是双环路电流型压控振荡器的 $F-V$ 特性,可以看出优良的线性特性,频率范围为 $254\sim 667\text{MHz}$,对应的控制电压为 $1.5\sim 3\text{V}$, 3V 以后频率渐趋饱和.压控振荡器的线性范围宽度对锁相环路的收敛至关重要,特别是在多频率输出、可编程类的锁相环应用中一般要求更大的线性范围.图 6 给出了压控振荡器功耗与频率的关系,可以看出近似成线性关系,则功耗延迟积近似为一常数.

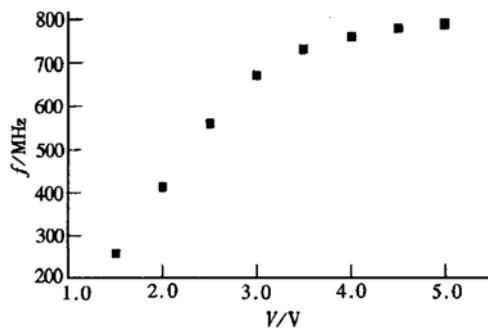


图 5 压控振荡器的 $f-V$ 特性

Fig. 5 $f-V$ characteristic of the VCO

图 7 则是压控振荡器的频谱特性,这里的中心频率为 350.5MHz ,图 8 是压控振荡器振荡的中心

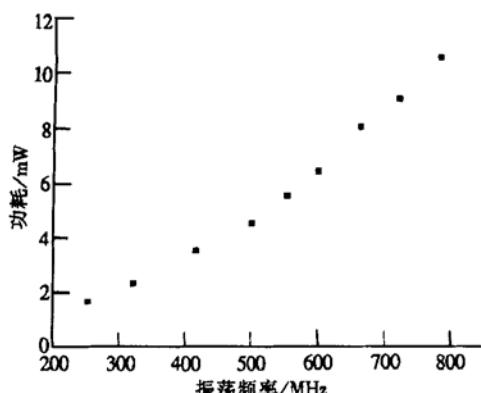


图 6 功耗特性

Fig. 6 Power consumption characteristic

频率到偏移中心频率 0.5MHz 之间的相位噪声特性, 在偏移中心频率 100kHz 处的相位噪声为 $-75\text{dbc}/\text{Hz}$, 与噪声优化前相比有很大提高。此处中心频率仍为 350.5MHz(仿真中采用了 0.1V 的交流噪声源)。

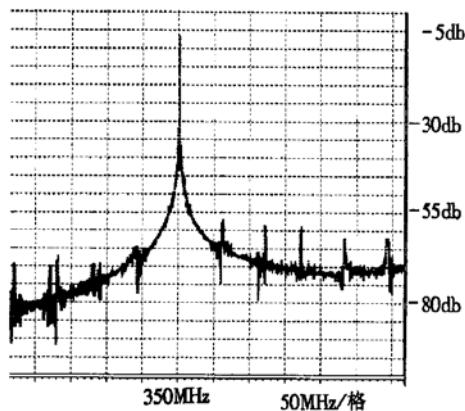


图 7 频谱特性

Fig. 7 Spectral characteristic

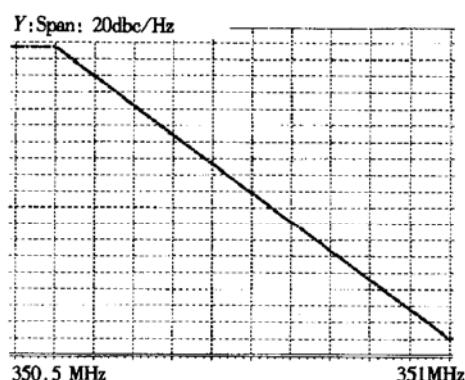


图 8 相位噪声特性

Fig. 8 Phase noise characteristic

5 频率合成器中的应用

我们提出的新型的双环路压控振荡器是直接针对频率合成器应用的, 频率合成器的结构框图如图 9 所示。低噪声、高速的压控振荡器对现代无线通讯系统至关重要。这种高速压控振荡器也对分频器的响应速度提出了新的要求, 因此, 我们采用了结构简单的动态触发器构建分频器。

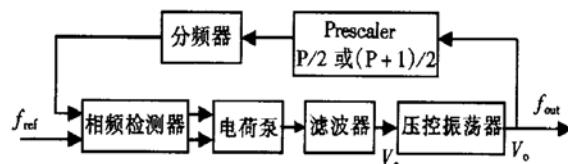


图 9 频率合成器框图

Fig. 9 Frequency synthesiser diagram

图 10 是整个频率合成器系统的收敛过程, 图中的三条曲线分别为参考信号 V_{ref} 、反馈信号 V_{fb} 及压控振荡器的控制电压(V_c)。图 11 是稳定后鉴相器的两输入波形 V_{ref} 和 V_{fb} 。图 12 是在电源噪声下的收敛过程。这里也是采用 0.1V, 100MHz 的交流噪声源。峰峰值 jitter 小于 32ps。

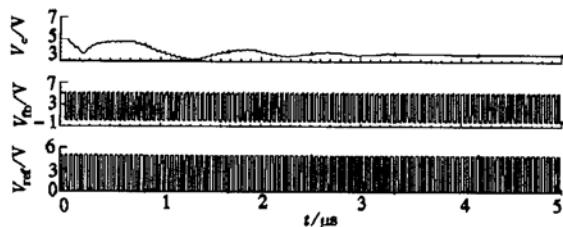


图 10 频率合成器收敛波形

Fig. 10 Waveform of frequency synthesiser

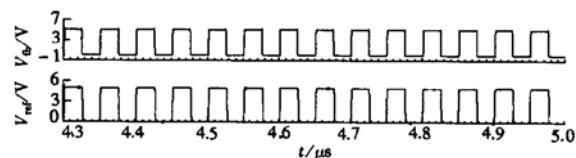
图 11 频率合成器稳定后鉴相器的两输入波形 V_{ref} 和 V_{fb}

Fig. 11 Waveform of two inputs of frequency synthesiser after its stability

整个设计从顶层逻辑到底层的版图都已完成, 预计下半年流片。这里仅给出频率合成器部分的版图, 如图 13 所示, 其基本特性及仿真结果由表 1 给出。

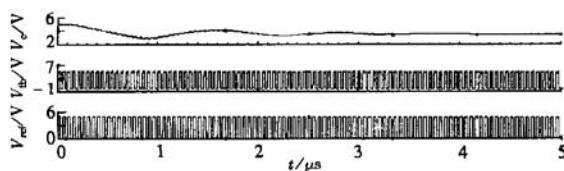


图 12 电源噪声下的收敛过程

Fig. 12 Convergence with power supply noise

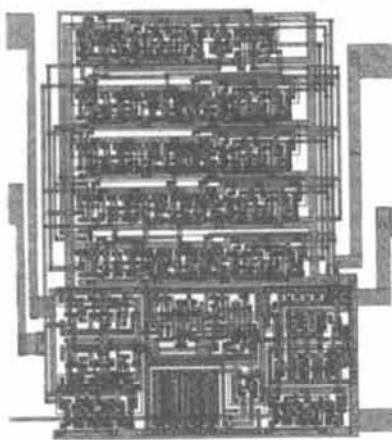


图 13 频率合成器版图

Fig. 13 Layout of frequency synthesiser

表 1 双环路电流型压控振荡器特性

Table 1 Characteristic of the dual-path current-mode voltage controlled oscillator

频率线性范围	254~ 667MHz
最高振荡频率	787MHz
相位噪声	- 75dbc/Hz@ 偏移中心频率 100kHz
电源电压	5.0V
工艺	1.2μm DPDM
面积	0.7mm × 0.6mm
锁相时间	< 2ns

6 结论

本文提出了新型的双环路电流型压控振荡器结

构,也讨论了噪声设计方面的问题。基于 1.2μm CMOS 工艺,采用 Cadence Spectre 工具仿真,仿真结果表明该结构与一般的电流型压控振荡器结构相比,在频率上限上有 200MHz 的提高,在频率范围和噪声特性方面也有明显改进。表 1 给出了这种压控振荡器的性能小结。

参考文献

- [1] Sun Lizhong, Kwasniewski T. A 1.25GHz 0.35μm monolithic CMOS PLL clock generator for data communications. IEEE 1998 Custom Integrated Circuits Conference, 1998: 265
- [2] Boerstler D W. A low-jitter PLL clock generator for microprocessors with lock range of 340~ 612MHz. IEEE J Solid-State Circuit, 1999, 34(4): 513
- [3] Rategah H R, Samavati H, Lee T H. A CMOS frequency synthesizer with an injection-locked frequency divider for a 5-GHz wireless LAN receiver. IEEE J Solid-State Circuits, 2000, 35(5): 780
- [4] Parker J F, Rav D. A 1.6GHz CMOS PLL with on-chip loop filter. IEEE J Solid-State Circuit, 1998, 33(3): 337
- [5] Svelto F, Deantonio S, Castello R. A 1.3GHz CMOS VCO with 28% frequency tuning. IEEE 1999 Custom Integrated Circuit Conference, 1999: 645
- [6] Pfaff D, Huang Qiuting. A quarter-micron CMOS, 1GHz VCO/prescaler-set for very low power applications. IEEE 1999 Custom Integrated Circuits Conference, 1999: 649
- [7] Kondoh H, Notani H, Yoshimura T, et al. A 1.5V 250MHz to 3.0V 622MHz operation CMOS phase-locked loop with precharge type phase frequency detector. IEICE Trans Electron, 1995, E78-C(4): 381
- [8] Lee SeogJun, Beomsup, Lee Kwyro. A novel high-speed ring oscillator for multiphase clock generation using negative skewed delay scheme. IEEE J Solid-State Circuit, 1997, 32(2): 289
- [9] Razavi B. A study of phase noise in CMOS oscillators. IEEE J Solid-State Circuits, 1997, 31(5): 331
- [10] Park Chanhong, Kim Beomsup. A low-noise, 900MHz VCO in 0.6μm CMOS. IEEE J Solid-State Circuits, 1999, 34(5): 586

A Novel Dual-Path Current-Mode Voltage Controlled Oscillator

Wang Zhao, Liu Fei and Ji Lijiu

(Institute of Microelectronics, Peking University, Beijing 100871, China)

Abstract: A novel dual-path current-mode voltage controlled oscillator (VCO) with negative skew scheme is presented. The VCO can oscillate at a higher frequency. Based on the phase noise analysis, its phase noise characteristic is improved. Simulations design are based on the 1.2 μ m Bsim CMOS model and by using Cadence tools. It shows an increase of upper frequency by 200MHz and -75dbc/Hz of phase noise at a frequency 100KHz from the centre frequency.

Key words: negative skew scheme; CMOS; VCO; phase noise

EEACC: 1230B; 7250E

Article ID: 0253-4177(2002)03-0305-06