

深亚微米隔离技术——浅沟槽隔离工艺

王新柱 徐秋霞 钱鹤 申作成 欧文

(中国科学院微电子中心, 北京 100029)

摘要: 研究了浅沟槽隔离(STI) 工艺的各主要工艺步骤: 沟槽的形成、沟槽顶角的圆滑、沟槽填充以及化学机械抛光平坦化。使用器件模拟软件 Medici 和 Davinci 分析了 STI 结构的隔离性能以及沟槽隔离 MOSFET 的 Kink 效应和反窄宽度效应。

关键词: 浅沟槽隔离; 化学机械平坦化; Kink 效应; 反窄宽度效应

EEACC: 2550E; 2550F; 2570D

中图分类号: TN 405

文献标识码: A

文章编号: 0253-4177(2002)03-0323-07

产生 Kink 效应。

本文深入研究了浅沟槽隔离工艺的各个主要工艺步骤, 包括沟槽的形成、沟槽顶角的圆滑、沟槽填充和 CMP 平坦化和 CMP 后的清洗等。并使用器件模拟软件 Medici 和 Davinci 对 STI 结构的隔离性能和 STI 隔离 MOSFET 的性能进行了模拟分析。

1 前言

微电子工艺进入深亚微米阶段后, 为实现高密度、高性能的 ULSI 器件和电路, 隔离与平坦化工艺变得越来越重要。基于 LOCOS 的隔离技术在微米及亚微米工艺中得到了广泛的应用。但 LOCOS 工艺具有一系列的缺点^[1]: (1) 鸟嘴(bird's beak) 结构使场二氧化硅侵入有源区; (2) 场注入在高温氧化过程中发生再分布, 引起有源器件的窄宽度效应(narrow width effect); (3) 场二氧化硅在窄隔离区变薄; (4) 不平坦的表面形状。这些缺点使基于 LOCOS 的隔离技术难以应用到深亚微米工艺中。

浅沟槽隔离(shallow trench isolation, STI) 工艺^[2] 克服了 LOCOS 工艺的局限性, 具有优异的隔离性能、平坦的表面形状、良好的抗锁定性能以及几乎为零的场侵蚀, 现已成为 0.25μm 和 0.18μm 工艺的主流隔离技术。然而 STI 结构的优异性能是以集成一系列复杂的工艺获得的, 主要包括沟槽的刻蚀、填充和化学机械抛光(chemical mechanical polishing, CMP) 平坦化。另外在 STI 结构的沟槽边缘顶角处, 栅电场变得集中导致沟道边缘反型而产生了一个低阈值通路, 引起有源器件的亚阈漏电增大,

2 浅沟槽隔离工艺的实验研究

浅沟槽隔离技术包含一系列复杂的单步工艺^[3]。首先在硅衬底上形成 Si₃N₄ 和缓冲 SiO₂ 图形, 作为沟槽腐蚀的掩模。接下来在 Si 衬底上腐蚀具有一定深度和侧墙角度的沟槽。然后生长一薄层 SiO₂(linear oxidation) 以圆滑沟槽的顶角和去掉刻蚀过程中在硅表面引入的损伤。氧化之后是沟槽填充及退火。然后使用 CMP 工艺对硅片表面进行平坦化, Si₃N₄ 作为 CMP 的阻挡层。CMP 后, 使用热的磷酸去除暴露出的 Si₃N₄。最后在硅片表面生长一层牺牲氧化层并漂掉, 以进一步去掉硅片表面的缺陷及损伤。为栅氧化和多晶硅栅的形成作好准备。图 1 为使用二维工艺模拟软件 T Suprem-4 模拟的 STI 工艺流程。下面是对 STI 工艺中主要工艺步骤的详细研究。

徐秋霞 女, 1942 年出生, 教授, 目前从事亚 0.1μm CMOS 器件结构和技术研究。

2001-09-30 收到, 2001-12-26 定稿

©2002 中国电子学会

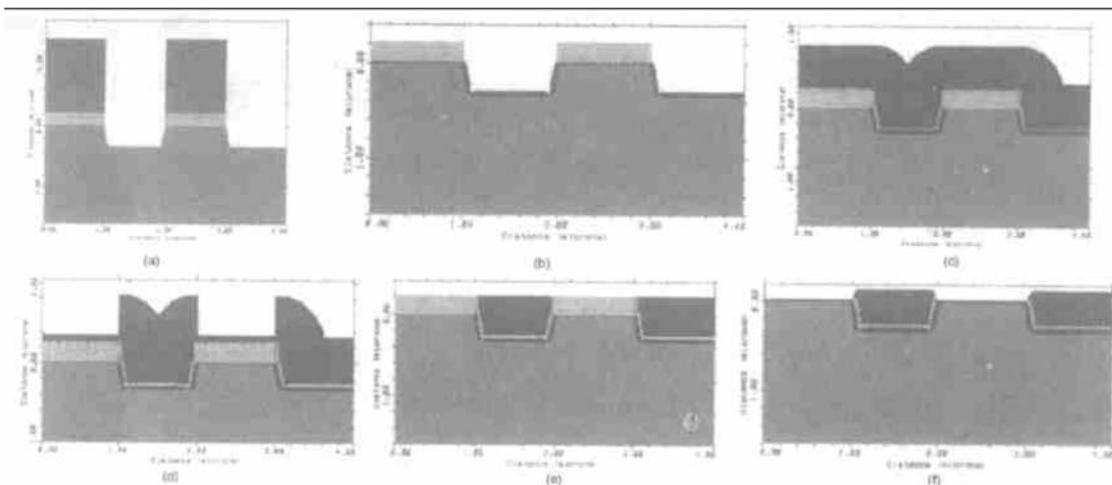


图 1 使用 TSuprem-4 模拟的 STI 工艺流程 (a) 沟槽的形成; (b) 沟槽角部的圆滑; (c) 沟槽的填充; (d) 反刻蚀有源区 SiO_2 ; (e) CMP 平坦化; (f) 去除 Si_3N_4

Fig. 1 STI process flow simulated by TSuprem-4 (a) Trench formation; (b) Trench corner rounding; (c) Trench fill; (d) Etch-back SiO_2 on active area; (e) CMP planarization; (f) Stripping off the Si_3N_4 mask

2.1 沟槽的形成

STI 工艺一般采用 Si_3N_4 作为隔离掩模, 为防止 Si_3N_4 的应力在硅衬底中引起缺陷, 采用一薄层 SiO_2 做缓冲层 (pad oxide), 来释放 Si_3N_4 和硅衬底之间的应力。 Si_3N_4 在后面的 CMP 平坦化过程中作为抛光阻挡层, 它的厚度决定了有源区和场区的台阶高度, 对它的优化选择应该是保证 CMP 后的台阶高度足够允许生长棚氧前的清洗和腐蚀。实验首先在 1000°C , O_2 和 HCl 气氛下生长 20nm 的 SiO_2 作为缓冲层, 然后用 LPCVD 工艺淀积 200nm 的 Si_3N_4 , 之后在 800°C , N_2 气氛中退火 30min 。

Si_3N_4 退火后即进行隔离区光刻。光刻的版图为中国科学院微电子中心一室九五攻关项目 $0.18\mu\text{m}/0.25\mu\text{m}$ 实验电路的有源区版。由于在接下来的沟槽刻蚀中要以光刻胶作为刻蚀掩模, 我们选择了抗刻蚀性较好的 9912 光刻胶, 并使用氟化技术, 以进一步提高其抗刻蚀能力。

沟槽是通过反应离子刻蚀 (RIE) 硅衬底形成的。影响刻蚀的因素主要有温度、压力、RF 功率、刻蚀气体及其组分等。刻蚀过程最关键的是控制沟槽的形状^[4]。沟槽的形状影响沟槽填充, 尖锐的沟槽顶部还容易引起边缘漏电。实验是在 Rainbow 4420 刻蚀机上进行的, 使用的刻蚀气体为 $\text{Cl}_2/\text{HBr}/\text{O}_2$ 。图 2 为未作氟化时, 刻蚀后的沟槽剖面照片, 可见光刻胶在刻蚀后损失严重, 形成的沟槽形状不能满足 STI 工艺的要求。图 3 为经过工艺优化后形成的沟

槽剖面照片。刻蚀的工艺条件: 电极温度为 35°C , 压力为 40Pa , 射频功率为 280W , Cl_2 的流量为 80sccm , HBr 的流量为 40sccm , O_2 的流量为 2sccm 。形成的沟槽深度为 $0.32\mu\text{m}$, 侧墙倾角约为 80° , 具有圆滑的底角, 符合 STI 工艺对沟槽的要求。



图 2 未作氟化时形成的沟槽剖面照片

Fig. 2 SEM profile of trench without fluorination pretreatment

2.2 沟槽顶角的圆滑

STI 结构的边缘漏电主要是由于尖锐的沟槽顶角使栅电场在角部变得集中, 导致边缘处的阈值降低, 而产生了一个低阈值通路。采用倾斜的侧墙和圆滑的沟槽顶角 (角部半径大约为 50nm) 可以有效地抑制边缘漏电。角部圆滑涉及到优化隔离掩模中缓冲氧化层的厚度, 沟槽氧化层的厚度和氧化的气氛。



图3 具有良好形状的沟槽剖面照片

Fig. 3 SEM profile of trench with fluorination pre-treatment

氧化过程同时还能去除前面沟槽刻蚀时离子轰击产生的损伤。实验是在 1000℃下, O₂ 加 HCl 气氛下进行的。生成的氧化层厚度为 220nm, 沟槽角部半径

约为 50nm。

2.3 沟槽的填充

沟槽填充的主要问题是淀积的 SiO₂ 一般比热生长 SiO₂ 的腐蚀速率高。高的腐蚀速率会导致在生长棚 SiO₂ 前的表面清洗过程中场 SiO₂ 的损失, 暴露出易受影响的沟槽角部, 使多晶硅包围沟槽边缘, 加重 STI 结构的边缘漏电。淀积 SiO₂ 的腐蚀速率可以通过致密(densification)过程来减小, 如在 800~1050℃下退火, 使填充介质的腐蚀速率减小到接近于热生长 SiO₂ 的腐蚀速率^[5]。

实验采用 PECVD TEOS SiO₂ 作为沟槽填充介质。由于沟槽的角部在接下来的 CMP 平坦化过程中很容易受损, 在用 SiO₂ 填充沟槽前, 先用 LPCVD 工艺淀积 15nm 的 SiO₂ 和 15nm 的 Si₃N₄, 以保护沟槽角部在 CMP 平坦化过程中不受损伤。图 4 为沟槽填充后的剖面照片。沟槽填充后在 900℃, N₂ 气氛中退火, 以降低填充 SiO₂ 的腐蚀速率。

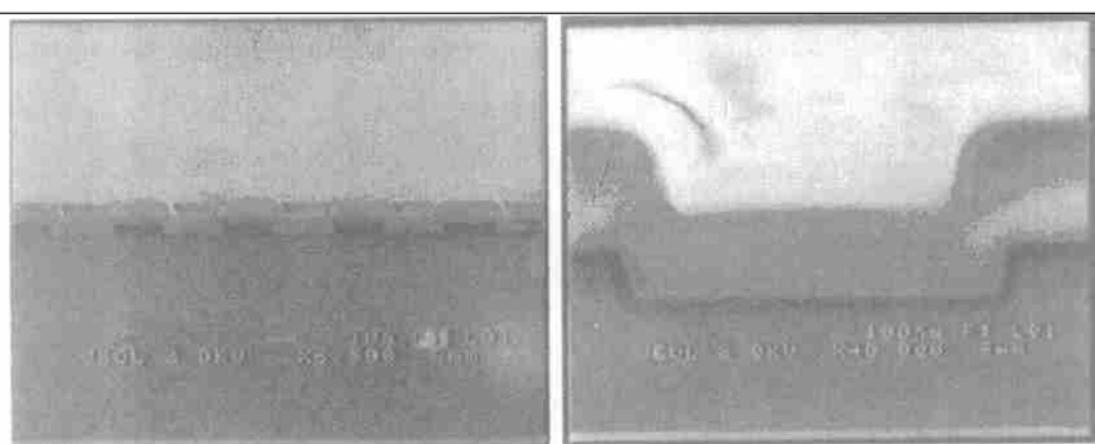


图4 沟槽填充后的剖面照片

Fig. 4 SEM profile of trench after trench fill

2.4 CMP 平坦化

CMP 平坦化被认为是 STI 工艺的主要困难所在, 它是利用化学和机械的共同作用实现硅片表面的平坦化。CMP 工艺的困难之处在于它的平坦化效果与硅片表面的图形尺寸有关。CMP 后, 在宽有源区上暴露出 Si₃N₄ 后, 往往在宽的隔离区和窄的有源区产生过抛光, 导致 dishing 现象, 如图 5 所示。这会引起 Si₃N₄ 去除后有源区和场区之间台阶高度的不均匀性, 甚至会损伤窄的有源区处的硅衬底。

有三种技术可以用来克服 CMP 工艺的这种图形依赖性, 提高抛光的均匀性。第一种方法是通过设

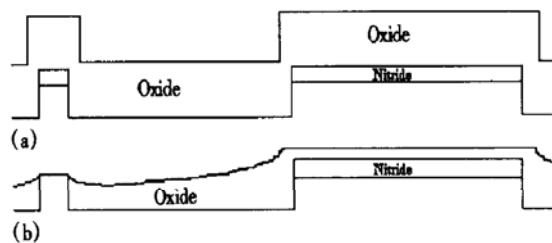


图5 CMP 工艺中图形依赖的示意图 (a) 抛光前; (b) 抛光后

Fig. 5 Schematic view of surface topography for illustrating the pattern sensitivity to CMP (a) pre-polishing; (b) post-polishing

计方法在宽的场区插入假的有源区(dummy active area)^[16], 如图 6(a) 所示。第二种方法是使用一层薄($\sim 50\text{nm}$) 的 Si_3N_4 覆盖层作为附加的抛光阻挡层, 以防止在隔离区和小的有源区产生过抛光, 如图 6(b) 所示。第三种方法是增加一步光刻工艺^[17], 通过反刻蚀, 选择性地去掉大面积有源区上的二氧化硅, 如图 6(c) 所示。在这三种技术中反刻蚀能最有效地降低 CMP 后的台阶高度变化, 提高抛光的均匀性, 但这种技术增加了一次光刻工艺, 增加了工艺的复杂性。

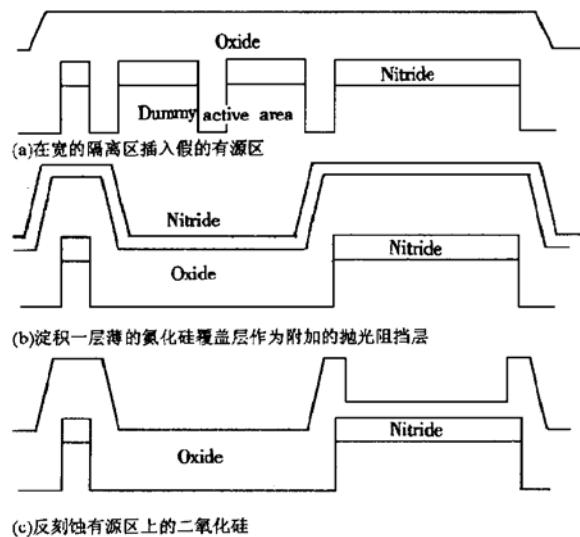


图 6 消除 CMP 工艺图形依赖的三种技术 (a) 在宽的隔离区插入假的有源区; (b) 淀积一层薄的氮化硅覆盖层作为附加的抛光阻挡层; (c) 反刻蚀有源区上的二氧化硅

Fig. 6 Three techniques used for minimizing the sensitivity of CMP to pattern (a) Using dummy active area in the wide isolation region; (b) Depositing a thin nitride overlayer as an additional polish-stop layer; (c) Etch-back SiO_2 on active area

实验使用了微电子中心自行研制的 CMP 抛光设备, 抛光垫和抛光液为 Rodel 公司生产的 IC 1000 和 ILD 1300。影响 CMP 过程的因素很多, 主要有抛光液的物理化学性质和流量, 抛光垫的物理化学性质, 抛光时的压力、转速等。图 7 为实验测得的在转速固定(27r/min)的情况下, 抛光速率随压力的变化曲线。图 8 为实验测得的在压力固定(0.03MPa)的情况下, 抛光速率随转速变化的曲线。

为降低 CMP 工艺对硅片表面图形的依赖, 提高抛光的均匀性, 实验采用了反刻蚀的方法, 光刻的版图为有源区版的反版。光刻后光刻胶保护起隔离

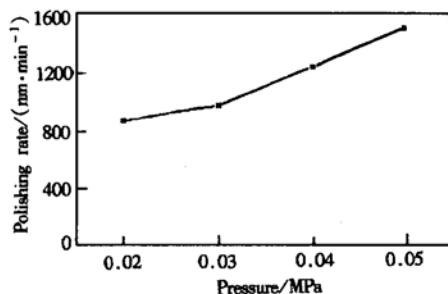


图 7 抛光速率随压力的变化

Fig. 7 Effects of pressure on polishing rate

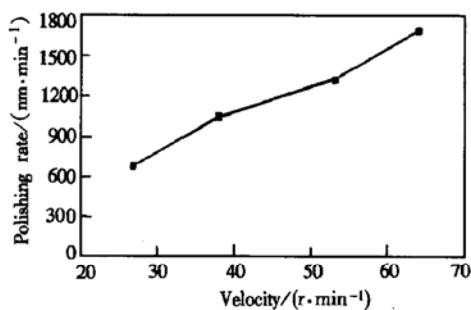


图 8 抛光速率随转速的变化

Fig. 8 Effects of rotation velocity on polishing rate

区部分, 然后通过 RIE 刻蚀掉有源区的二氧化硅, 使硅片表面的台阶变化主要位于沟槽的边沿, 如图 9 所示。图 10 为 CMP 后的剖面照片。抛光的工艺条件是: 压力为 0.03MPa, 转速为 27r/min, 抛光时间为 2min。使用 Alpha 台阶仪侧得的抛光后的台阶变化为 70nm。

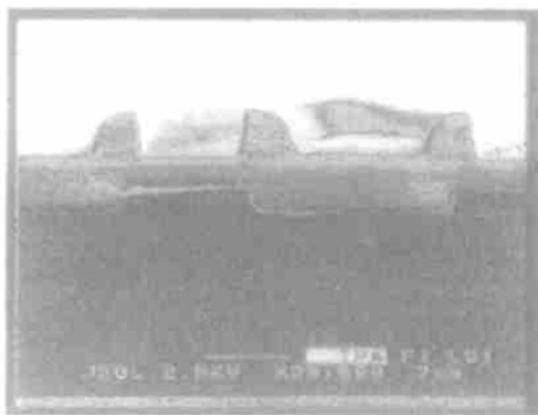


图 9 CMP 前的剖面照片

Fig. 9 SEM profile of trench before CMP planarization

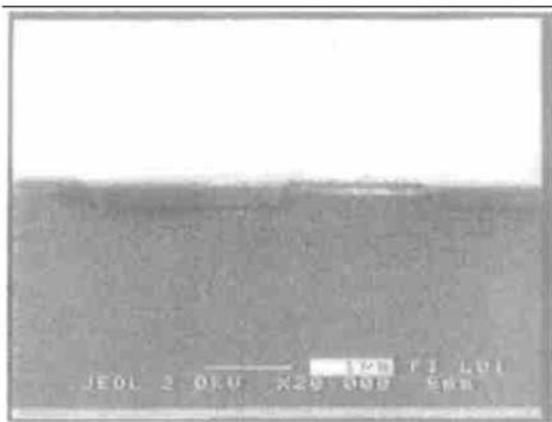


图 10 CMP 后的剖面照片

Fig. 10 SEM profile of trench after CMP planarization

3 沟槽隔离结构的分析

我们使用二维器件模拟软件 Medici 和三维器件模拟软件 Davinci 对 STI 结构的隔离性能和沟槽隔离 MOSFET (trench isolated MOSFET, TIMOSFET) 的性能进行了分析。并与二维工艺模拟软件 TSuprem-4 结合起来, 根据工艺模拟得到的器件结构和掺杂分布进行器件模拟, 使模拟具有很高的精确度, 并能研究工艺条件和工艺参数对器件性能的影响。所分析的 TIMOSFET 源漏区结深为 $0.2\mu\text{m}$, 隔离 SiO_2 的深度为 $0.5\mu\text{m}$, 栅 SiO_2 的厚度为 20nm , 栅长为 $1\mu\text{m}$, 沟道宽度从 $0.5\mu\text{m}$ 到 $1.5\mu\text{m}$ 。

使用 Medici 对浅沟槽隔离结构的模拟结果表明, 它具有良好的隔离性能, 在沟槽深度为 $0.32\mu\text{m}$, 不进行场注入的情况下, 场开启电压为 8.5V , 已经满足深亚微米电路对隔离性能的要求。而且随着隔离宽度的减小, 隔离性能的变化很小, 如图 11 所示。

首先使用 Davinci 对沟槽隔离 MOSFET 在沟槽侧墙角度为 90° , 没有做沟槽顶角圆滑氧化的情况下进行了模拟。图 12 为沟槽隔离 MOSFET 在不同衬底偏压下的亚阈曲线。可见该 MOSFET 在亚阈区存在明显的漏电增强, 表现在亚阈曲线上有一个突起, 这就是所谓的 Kink 现象^[8,9]。图 13 为沟槽隔离 MOSFET 在不同沟槽宽度下的亚阈曲线, 随沟槽宽度的减小, $\log I_D - V_G$ 曲线向左移, 阈值电压变小, 这即是所谓的反窄宽度效应^[10-12]。造成这两种现象的原因是尖锐的沟槽顶角使栅电场变得集中,

导致沟道边缘产生了一个跟有源器件平行的低阈值通路。

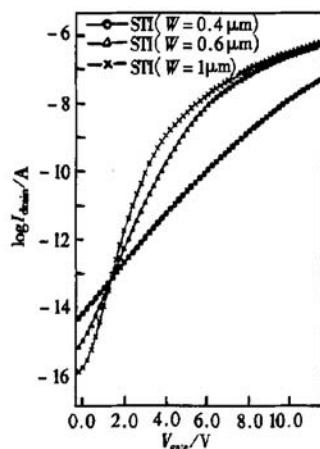


图 11 STI 结构在不同隔离宽度下的隔离性能

Fig. 11 Isolation performance of STI structure at different isolation width

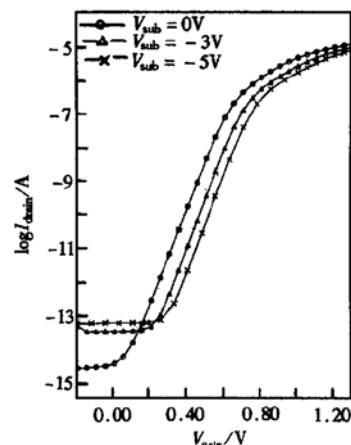


图 12 具有 Kink 效应的 TIMOSFET 亚阈曲线

Fig. 12 Sub-threshold characteristics of TIMOSFET with Kink effect

采用倾斜的沟槽侧墙和圆滑沟槽顶角可以有效地减小沟槽隔离 MOSFET 的亚阈漏电。图 14 为 Davinci 模拟的沟槽隔离 MOSFET 在不同侧墙倾角下的亚阈特性曲线。图 15 为 Davinci 模拟的沟槽隔离 MOSFET 在不同的沟槽角部圆滑氧化时间下的亚阈特性曲线。图 16 为采用 80° 的沟槽侧墙倾角和经过 16min 的沟槽顶角圆滑氧化后的沟槽隔离 MOSFET 的亚阈曲线, 可见该 MOSFET 已经具有良好的亚阈特性。

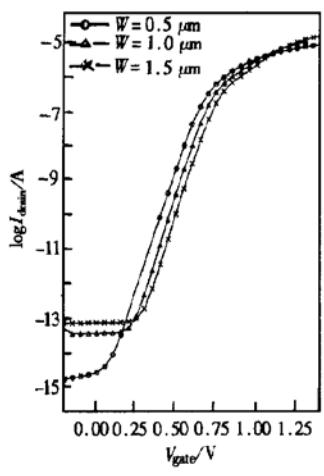


图 13 TIM OSFET 在不同沟道宽度下的亚阈值曲线

Fig. 13 Sub-threshold characteristics of TIM OSFET at different channel width

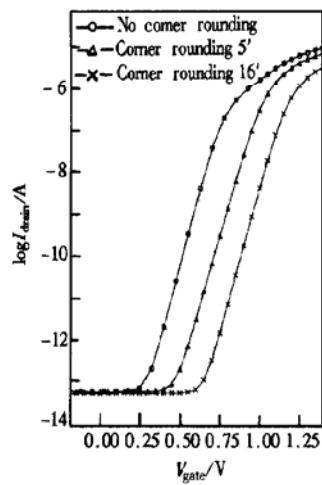


图 15 TIM OSFET 在不同沟槽角部圆滑氧化时间下的亚阈值曲线

Fig. 15 Sub-threshold characteristics of TIM OSFET at different linear oxidation time of trench

4 结论

本文对浅沟槽隔离工艺进行了深入的研究。通过 RIE 形成具有圆滑的底角和倾斜侧墙的浅沟槽，优化沟槽顶角的圆滑氧化工艺，来抑制浅沟槽隔离结构的角部效应；使用 PECVD TOES SiO₂ 无空洞地填充沟槽，并通过致密退火来降低其腐蚀速率；使用自行研制的 CMP 设备完成了硅片表面的平坦化实验，使用反刻蚀的方法降低 CMP 的图形依赖性。

使用器件模拟软件 Medici 和 DaVinci 对浅沟槽

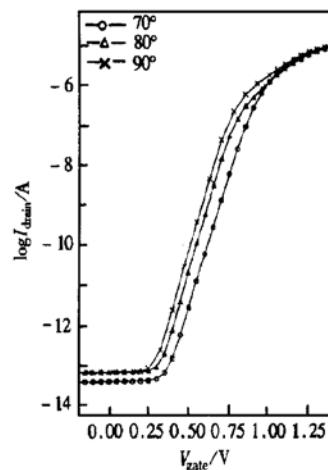


图 14 TIM OSFET 在不同沟槽侧墙倾角下的亚阈值曲线

Fig. 14 Sub-threshold characteristics of TIM OSFET at different sidewall angles of trench

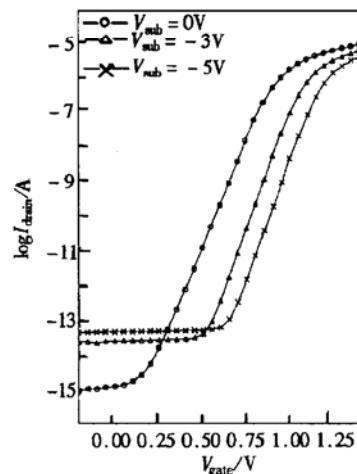


图 16 具有良好特性的 TIM OSFET 亚阈值曲线

Fig. 16 Optimized sub-threshold characteristics of TIM OSFET

隔离结构的隔离性能和沟槽隔离 MOSFET 的性能进行了模拟分析。分析表明浅沟槽隔离结构具有优异的隔离性能，并且隔离宽度对隔离性能的影响很小。沟槽隔离 MOSFET 由于沟槽的角部效应，产生了 Kink 效应和反窄宽度效应，采用倾斜的沟槽侧墙和圆滑沟槽顶角可以有效地抑制这两种效应。

参考文献

- [1] Bryant A, et al. IEDM Tech Digest, 1994: 671
- [2] Nandakumar M, et al. IEDM Tech Digest, 1998: 133

- [3] Chatterjee A, et al. J Vacuum Science & Technology, 1997, 15 (6): 1936
- [4] Carlile R N, et al. J Electrochemical Society, 1988, 135(8): 2058
- [5] Nag S, et al. IEDM Tech Digest, 1996: 841
- [6] Chen C, Chou J W, et al. IEDM Tech Digest, 1996: 837
- [7] Davari B, et al. IEDM Tech Digest, 1989: 61
- [8] Scott H, et al. IEEE Trans Electron Devices, 1984, 31(7): 861
- [9] Shigyo Naoyuki, et al. IEEE Trans Electron Devices, 1985, ED-32(2): 441
- [10] Akers L A, et al. IEEE Trans Electron Devices, 1988, ED-34(12): 2476
- [11] Hsueh K, et al. IEEE Trans Electron Devices, 1988, 35(7): 325
- [12] Van der Voorn P J, et al. IEEE Trans Electron Devices, 1996, 43(8): 1274

Shallow Trench Isolation Process for Deep Sub-Micron Technologies

Wang Xinzhu, Xu Qiuxia, Qian He, Shen Zuocheng and Ou Wen

(Microelectronics R&D Center, The Academy of Sciences, Beijing 100029, China)

Abstract: Shallow trench isolation (STI) is adopted as a mainstream isolation method in the deep sub-micron ULSI process. The processing techniques are presented in details to introduce the various steps in a STI flow: trench formation, corner rounding, trench fill, CMP planarization and post-CMP cleaning. The isolation performance, Kink effect and inverse narrow width effect of the STI isolation structure are also analyzed with a 2-dimension device simulator, namely Medici and a 3-dimension device simulator, DaVinci.

Key words: shallow trench isolation; chemical mechanical planarization; Kink effect; inverse narrow width effect

EEACC: 2550E; 2550F; 2570D

Article ID: 0253-4177(2002)03-0323-07

Xu Qiuxia female, was born in 1942, professor. Her current research includes sub-0.1 μ m CMOS device structure and technology.

Received 30 September 2001, revised manuscript received 26 December 2001

© 2002 The Chinese Institute of Electronics