

Ge 预非晶化硅化物工艺的研究

孙海锋 刘新宇 海潮和 徐秋霞 吴德馨

(中国科学院微电子中心, 北京 100029)

摘要: 对全耗尽 SOI CMOS 技术中的 Ge 预非晶化硅化物工艺进行了研究。Ge 的注入, 使 Si 非晶化, 减小了硅化物的形成能量。Ti 硅化物在非晶层上形成。与传统的 Ti 硅化物相比, 注 Ge 硅化物工艺有两个明显的特点: 一是硅化物形成温度较低; 二是硅化物厚度容易控制。采用注 Ge 硅化物工艺, 使源漏薄层电阻约为 $5.2\Omega/\square$ 。经过工艺流片, 获得了性能良好的器件和电路, 其中, 当工作电压为 5V 时, $0.8\mu\text{m}$ 101 级环振电路延迟为 45ps。

关键词: SOI CMOS 器件; 全耗尽; Ge 预非晶化硅化物

EEACC: 2550

中图分类号: TN 386. 1 文献标识码: A 文章编号: 0253-4177(2002)04-0445-04

1 引言

薄膜全耗尽 SOI 技术由于其高电流驱动能力, 寄生电容小等优点, 在低压低功耗领域有着广泛的前景。然而, 大的源漏接触电阻严重影响了器件和电路的性能^[1]。为了减少源漏薄层电阻, 有必要采用硅化物的源和漏。在 SOI 技术中, 最为广泛使用的是钛金属硅化物(TiSi_2)。常规的硅化物工艺^[2~4]通过淀积钛金属层以及随后的两步退火形成。硅化物的厚度与淀积 Ti 的厚度有关。若淀积的 Ti 太薄, 容易引起热凝聚(thermal agglomeration), 导致差的电气接触; 若淀积的 Ti 太厚, 由于在纵向 Si 原子的数量是有限的, Si 只有经过横向扩散来参与反应, 这样容易形成空洞(voids)^[5]。因此, 常规的硅化物工艺并不适合于 TFD SOI 器件制造工艺。注 Ge 的预非晶化多晶硅(或硅)形成硅化物工艺^[6~9]能很好地解决深度控制问题。之所以选用 Ge 注入, 主要基于两点考虑: (1) 与 Si 相比, 只需要小剂量的 Ge 就能使多晶硅膜非晶化, 并且 SiGe 与金属有较低的接触电阻; (2) Ge 是中性的, 适合于 P、N 型 MOSFET。因此, 本文主要对全耗尽 SOI CMOS 技术中的 Ge 预非晶化硅化物工艺进行研究, 经过工艺流片, 获得了性能良好的器件和电路。

2 实验

注 Ge 硅化物实验片采用美国 IBIS 公司的 SIMOX 基片, 其中 T_{BOX} 为 382.6nm, T_{Si} 为 198.6nm, 衬底为 P(100)。经过高温氧化以及高温液的腐蚀剥离, SIMOX 材料的硅膜减薄到 70nm。主要工序如下:

- (1) S/D 注入退火;
- (2) 形成侧墙;
- (3) Ge 注入, $35\text{keV}, 4 \times 10^{14} \text{cm}^{-2}$;
- (4) Ti 淀积, 25nm;
- (5) 第一次热处理(RTP, $670^\circ\text{C}, 5\text{s}$);
- (6) 选择性刻蚀(S.E.);
- (7) 第二次热处理(RTP, $880^\circ\text{C}, 10\text{s}$)。

实验中, 采用了不同厚度的 Ti 金属膜, 并且对注 As^+ 和注 B^+ 的样品以及注 Ge 和不注 Ge 的样品进行了分析。

3 结果和讨论

Ge 的注入, 使 Si 非晶化, 减小了硅化物的形成能量, 通过控制清晰的非晶/单晶界面来控制硅化物的厚度。第一次处理温度的选取不能太高, 以免 Ti 与下面的单晶或多晶硅反应。当温度适当时, Ti 仅

与非晶硅反应,这样,硅化物的厚度由非晶层的厚度来控制,而不是由 Ti 的厚度来控制,避免出现空洞。并且第一次 RTP 过程存在一临界时间,小于此时间,Ti 与非晶硅没有反应完全,则得不到所需的硅化物厚度。图 1 给出了硅化物厚度与第一次退火时间之间的关系。未参与反应的 Ti 被选择性刻蚀掉。第二步 RTP,完成 $TiSi_2$ 由 $C49 \rightarrow C54$ 的相变,形成低的接触电阻。

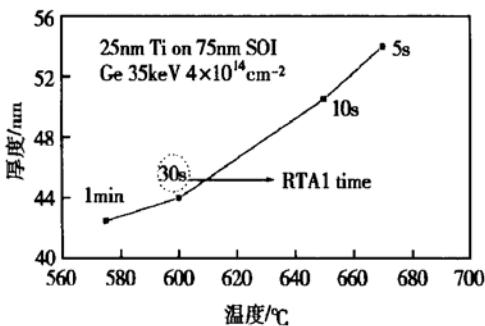


图 1 硅化物厚度与第一次退火时间之间的关系

Fig. 1 Silicide thickness versus the first annealing time

与常规的硅化物形成过程相比,该工艺有两个明显的特点:(1)处理温度比较低,减少了掺杂剂分凝现象;(2)Ge 的注入,使 Si 非晶化,硅化物的厚度容易控制,同时减少了空洞的数量。空洞的产生是由于 $TiSi_x$ 向 $TiSi_2$ 转化的过程中,Si 的横向扩散造成的。如果在第二步 RTP 之前注入适量的 Si,使沟道区的 Si 不再横向扩散,这样就能避免空洞的产生。

图 2 给出了薄层电阻和第一次退火时间的关系。从图中可以看出,退火时间有一个阈值,超过这个阈值,薄层电阻基本不变。

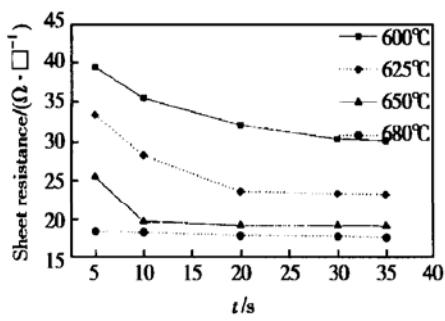


图 2 薄层电阻与第一次退火时间的关系

Fig. 2 Sheet resistance of silicide versus the first annealing time

图 3 给出了薄层电阻与溅射 Ti 膜的厚度的关系。由图可以看出,经过第二次退火后,薄层电阻基本上没有什么变化。因此,采用注 Ge 预非晶化工艺,硅化物的薄层电阻对 Ti 膜的厚度不敏感。

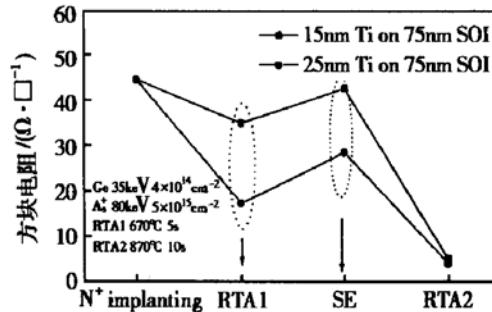


图 3 不同 Ti 膜厚度,硅化物形成各阶段的薄层电阻

Fig. 3 Sheet resistance of silicide with different Ti thickness at different stage

图 4、图 5 分别给出了硅化物形成的不同阶段,注 BF_2 、注 As 样品的薄层电阻。

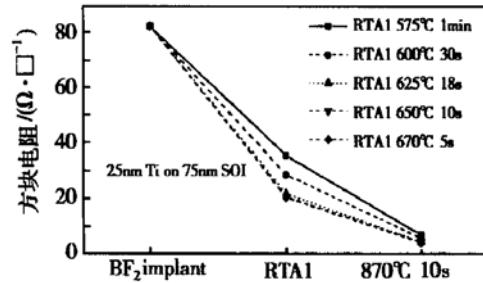


图 4 硅化物形成的不同阶段,注 BF_2 样品的薄层电阻

Fig. 4 Sheet resistance of silicide at different stage (BF_2 implanted sample)

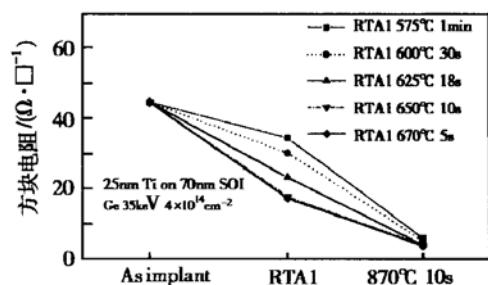


图 5 硅化物形成的不同阶段,注 As 样品的薄层电阻

Fig. 5 Sheet resistance of silicide at different stage (As implanted sample)

图 6 给出了注 Ge 和不注 Ge 时硅化物薄层电阻的比较。从图中可以看出,注 Ge 预非晶化技术能使 SOI 材料硅化物的薄层电阻降低很多,而不注 Ge

的样品经过第二次退火后, 方阻依然较大。图 7 为注 Ge 和不注 Ge 时硅化物与硅衬底界面处的比较。由图可以得到, 注 Ge 时能形成清晰的界面, 而不注 Ge 时, 其界面比较粗糙。

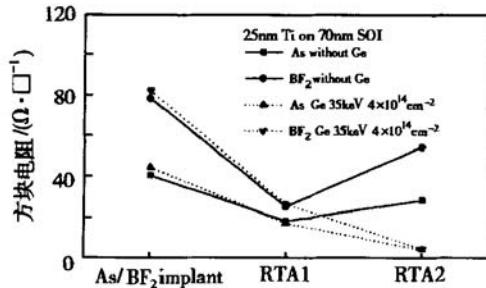
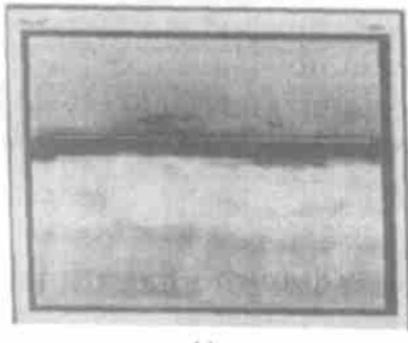
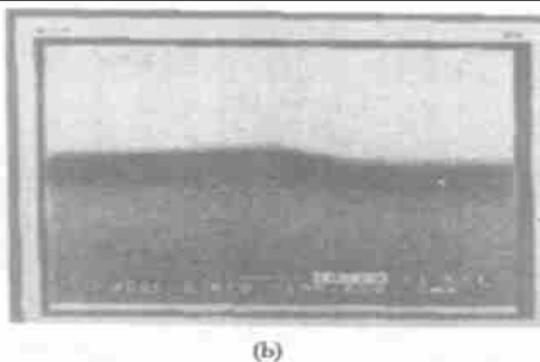


图 6 注 Ge 和不注 Ge 时硅化物薄层电阻

Fig. 6 Sheet resistance of silicide with and without Ge implantation



(a)



(b)

图 7 硅化物与硅衬底界面 (a) 不注 Ge; (b) 注 Ge
Fig. 7 SEM micrograph of the silicide layer (a) without Ge implantation; (b) with Ge implantation

在 $0.8\mu\text{m}$ 全耗尽 CMOS/SOI 环形振荡器电路中, 为了使得电路充分振荡, 我们设计了 101 级的环振。根据计算, 全耗尽环形振荡器的单级门延迟仅为 45ps(见图 8)。图 9 给出了 SOI 器件采用 Ge 预非晶化硅化物工艺以及常规工艺时环振电路的延迟时间

随电源电压的变化情况。由图可以看出, 采用注 Ge 硅化物技术时, 环振速度明显要比采用常规工艺快, 一般快 50% 左右。

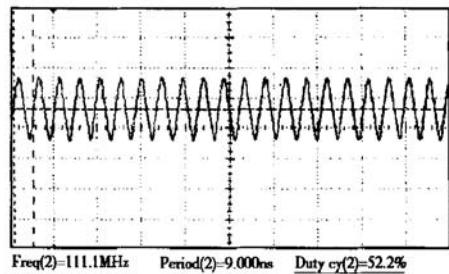


图 8 5V 工作电压下 101 级环振振荡波形

Fig. 8 Output waveform of ring oscillator at 5V supply voltage

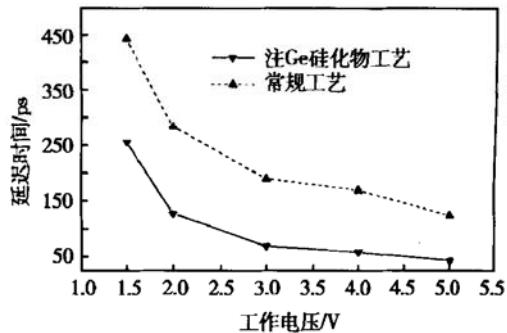


图 9 环振延迟时间与工作电压的关系
Fig. 9 Propagation delay time of $0.8\mu\text{m}$ SOI device as a function of supply voltage

4 结论

本文对全耗尽 SOI CMOS 技术中的 Ge 预非晶化硅化物工艺进行了研究。Ge 的注入, 使 Si 非晶化, 减小了硅化物的形成能量。与传统的 Ti 硅化物相比, 注 Ge 硅化物工艺有两个明显的特点: 一是硅化物形成温度较低; 二是硅化物厚度容易控制。实验中采用了不同厚度的 Ti 金属膜, 并且对注 As^+ 和注 B^+ 的样品以及注 Ge 和不注 Ge 的样品进行了分析。采用注 Ge 硅化物工艺, 源漏薄层电阻约为 $5.2\Omega/\square$ 。经过工艺流片, 获得了性能良好的器件和电路, 其中, 当工作电压为 5V 时, $0.8\mu\text{m}$ 101 级环振电路延迟为 45ps。

致谢 感谢中国科学院微电子中心第一研究室全体工作人员特别是柴淑敏实验师、邢孝平实验师、高文

方工程师对工艺研究和器件研究的大力支持。

参考文献

- [1] Hsiao T C, Kistler N A, Woo J C S. IEEE Electron Device Lett, 1994, 15: 45
- [2] Yamaguchi Yasuo, et al. IEEE Trans Electron Devices, 1992, ED-39: 1179
- [3] Mann R W, Clebenger L A. J Electrochem Soc, 1994, 141: 1347
- [4] Xu Qiuxia, et al. Chinese Journal of Semiconductors, 1994, 15 (5) : 261(in Chinese) [徐秋霞, 等. 半导体学报, 1994, 15(5) : 261]
- [5] Mendicino M S, Seebauer E G. J Electrochem Soc, 1995, 142: 28
- [6] Xu Qiuxia, Hu Chenming. IEEE Trans Electron Devices, 1998, ED-45: 2002
- [7] Hsiao T C, et al. IEEE Electron Device Lett, 1997, 18: 309
- [8] Liu Ping, et al. IEEE Trans Electron Devices, 1998, ED-45: 1280
- [9] Hsiao T C, et al. IEEE Trans Electron Devices, 1998, ED-45: 1092

Ge Pre-Amorphization Silicide Process for Fully-Depleted SOI CMOS Devices

Sun Haifeng, Liu Xinyu, Hai Chaohe, Xu Qiuxia and Wu Dexin

(Microelectronics R & D Center, The Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A titanium technology using germanium implantation for fully-depleted SOI CMOS devices is described. The amorphization of source /drain (S/D) generated by a germanium implantation greatly reduces the silicide formation energy and effectively controls the silicide depth. With the Ge pre-amorphization SALICIDE process, the sheet resistance of silicided SOI layer is approximated $5.2\Omega/\square$. And fully-depleted SOI CMOS devices are fabricated with good device characteristics.

Key words: SOI CMOS devices; fully-depleted; Ge pre-amorphization

EEACC: 2550

Article ID: 0253-4177(2002)04-0445-04