

基于控阈技术的四值电流型 CMOS 电路设计*

杭国强¹ 任洪波² 吴训威³

(1 浙江大学信息与电子工程学系, 杭州 310027)

(2 浙江大学计算中心, 杭州 310028)

(3 宁波大学电路与系统研究所, 宁波 315211)

摘要: 以开关信号理论为指导, 对电流型 CMOS 电路中如何实现阈值控制进行了研究。建立了实现阈值控制电路的电流传输开关运算。在此基础上, 设计了具有阈值控制功能的电流型 CMOS 四值比较器、全加器及锁存器等电路。通过对开关单元实施阈值控制后, 所设计的电路在结构上得到了非常明显的简化, 在性能上也获得了优化。PSPICE 模拟验证了所提出的电路具有正确的逻辑功能并且较之以往设计具有更好的瞬态特性和更低的功耗。

关键词: 开关理论; 多值逻辑; 控阈技术; 电流型 CMOS

EEACC: 1130; 1265A; 2570D

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2002)05-0523-06

1 引言

集成多值逻辑电路具有逻辑封装密度高和布线简单等突出优点, 为电路与系统的设计和发展提供了新的方向。在多值逻辑电路的研究中, 多值电压型 CMOS 电路通常要求提供多级电压源, 需要额外的离子注入工序, 以及在相同的电源下基数的增大将导致逻辑级差减小而降低电路的抗干扰性能等因素, 使得多值电压型 CMOS 电路在应用中遇到了一些困难。此外, 多值电压型电路在结构上往往较之同类的二值电路复杂得多^[1]。与此相反, 电流型 CMOS 电路自 1983 年提出以来日益受到重视。一方面, 多值电流型 CMOS 电路与现有的二值 CMOS 工艺兼容, 无需增加电源设备, 并且可以在低电压下工作, 适用于 VLSI 设计^[2~5]; 另一方面, 逻辑级的增加不会导致逻辑级差的减小, 因而不会降低噪声容限。这两方面的特点有效地克服了多值电压型 CMOS 电路在应用中所遇到的困难。此外, 由于电流信号易于

实现加、减及乘法运算, 这可使得有关的算术电路获得简单的设计^[2~4, 6, 7]。迄今, 对多值电流型 CMOS 电路已进行了多方面的研究^[2~13], 对一些样片的测试也显示了它的实用前景^[2~4]。由于四值逻辑容易实现与二值逻辑电路的接口, 因此对四值电流型 CMOS 电路的研究就显得尤为有意义并得到了较多的关注^[4, 6~10]。

在数字电路中, 开关单元的一个重要参量为检测阈值, 它用于判定输入信号逻辑值的大小。在传统的讨论中, 开关的阈值通常是固定的, 而且由于电路设计时一般只涉及到门而不涉及到具体的开关, 因此在设计中不涉及阈值控制。然而, 当电路的设计从门级发展到开关级后, 阈值的存在与作用就变得明确^[14]。随之提出的一个问题是, 能否在设计中控制电路中的阈值?这种控阈技术若能实现, 则预期的效果将是增强元件控制信号的能力与增强综合电路的能力, 从而达到简化电路设计的目的。由于元件的电压阈值通常是固定的, 因而难以改变。这暗示电流型电路可能是实现控阈技术的优选。本文利用电流信号

* 国家自然科学基金资助项目(No. 69973039)

杭国强 男, 1968 年出生, 博士, 副教授, 目前主要从事低功耗数字集成电路设计及多值逻辑电路的研究。

任洪波 男, 1967 年出生, 硕士, 目前主要从事多值逻辑及电流型电路设计方面的研究。

吴训威 男, 1940 年出生, 教授, 博士生导师, 主要从事数字逻辑与集成电路设计的研究。

的阈值易于控制这一特点^[11, 12, 15], 将可控阈的设计思想引入至四值电流型 CMOS 电路的开关级设计中, 所提出的设计较之以往设计在结构上得到了非常明显的简化。计算机模拟结果进一步表明它们具有良好的性能, 较之以前的设计具有更低的能耗。

2 指导电流型 CMOS 电路设计的开关信号理论

根据开关信号理论, 在电流型 CMOS 电路中 MOS 管的开关状态与电流信号二者应分别使用开关变量与信号变量来分别描写^[13]。

(1) 开关变量用 $\alpha, \beta, \gamma \dots$ 表示。它们的取值 T, F 分别表示电路中 MOS 管的导通和截止两种状态。与开关变量有关的基本运算为与(\cdot)、或($+$)、非(\sim), 分别记为 $\alpha \cdot \beta, \alpha + \beta, \bar{\alpha}$ 。物理上分别表示 MOS 开关的串联、并联和开关状态相反三种情况。

(2) 信号变量用 $x, y, z \dots$ 表示。以四值信号为例, 它们的取值 0, 1, 2, 3, 在物理上分别对应四种电流信号 $0, I_0, 2I_0, 3I_0$ 。此时, 对信号的检测阈为 $t \in \{0.5, 1.5, 2.5\}$, 若取 $I_0 = 10\mu A$, 则对应的阈电流源为 $(5\mu A, 15\mu A, 25\mu A)$ 。与信号变量有关的基本运算为取小(\cap)、取大(\cup)、补($-$)及文字(x')运算。考虑到电流信号易于实现加、减及乘法运算, 则可进一步引入算术加运算 $x \& y$ 、减运算 $x - y$ 和乘法运算 ax (乘法系数 a 可以通过改变 MOS 电流镜的几何比来实现)。

在上述二类性质不同的变量之间可以引入二种联结运算来描写开关元件的开关状态与信号之间的相互作用。它们是:

(1) 联结运算 I: 用于描写信号与检测阈进行比较以控制元件开关状态的物理过程。在电流型 CMOS 电路中, 电流比较器对电流信号与电流阈值进行比较, 并用于控制 MOS 管的开关状态。因此, 可定义如下两种阈比较运算:

$$\text{低阈比较运算} \quad x' \triangleq \begin{cases} T & x < t \\ F & x > t \end{cases} \quad (1)$$

$$\text{高阈比较运算} \quad x' \triangleq \begin{cases} T & x > t \\ F & x < t \end{cases} \quad (2)$$

相应的电路实现如图 1(a) 所示。图中虚线左边为电流比较器, 它是电流型 CMOS 电路中常用的基本单元电路。两个电流的比较结果反映在输出端的电平上, 从而决定了后继电路的工作状态。图中 x 为信

号量, t 为阈值电流。若 $x < t$, 则 V_0 为高电平, 虚线右边的 nMOS 管导通, 因此该管的开关状态可用 x' 表示之; 若 $x > t$, 则 V_0 为低电平, pMOS 管导通, 因此可用 x' 表示它的开关状态。

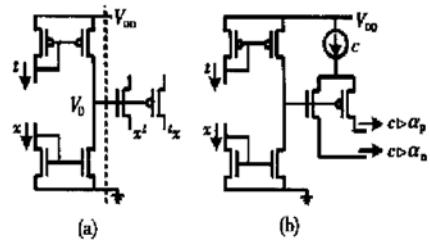


图 1 (a) 阈比较运算; (b) 电流传输运算

Fig. 1 (a) Circuit realization of threshold comparison operation; (b) Circuit realization of current transmission operation

(2) 联结运算 II: 用于描写元件的开关状态控制信号的传输与形成的物理过程。为了描写电流型 CMOS 电路中 MOS 管开关对电流信号的传输控制, 可定义如下电流传输运算:

$$c \triangleright \alpha \triangleq \begin{cases} c & \alpha = T \\ 0 & \alpha = F \end{cases} \quad (3)$$

式中 α 表示传输开关管(nMOS 或 pMOS)的开关状态, 相应的电路实现如图 1(b) 所示。图中若 nMOS 管处于开状态($\alpha_n = T$), 则电流信号 c 将由该管的源极输出至后级。若 pMOS 管处于导通状态($\alpha_p = T$), 则电流信号 c 将从 pMOS 管的漏极输出至后级。

上述传输电流开关理论的建立, 为实现电流型 CMOS 电路中阈值控制电路的开关级设计奠定了基础。

3 基于控阈技术的四值电流型 CMOS 电路设计

3.1 可控阈四值电流比较器

在多值逻辑电路中为检测具有 n 个逻辑值的输入信号需要设置 $n-1$ 个检测阈值。传统的讨论中, 这些检测阈值通常是固定的。对四值电流型 CMOS 电路而言, 为检测一个逻辑取值为(0, 1, 2, 3)的四值信号, 它们分别对应于电流信号 $(0, I_0, 2I_0, 3I_0)$, 通常需要设计一个具有三个固定检测阈值(0.5, 1.5, 2.5), 分别对应于电流值 $(0.5I_0, 1.5I_0, 2.5I_0)$ 的电

流比较器^[6], 如图 2(a) 所示。图中比较器的输出 V_a , V_b , V_c 为二值电压信号, 用于控制后级开关的导通或截止。而事实上, 数字电路中开关单元的阈值可以

成为受某变量控制的函数。这样, 为检测一个 n 值信号, 就不必设置 $n-1$ 个固定检测阈开关, 从而可望得到较为简单的电路设计。

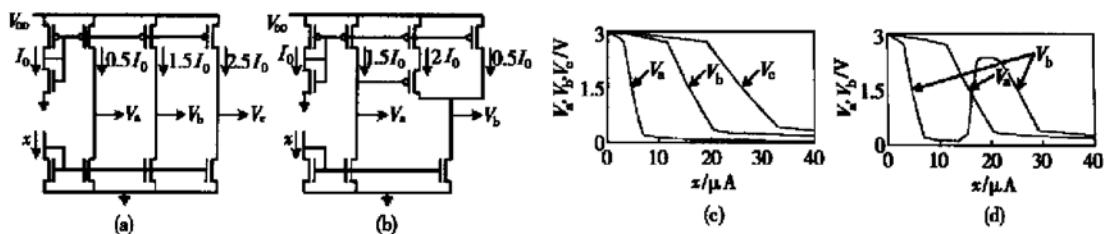


图 2 (a) 四值电流比较器; (b) 基于控阈技术的四值电流比较器; (c), (d) DC 传输特性

Fig. 2 (a) Quaternary current comparator; (b) Quaternary current comparator using threshold-controlling technique; (c), (d) DC input-output transfer characteristics

实际上, 一个四值信号只需要用二个二值信号就能区分了, 如表 1 所示。由表 1 可以看出, 当 $x < 1.5$ 时, $V_a = 1$ (即输出高电平); 当 $x < 0.5 \& 2V_a$ 时, $V_b = 1$ 。因此, 产生 V_a 信号的开关阈值可设置为固定阈值 1.5, 而产生 V_b 信号的检测阈值可设为可控阈值, 即受到 V_a 值的控制(当 $V_a = 1$ 时, 它的阈值为 0.5; 当 $V_a = 0$ 时, 它的阈值为 2.5)。由此, 设计的四值电流比较器如图 2(b) 所示。该电路虽然没有减少阈值电流设置的数目, 但却降低了其中一个阈值电流的大小。更为主要的是由于它只有二个输出端, 从而可以大大简化后继电路的设计。例如, 当与二值电压型 CMOS 电路接口时, 图 2(a) 的三个二值输出还需再译成二个二值信号^[6], 而图 2(b) 只需后接二个二值反相器便可构成 4-2 译码器。为进一步提高四值电流型 CMOS 比较器与二值电压型 CMOS 电路接口时的性能, 可在图 2(b) 所示的比较器的输出端与二值反相器之间加接一定的反馈网络^[16]。

表 1 四值比较器真值表
Table 1 Truth table of quaternary comparator

x	0	1	2	3
V_a	1	1	0	0
V_b	1	0	1	0

取 $I_0 = 10\mu\text{A}$, $V_{DD} = 3\text{V}$, 并采用 $1.2\mu\text{m}$ CMOS 工艺参数, 对图 2(a)、(b) 所示的电路经 PSPICE 模拟后得其传输特性曲线分别如图 2(c)、(d) 所示。对照图 2(c)、(d) 可以清楚地看出后者的变阈特性, 并可测得它的三个转换阈电流分别接近于 5 、 15 和 $25\mu\text{A}$, 完全符合四值电流比较器的设计要求。电流

比较器是电流型 CMOS 电路的基本单元, 利用图 2(b) 所示的电路就可以设计出具有简单结构的四值电流型 CMOS 电路。

3.2 可控阈四值全加器

由于电流信号极易实现算术加运算, 因此在电路设计时可将算术加信号作为一个中间变量引入。引入算术加信号后可以使电路结构得以简化, 在此基础上如果进一步引入阈值控制技术, 则可以得到更为简单的电路结构。设四值全加器的二个四值输入信号为 A 和 B , 进位输入(二值信号)为 C , 则 $\Sigma = A \& B \& C$ 为八值信号。由此得到引入中间算术加信号 Σ 后四值全加器的真值表如表 2 所示, 表中 C_+ 为进位输出, S 为和输出。算术加的结果导致逻辑值增加, 这样为了检测这个八值信号就需要设置对应于 7 种不同阈值(0.5 , 1.5 , 2.5 , 3.5 , 4.5 , 5.5 , 6.5) 的恒流源。由于受工艺条件的限制, 很难做到这么多

表 2 引入算术加信号后的四值全加器真值表

Table 2 Truth table of a quaternary full adder adopting arithmetic summation signal

Σ	0	1	2	3	4	5	6	7
S	0	1	2	3	0	1	2	3
C_+	0	0	0	0	1	1	1	1

的阈电流之间不存在偏差。因此, 随着阈电流种数及数值的增加, 电路的性能也会下降^[6]。但是如果引入阈值控制技术后, 就可以减少阈值电流的种类以及降低最大阈电流的数值。为实施阈值控制技术, 根据表 2 可以得到如下的电流传输开关运算表达式:

$$C_+ = 1 \triangleright ^{3.5} \Sigma \quad (4)$$

$$S = (1 \triangleright ^{0.5 \& 4C_+} \Sigma) \& (1 \triangleright ^{1.5 \& 4C_+} \Sigma) \& (1 \triangleright ^{2.5 \& 4C_+} \Sigma) \quad (5)$$

注意到在(5)式中引入了阈值控制技术,开关阈值受到了 C_+ 的控制。由此设计的四值全加器如图3(a)所示。可以看出电路中只需设置5种不同数值的阈电流($0.5, 1.5, 2.5, 3.5, 4$),而不是原来的7种,并且将最大阈值降为4而不是6.5(注意图中与二个输出端相连的 I_0 是输出电流而非阈电流)。该设计较之文献[6]提出的电路节省了约一半的管子,并且由于所需阈值电流数目和大小均得到降低,因此该设计具有更低的功耗。同时也可以降低由于工艺因素造成的阈电流偏差对电路性能的影响。

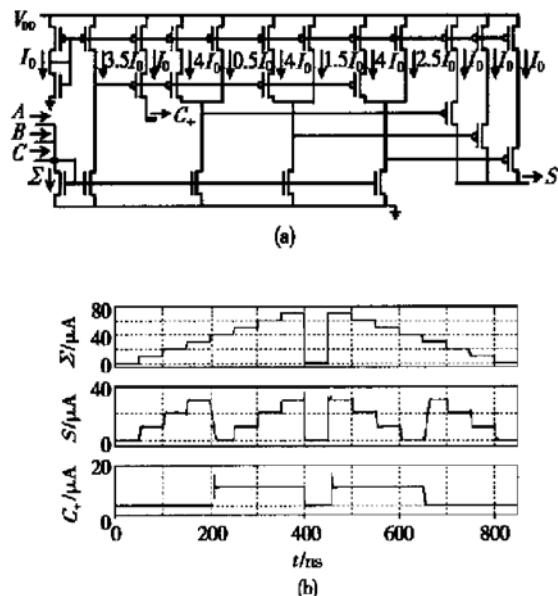


图3 (a) 基于控阈技术的电流型 CMOS 四值全加器;
(b) 瞬态特性

Fig. 3 (a) Current-mode CMOS quaternary full adder using threshold-controlling technique; (b) Transient characteristic

对图3(a)所示的电路经PSPICE模拟后得到其瞬态特性如图3(b)所示。模拟时采用 $1.2\mu\text{m}$ CMOS工艺参数并取 $I_0=10\mu\text{A}$, $V_{DD}=3\text{V}$ 。模拟结果表明所设计电路具有正确的逻辑功能及较之以往设计^[6]更好的性能。注意到模拟中已考虑了 Σ 由逻辑值0至7及由7至0的剧烈跳变情况。

3.3 可控阈四值锁存器

在图2(b)所示的比较器的基础上可以设计出

如图4(a)所示的四值电流型CMOS锁存器。当 $\text{clk}=1$ 时, m_1 导通, m_2 截止。电路接受输入信号,并由比较器输出控制选通恒流源而获得整形输出。当 $\text{clk}=0$ 时, m_1 截止, m_2 导通。此时电路与输入信号断开, I_F 与电流比较器构成正反馈回路使输出处于保持状态。该电路较之文献[6]提出的电路节省了约1/3的管子,并且阈电流也得到了降低。由该锁存器就很容易构成四值电路型CMOS触发器。

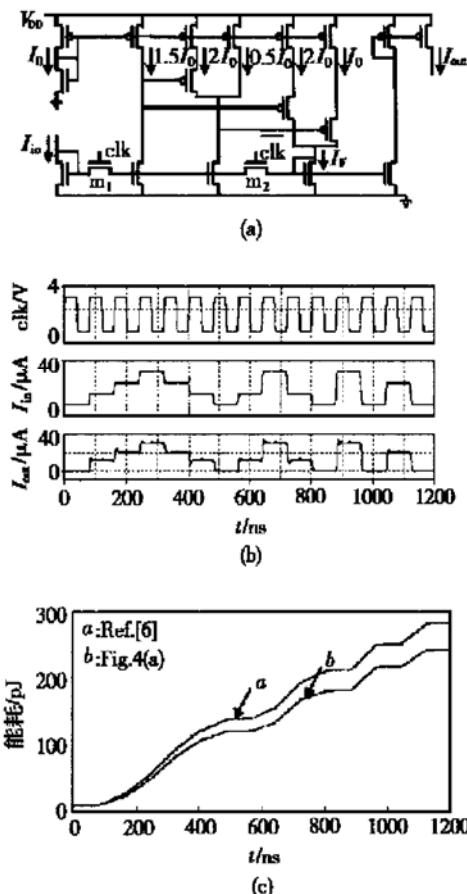


图4 (a) 基于控阈技术的电流型 CMOS 四值锁存器;
(b) 瞬态特性;

Fig. 4 (a) Current-mode CMOS quaternary latch using threshold-controlling technique; (b) Transient characteristic; (c) Comparison of transient energy consumption between latch of Fig. 4 (a) and proposed in Ref. [6]

对图4(a)所示的电路经PSPICE模拟后得到其瞬态特性如图4(b)所示,模拟中已考虑了四值输入信号的所有12种跳变。作为比较,在采用相同参数及激励条件下,图4(c)同时示出了图4(a)与文献[6]所提出的四值锁存器的瞬态能耗曲线。模拟结果表明,所设计的电路具有正确的逻辑功能、较好的瞬

态特性和更低的能耗.

4 结论

根据电流阈值易于控制的特点,本文将阈值控制技术应用于四值电流型 CMOS 电路的设计中.由于在电路设计时将电流阈值作为一个参量加以利用,使电路设计更为灵活并且增强了综合电路的能力,从而获得了简单的电路结构.此外,由于阈电流数目和大小均得到了减小,使电路的功耗得到降低.计算机模拟结果证明了所设计电路的正确性及优越性.为进一步提高电路的工作速度,可采用接入偏置电流的方法,这需要同时提高阈值电流.因此,这将以增加电路功耗为代价.需要指出的是,在本文的讨论中均采用了基本电流镜结构.为提高电流镜电流复制精度以及增强电路的抗干扰能力,可采用级联型或 Wilson 电流镜等输出阻抗较高的电流镜.当然采用这种结构的电流镜,在低电压下工作时,对输出端电压信号的摆幅损失会较大.在多值电流型电路中,往往需要提供多种阈值电流,随着阈值电流的增大,电流镜的复制精度会下降.但引入阈值控制技术后不仅使阈值电流设置的数目得到了减少而且使最大阈电流值也得到了减小,这均有助于降低因 MOS 管匹配受限造成电流复制精度下降而对整个电路性能带来的影响.

本文的讨论表明,数字电路中开关的阈值可以成为受某变量控制的函数,从而可望减少阈值开关的设置数目以及降低阈值的大小以达到简化电路、提高性能的目的.对阈值的控制应易于实现,由于元件的电压阈主要取决于工艺,通常是固定的,难以改变,因此,阈值控制技术可以首先在电流型电路中得到应用.为发展控阈技术,应掌握电路的开关级设计技术.由于开关信号理论描写了信号、阈值及元件开关状态之间的关系,它可直接用于指导对可控阈开关的研究.在二值电路中,电路通常只有一个阈值(0.5),因此,控阈技术较适用于多值逻辑电路.但是对全加器的设计结果表明,在电流型电路中,由于电流信号易于实现加法运算,因此将算术加信号作为中间变量引入电路设计时可得到较为简单的电路结构.算术加的结果导致逻辑值的增加,这给实施阈值控制技术提供了条件,因此可控阈的思想也适用于对二值全加器的设计^[11,15].本文的讨论可以推广至其它电流型电路中,如 I²L 及 ECL 电路等.

参考文献

- [1] Etiemble D. On the performance of multivalued integrated circuits: past, present and future. IEICE Trans Electron, 1993, E76-C(3): 364
- [2] Kawahito S, Kameyama M, Higuchi T, et al. A 32×32bit multiplier using multiple-valued MOS current-mode circuits. IEEE J Solid State Circuits, 1988, 23(1): 124
- [3] Hanyu T, Kameyama M. A 200MHz pipelined multiplier using 1.5V-supply multiple-valued MOS current-mode circuits with dual-rail source-coupled logic. IEEE J Solid State Circuits, 1995, 30(11): 1239
- [4] Ishizuka O, Ohta A, Tanno K, et al. VLSI design of a quaternary multiplier with direct generation of partial products. Proc IEEE ISMVL, Antigonish, 1997: 169
- [5] Abd-El-Barr M H, Hasan M N. New MVL-PLA structures based on current-mode CMOS technology. Proc IEEE ISMVL, Santiago de Compostela, 1996: 98
- [6] Current K W. Current-mode CMOS multiple-valued logic circuits. IEEE J Solid State Circuits, 1994, 29(2): 95
- [7] Chu W S, Current K W. Current-mode CMOS quaternary multiplier circuit. Electron Lett, 1995, 31(4): 267
- [8] Jain A K, Bolton R J, Abd-El-Barr M H. CMOS multiple-valued logic design-part I : circuit implementation. IEEE Trans Circuits Syst-I : Fundamental Theory and Applications, 1993, 40(8): 503
- [9] Chen X, Moraga C. Design of multivalued circuits based on an algebra for current-mode CMOS multivalued circuits. J Comput Sci Technol, 1995, 10(6): 564
- [10] Abd-El-Barr M, Al-Mutawa A. A new improved cost-table-based technique for synthesis of 4-valued unary functions implemented using current-mode CMOS circuits. Proc IEEE ISMVL, Warsaw, Poland, 2001: 15
- [11] Hang G, Wu X. Current-mode CMOS circuits design based on current threshold-controllable technique. Proc IEEE APCAS, Tianjin, 2000: 529
- [12] Hang G, Wu X. Current threshold-controllable technique and ternary current-mode CMOS Schmitt circuits. An International Journal: Multiple-Valued Logic, 2001, 7(3/4): 283
- [13] Wu X W, Deng X W, Ying S Y. Design of ternary current-mode CMOS circuits based on switch-signal theory. J Electron, 1993, 10(3): 193
- [14] Wu X W, Prosser F. Design theory of digital circuits at switch level. Science in China(Series E), 1996, 39(4): 424
- [15] Wu X W, Pedram M. Bounded algebra and current-mode digital circuits. J Comput Sci Technol, 1999, 14(6): 551
- [16] Chen Lu, Shi Bingxue, Lu Chun. Novel high-performance CMOS current comparator circuit. Chinese Journal of Semiconductors, 2001, 22(3): 362(in Chinese) [陈卢, 石秉学, 卢

纯. 一种新型的高性能 CMOS 电流比较器电路. 半导体学报, 2001, 22(3): 362]

Design of Current-Mode CMOS Quaternary Circuits Based on Threshold-Controllable Technique^{*}

Hang Guoqiang¹, Ren Hongbo² and Wu Xunwei³

(1 Department of Information & Electronic Engineering, Zhejiang University, Hangzhou 310027, China)

(2 Computing Center, Zhejiang University, Hangzhou 310028, China)

(3 Institute of Circuits and Systems, Ningbo University, Ningbo 315211, China)

Abstract: Guided by the switch signal-theory, how to realize the threshold controlling in current-mode CMOS circuits is studied. The operations of current transmission switch used to realize threshold-controlling circuits are established. On this basis, several current-mode CMOS circuits with threshold-controllable function are designed. These circuits include quaternary current comparator, quaternary full adder and quaternary latch. By employing the threshold-controlling technique, not only is the construction of the circuits simplified considerably but also the performance of the circuits is improved. The computer simulations with PSPICE demonstrate that the proposed circuits have correct logic function. Furthermore, they have a better transient characteristics and lower power dissipation than those of the previously reported ones.

Key words: switch theory; multiple-valued logic; threshold-controllable technique; current-mode CMOS

EEACC: 1130; 1265A; 2570D

Article ID: 0253-4177(2002)05-0523-06

* Project supported by National Natural Science Foundation of China (Grant No. 69973039)

Hang Guoqiang male, was born in 1968, PhD. Now he is an associate professor and engaged in the researches on low power digital integrated circuits design and multiple-valued logic circuits design.

Ren Hongbo male, was born in 1967, M.S. His current research interests include multiple-valued logic and current-mode circuits design.

Wu Xunwei male, was born in 1940. He is a professor and tutor of PhD candidates. His main research interests are in digital logic and design of integrated circuits.