

基于共模电平偏移电路新型 CMOS 低电压 满幅度运放设计

林 越 徐栋麟 任俊彦 许 傲

(复旦大学专用集成电路与系统国家重点实验室, 上海 200433)

摘要: 针对电源电压为 1V 甚至更低的应用环境, 给出了一种基于共模电平偏移电路的新型 rail-to-rail 运放结构, 相对以往同类电路具有很好的对称性和较高的输入阻抗, 并对之进行了详细的讨论。在整个共模输入电压范围内, 其单位增益带宽随共模电压变化仅为 0.05%。

关键词: CMOS; rail-to-rail; 运放

EEACC: 1220

中图分类号: TN 722. 7¹ 7

文献标识码: A

文章编号: 0253-4177(2002)05-0529-06

1 简介

随着集成电路工艺发展, 标准 CMOS 工艺集成电路的电源电压随等比例缩小原则降低, 同时, 基于电池的移动通讯电路和太阳能系统等的发展也加强了对低电源电压电路的要求。对于模拟电路的重要部分——运算放大器的设计而言, 传统的 rail-to-rail 运放的实现主要是依靠互补的 PMOS 和 NMOS 的差分对来实现共模电压从 0V 到电源电压的工作范围, 满足其工作条件的电源电压最小为 $V_{\text{supmin}} = V_{\text{thp}} + V_{\text{thn}} + 2V_{\text{dsat}}$ (即 N 型与 P 型管的阈值电压和与负载进入饱和区电压之和)。当电源电压进一步降低时, 由于阈值电压和进入饱和区的电压都不会随着电源电压等比例降低, 这样 P 型差分输入对和 N 型差分输入对的工作范围将无法重合, 从而导致在从 $V_{\text{dd}} - V_{\text{thp}} - V_{\text{dsat}}$ 到 $V_{\text{thn}} + V_{\text{dsat}}$ 的范围内运放不能正常工作。而对于标准 CMOS 工艺而言, 阈值电压一般在 0.6V 到 0.7V 之间, 所以传统的互补型双差分输入对的最小工作电压只能在 1.4V 左右以上。对于更低的工作电压如果不提高工艺成本采用低阈值电压的输入差分对就必须对现有的电路形式进行改进。

在这种情况下, 主要提出两种方法用以解决低电压的轨到轨的问题, 一种是利用倍压电路来产生专门供给差分输入对的本地电源, 但这种方法对于等比例缩小的标准 CMOS 工艺并不是一个有效的解决方案。另一种方案则是采用一个电平偏移电路, 利用反馈^[1]箝住输入共模电压以保证后接运放工作于固定共模电平上, 以往的电平偏移电路原理: 对于输入的共模信号 V_{cm} , 通过比较器的输出 V_s 控制两个压控电流源, 在线性电阻 R 上产生直流压降, 从而使差分输入对的共模电压 V_{cma} 始终保持在某一个固定的值上, 这个取值就是预先设定的差分输入对的工作电平 V_{ref} (一般为一个接近于后面差分输入对工作点 V_{gs} 的电平)。则只要电平偏移电路(level-shifter)在运放工作的频域内对差模信号的影响很小, 整个运放就可以工作于任何共模输入电压。这种电路形式带来的问题是:

(1) 由于在输入点引入直流通路, 输入阻抗降低, 实际只能达到 $100k\Omega$ 左右。

(2) 出于功耗的考虑, 产生共模电平偏移的线性电阻取值不可能很小, 相比压控电流源的输出阻抗不能忽略, 这样, 对于差模信号又存在一个衰减导致运放的增益会随共模输入电压发生改变。

对于文献[1]共模电平偏移电路结构本身, 还可

以注意到,由于电路的非对称性, V_{cm} 直接加在反馈回路上,该电路实际是单向的电平偏移电路,所以总会在某一方向上无法做到使共模工作电压向 V_{ref} 的趋近,将导致后端运放直流工作点的偏移,从而又导致运放性能随共模工作点发生变化.本文对这些问题进行了讨论并给出了相当的优化.本文的第 2 部分给出了新的 level-shifter 设计并进行了讨论,包括从差模和共模信号两方面的分析.第 3 部分为一个基于 level-shifter 的单差分输入对运放的具体电路实现.第 4 部分为运放电路的模拟测试结果.最后为本文工作的总结.

2 设计的基本思路与讨论

电平偏移电路结构提出的要求主要有电路在 V_{cm} 上的对称性,易于实现共模电平的双向偏移,以及高的差模输入阻抗,以保证差模输入衰减很小.从而保证运放的性能不随共模电压而变化,当然,同时要保证运放的频响受电平偏移电路的影响较小.新的电路结构如图 1 所示.

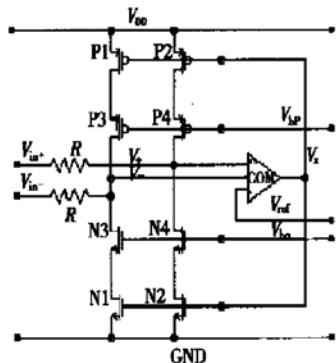


图 1 新型电平偏移电路的结构

Fig. 1 Schematic diagram of novel level-shifter

图中 COM 为一个比较器,从 V_+ 与 V_- 中提取共模信号与 V_{ref} 进行比较,其输出 V_x 控制 R_1 与 R_2 两个反馈回路从而使 V_+ 与 V_- 的共模电平趋于 V_{ref} .

对于输入信号,可以分为差模与共模两方面,下面就从这两方面分别讨论电平偏移电路的传输性能.

2.1 关于共模的讨论

根据图 1 可以画出共模回路的等效电路图,如

图 2 所示.

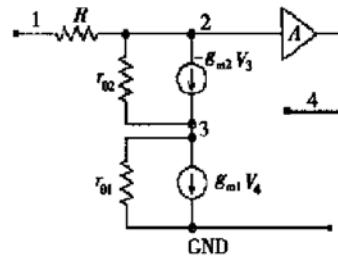


图 2 共模信号回路的等效电路图

Fig. 2 Equivalent circuit diagram of common mode loop

由图可知, $V_4 = AV_2$, 则:

$$\frac{V_1 - V_2}{R} = \frac{V_2 - V_3}{r_{02}} - g_{m2}V_3 \quad (1)$$

$$\frac{V_1 - V_2}{R} = \frac{V_3}{r_{01}} + g_{m1}AV_2 \quad (2)$$

可得

$$(r_{02} + r_{01} + g_{m2}r_{01}r_{02})V_1 = (R + r_{02} + r_{01} + g_{m2}r_{01}r_{02} + g_{m1}AR + g_{m2}r_{01}g_{m1}r_{02}AR)V_2$$

由 $g_{m2}r_{01}r_{02} \gg r_{02} + r_{01}$, $g_{m2}r_{01}g_{m1}r_{02}AR$ 也远大于 V_2 的其他系数, 可得到

$$V_2 \approx \frac{V_1}{g_{m1}AR} \quad (3)$$

所以

$$V_+ - V_{ref} = \frac{V_{cm} - V_{ref}}{g_{m1}AR} \quad (4)$$

当 $g_{m1}AR \gg 1$, V_+ 将趋近于 V_{ref} , 同时, 由(4)式还可以看到, V_+ 基本与 V_{cm} 无关, 这意味着, 基于以上结构的电平偏移电路的运算放大器的输入共模电压甚至可以超出电源电压的范围, 可以适用于强干扰的输入场合. 关于这一点将在后面的电路模拟中验证.

但也应该看到, 电平偏移电路在共模方面引入了反馈回路, 这也就意味着必须考虑电路的稳定性, 在这里主要考虑 2 点上的电容, 包括栅极电容和漏极电容. 设等效电容为 C_{eff} , V_+ 点将增加一个电流分量 V_2SC_{eff} . 为简化推导, 将比较器看作一个单极点放大器 $A = \frac{A_0}{1 + S/P_0}$, 其中 A_0 为比较器的直流增益. 则(1)、(2)式变形如下

$$\frac{V_1 - V_2}{R} = \frac{V_2 - V_3}{r_{02}} - g_{m2}V_{3+}V_2SC_{eff} \quad (5)$$

$$\frac{V_2 - V_3}{r_{02}} - g_{m2}V_3 = \frac{V_3}{r_{01}} + g_{m1}AV_2 \quad (6)$$

由(6)式可得 $V_3 \cong -\frac{g_{m1}}{g_{m2}}AV_2$, 将其与比较器的频响表达式代入(5)式可以得到 V_2 的频响如下:

$$\begin{aligned} V_2 &= \frac{1}{g_{m1}AR} \times \frac{V_1}{1 + S \frac{C_{eff}}{g_{m1}A}} \\ &= \frac{1}{g_{m1}A_0R} \times \frac{1 + S/P_0}{1 + S \frac{C_{eff}}{g_{m1}A_0} + S^2 \frac{C_{eff}}{g_{m1}A_0P_0}} \quad (7) \end{aligned}$$

由(7)式可知电平偏移电路有一个较低的零点 P_0 和一个较高的共轭复极点 $\sqrt{\frac{g_{m1}A_0P_0}{C_{eff}}}$, 由于 $\frac{1}{g_{m1}A_0R}$ 很小, 所以很容易保证回路的闭环增益在达到共轭复极点前远小于 1, 所以反馈回路的稳定性很容易保证.

2.2 关于差模的讨论

根据图 1, 比较器只提取共模信号来比较放大, 对于差模信号, 这一路可以视为断路, 因此, 等效电路如图 3 所示.

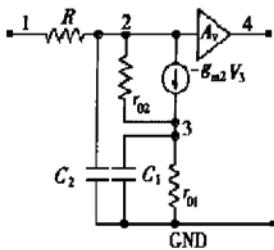


图 3 差模输入的等效电路图

Fig. 3 Equivalent circuit diagram of differential mode

图 3(A_v 为偏移电路后接的运算放大器)中, 对于频率较低的情况, 不考虑 C_2 与 C_1 的影响, 可得:

$$\frac{V_{2dm} - V_{3dm}}{r_{02}} - g_{m2}V_{3dm} = \frac{V_{3dm}}{r_{01}} \quad (8)$$

$$\frac{V_{1dm} - V_{2dm}}{R} = \frac{V_{2dm} - V_{3dm}}{r_{02}} - g_{m2}V_{3dm} \quad (9)$$

将(8)式代入(1)式可知 2 点的等效输入阻抗为 $r_{02} + r_{01} + g_{m2}r_{01}r_{02} \gg R$, 所以 $V_{2dm} \cong V_{1dm}$, 相比以往的结构, 输入阻抗增大了 $g_{m2}r_{02}$ 倍, 可见这种结构大大提高了交流输入阻抗. 从而, 当共模输入电压发生变化时, 输入电阻始终远远大于用来实现电平偏移的线性电阻, 随共模信号变化, 在电平偏移电路中没有明显的差模信号衰减. 整个运放的增益不随共模

信号发生变化. 特别值得注意的是, 这里必须要考虑 V_{ref} 与 V_{dsat} 相对值, $r_0 \propto \sqrt{V_{ds} - V_{dsat}}$, 当 V_{ref} 接近 $2V_{dsat}$ 时, 上述结构将不再能提供高阻抗.

当然同时要注意到, 采用这种结构来提高输入阻抗也会带来一定弊端, 最小电源电压将比原来增大一个 V_{dsat} , 这个增大的值大约为 50mV 左右.

在高频时, 图 3 中的电容同样不能忽略, 其中 C_1 为管子漏寄生电容 $C_{GD} + C_{DB}$, C_2 为管子漏上的寄生电容. 考虑电平偏移电路对整个运算放大器的频率响应的影响, 后接电压增益为 $A_v(S)$, 则对于 2 点有 $(V_1 - V_2)/R = V_3(SC_1 + 1/r_{01}) + V_2SC_2$, 又 $V_2 = (V_3(SC_1 + 1/r_{01}) + g_mV_3)r_{02} + V_3$

$$V_2 = \frac{1 + DS}{AS^2 + BS + C}V_1 \quad (10)$$

$$\begin{aligned} \text{其中 } A &= \frac{C_2C_1r_{02}r_{01}}{g_m r_{01}r_{02} + r_{01} + r_{02}}R \\ B &= \frac{C_1r_{01}(r_{02} + R)}{g_m r_{01}r_{02} + r_{01} + r_{02}} + C_2R \\ C &= 1 + R/(g_m r_{01}r_{02} + r_{01} + r_{02}) \\ D &= C_1r_{01}r_{02}/(g_m r_{01}r_{02} + r_{01} + r_{02}) \end{aligned}$$

当保证 g_m 较大($\gg 1/R$)时, (10) 式可以化简为:

$$V_{2dm} = \frac{1 + SC_1/g_m}{S^2C_1C_2R/g_m + C_2RS + 1}V_{1dm}$$

因为 $g_m \gg 1/R$, $(C_2R)^2 - 4C_1C_2R/g_m > 0$ 则电平偏移电路的差模传输函数中有两个相距较远的极点 $\omega_{p1} \cong 1/C_2R$, $\omega_{p2} \cong g_m/C_1$, 同时有一个零点 $\omega_z \cong g_m/C_1$ 与第二个极点相抵消. 电平偏移电路在整个电路结构中只加入了一个极点 $1/RC_2$, 由于 C_2 极小, 同时 R 也只在 $10k\Omega$ 数量级, 因此这个极点可以做的很大, 远大于后端运放的高频极点, 从而使电平偏移电路实际上对整个运放的频响没有影响.

这样, 电平偏移电路的频响实际相当于一个 RC 低通滤波器, 由于这个极点与 R 的倒数关系, 使频响的控制大大简化了. 针对后端接不同性能的运放, 电平偏移电路可以很简单地进行功耗与性能的折衷与优化.

2.3 器件失调及共模抑制比

理想情况下采用电平偏移电路的运放的共模抑制比应该极大. 由(4)式可知, 电平偏移电路本身的共模抑制比为 $g_{m1}AR \gg 1$, 设后接运放的共模抑制比为 $CMRR_{AV}$, 则运放的总的共模抑制比为 $CMRR$

$= \text{CMRR}_{\text{AV}} g_{m1} A R$, 较普通固定共模输入电平的运放的共模抑制比增大 $g_{m1} A R$ 倍。这是采用电平偏移电路运放的又一个优点, 但是请注意, 这是在理想情况下。实际上, 由于工艺流程中的偏差, 图 2 中两条支路上的器件有可能不匹配, 这样, 根据(4)式主要是 g_m 和 R 的变化会带来比较大的影响, 这将在两条支路上产生一个 ΔV_2 叠加于差模信号上。

$\Delta V_2 = ((g_{m1} + \Delta g_{m1})(R + \Delta R) - g_{m1} R) A V_2$
将(3)式代入上式可得:

$$\Delta V_2 \cong (\Delta g_{m1} + \Delta R) A V_2 = \left(\frac{\Delta g_{m1}}{g_{m1}} + \frac{\Delta R}{R} \right) V_1$$

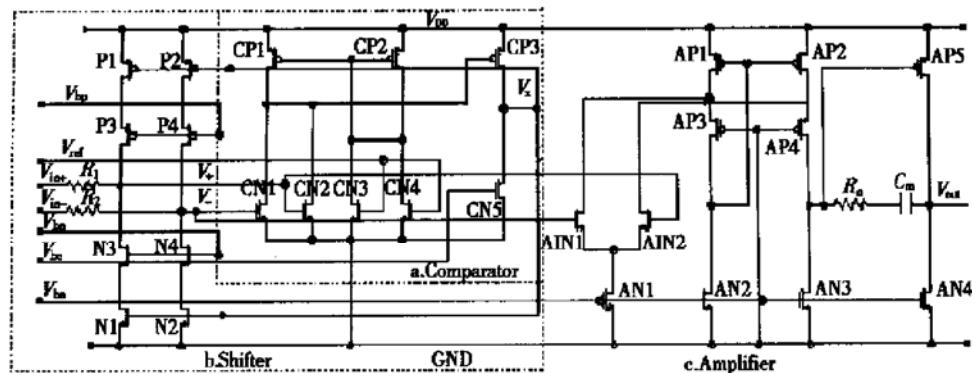


图 4 全电路图(不包括偏置电路)
Fig. 4 Schematic of whole circuit (without bias)

3.1 比较器

输入为 V_+ 和 V_- 以及第二级 N 管的偏置电压 V_{ba} 输出为 V_x 。比较器是电平偏移电路的重要组成部分, 它采用并联的输入对管来提取输入信号的共模分量与参考电压值进行比较。

为了设计的简便省略了第一级的偏置电路, 这样第一级的管子具有较小的面积, 但同时也导致 g_m 偏小, 优点是可以提高比较器的低频极点, 从而对低频共模信号有较好的响应, 但同时高频极点前移, 由于前面已经讨论到反馈回路具有较好的稳定性, 所以这个缺点可以忽略。

3.2 电平偏移电路(包括比较器)

输入为 V_{in+} 和 V_{in-} , V_{ref} 以及偏置电压 V_{ba} 和 V_{bp} , 输出为 V_+ 和 V_- 。关于比较器的原理, 前面已经作了很多讨论, 这里不再做进一步的说明了。

3.3 后接运放

该运放输入级不要求具有 rail-to-rail 功能, 只

所以, 运放总的共模抑制比的变化量为:

$$\Delta \text{CMRR} = \left(\frac{\Delta g_{m1}}{g_{m1}} + \frac{\Delta R}{R} \right)^{-1} \quad (11)$$

由(3)式可知, 器件参数的绝对误差并不重要。

3 电路的具体实现

整个电路实现见图 4, 虚线框内为电平偏移电路图, 框外为后接的简单运放, 电路主要包括以下几个部分。

要在低电压(1V)和固定的直流工作点(差分输入对的直流输入电压对 GND 为 0.75V)下正常工作即可, 这里 0.75V 是根据差分输入对管的阈值电压和偏置管的进入饱和区的电压加上 0.5V 的裕量, 同时距离正电源电压也要有一个 V_{dsat} 的裕量来确定的。所以, 在不要求很高带宽的条件下, 采用常规的共源共栅结构就可以满足要求, 运放电路在输出上采用了 Miller 电容补偿, 以保证有足够的电路稳定性运放的输入为 V_+ 和 V_- 以及偏置电压为 V_{ba} , 输出为 V_{out} 。表 1 和表 2 为该电路在 $0.35\mu\text{m}$ 工艺下实现时器件的参数。

表 1 器件参数

Table 1 MOS size μm

P1-P4	600/0.6	AP1-AP4	300/1
N1-N4	600/0.35	AP5	750/1
CN1-CN4	10/1	AN1	210/1
CP1-CP2	300/1	AN2/3	140/1
CP3	450/1	AN4	600/1
CN5	120/1	AIN1/2	160/1

表 2 电阻和电容

Table 2 Resistance and capacitance

R1/2	15k Ω
RM	6k Ω
CM	7pf

4 电路的模拟与测试结果

4.1 回路稳定性及电平偏移电路的闭环增益

可以看到, 在 10M 以内, 共模信号增益极低(1M 以下大约在 200k 分之一), 在 100M 时达到最大值大约 0.14 左右, 可知, 对于高频共模信号, 系统的稳定性也不存在问题.

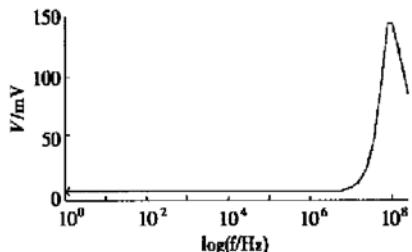


图 5 电平偏移电路对共模信号的频响曲线

Fig. 5 Common mode frequency response of level-shifter

4.2 运放的性能测试

在 1V 电源电压和 10pf 外接负载情况下, 运放性能如表 3 所示.

表 3 运算放大器基本性能测试参数

Fig. 3 Basic performances of OPAMP

DC gain	86. 7dB
GBW	7. 1MHz
I _{supply}	360 μ A
Phase margin	60°
SR+	1. 83V/ μ s
SR-	1. 96V/ μ s
CMRR	200. 6dB(无器件失调时模拟值)
PSRR+	73. 9dB
PSRR-	57dB

其中, 运放的增益由于输入阻抗较高比较恒定, 单位增益带宽则会随 V_{cm} 有微小浮动, 如图 6 所示.

模拟显示单位增益带宽在共模输入电压在电源电压范围内最小为 7.07MHz, 最大为 7.13MHz, 相对于 7.1MHz 的中心频率, 误差为 0.03MHz, 相对误差小于 0.05%. 当共模输入电压超出电源电压范围时, 可以看到沿超出方向有比较快的衰减, 当超过

0.2V 时, 单位增益带宽为 7MHz 左右, 且相位裕量保持不变, 据此可以认为在电源电压±0.2V 以内, 电路性能变化不大, 也即共模输入范围相对于电源电压有 20% 的裕量.

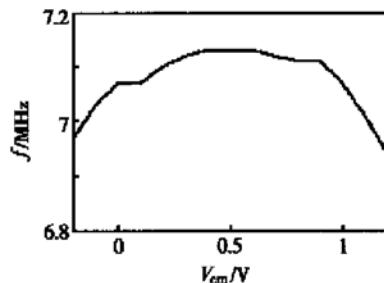


图 6 单位增益带宽随共模电压的浮动

Fig. 6 GBW floating with V_{cm}

5 总结

本文针对标准 CMOS 工艺下低电源电压运算放大器设计问题, 提出了一种新的基于共模电平偏移电路的运算放大器结构形式. 其共模电平偏移电路较以往的优化结构, 其对称性保证无论共模输入信号高于或低于参考电平都可以有效地将其箝制于参考电平上, 甚至对超过电源电压范围的共模电平也可以有效工作, 从而保证整个运放的工作. 同时, 本文提出的电平偏移电路结构交流输入电阻提高的改进方案, 从而有效的提高了运放的差模性能, 保证了对不同共模输入信号的恒定电压增益与带宽. 本文还给出了共模电平偏移电路对电路频率响应特性的影响的一般讨论, 得出了一般的解决方案.

参考文献

- [1] Duque-Carrillo J Francisco, Austin Jose. é. 1V rail-to-rail operational amplifiers in standard CMOS technology. IEEE Solid-State Circuits, 2000, 35(1): 33
- [2] Giustolisi G, Palmisano G, Palumbo G, et al. 1.2V CMOS OPAMP with a dynamically biased output stage. IEEE Solid-State Circuits, 2000, 35(4): 632
- [3] Huijsing J H, Linebarger D. Low-voltage operational amplifier with rail-to-rail input and output ranges. IEEE J Solid-State Circuits, 1985, 20: 1144
- [4] Duque-Carrillo J F, Valverde J M, Pérez-Aloe R. Constant-G rail-to-rail common-mode input stage with minimum CMRR degradation. IEEE J Solid-State Circuits, 1993, 28: 661
- [5] Fonderie J, Maris M M, Schnitger E J, et al. 1V operational

- amplifier with rail-to-rail input and output stages. IEEE J Solid-State Circuits, 1989, 24: 1551
- [6] Duque-Carrillo J F, Pérez-Aloe R, Valverde J M. Biasing circuit for high input swing operational amplifiers. IEEE J Solid-State Circuits, 1995, 30: 156
- [7] Sakurai S, Ismail M. Robust design of rail-to-rail CMOS operational amplifiers for a low power supply voltage. IEEE J Solid-State Circuits, 1996, 31: 146
- [8] Moldovan Laszlo, Li Hua Harry. A rail-to-rail, constant gain, buffered OPAMP for real time video applications. IEEE Solid-State Circuits, 1997, 32(2) :
- [9] Razavi Behzad. Design of analog CMOS integrated circuits. International Edition 2001

A Novel Level-Shifter Based CMOS Rail-to-Rail OPAMP Design

Lin Yue, Xu Donglin, Ren Junyan and Xu Jun

(ASIC and System State Key Laboratory, Fudan University, Shanghai 200433, China)

Abstract: A Level-Shifter based rail-to-rail OPAMP with relative high input resistance and single differential input pair is presented. Some common discussions of such circuits' architecture are given. An implementation of such circuit is made by 0.35 μ m process.

Key words: CMOS; rail-to-rail; OPAMP

EEACC: 1220

Article ID: 0253-4177(2002)05-0529-06