

# 开路缺陷的软故障关键面积研究

陈太峰 郝 跃 马佩军 张进城 赵天绪 刘 宁

(西安电子科技大学微电子所, 西安 710071)

**摘要:** 从软故障的产生机制出发, 研究了软故障的作用模式。为了计算软故障的关键面积, 将互连线分为接触区和导电通道两部分来处理, 并推导出了总的计算公式。最后通过对一个 $4 \times 4$  移位寄存器的软故障关键面积的计算, 说明了在不同粒径缺陷情况下, 软、硬故障对电路的影响程度。

**关键词:** 软故障; 硬故障; 互连线; 关键面积

**EEACC:** 2220C; 2570; 0170N

**中图分类号:** TN43

**文献标识码:** A

**文章编号:** 0253-4177(2002)06-0651-04

## 1 引言

随着集成电路规模的增大, 器件和互连线特征尺寸的减小, 电路的成品率问题变得越来越重要。实际研究证明, 80% 左右的电路成品率问题是由于制造缺陷引起的<sup>[1]</sup>。当前的研究主要集中在缺陷对互连线层的影响上<sup>[2,3]</sup>。本文将从缺陷引起电路成品率降低的作用模式出发, 研究由导电层丢失物或介质层多余物引起的开路缺陷的作用(如图 1 所示)。

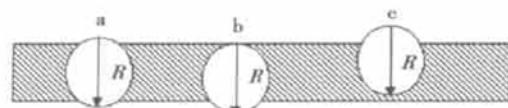


图 1 开路缺陷模型

Fig. 1 Model for open fault of defects

图 1 中, 缺陷 a、b 将直接导致导线的开路, 缺陷 c 虽然不会直接引起电路的失效, 但是它使得导线的宽度变窄, 电迁移作用更加显著<sup>[4,5]</sup>, 即产生了软故障。相应的引起电路直接失效的故障称为硬故障。软、硬故障对电路的影响程度都可以用关键面积来评价<sup>[6]</sup>。所谓关键面积是指只有当缺陷的中心落入

其中才会导致故障的区域。关键面积占总面积的比例体现了电路对缺陷的敏感度。

## 2 开路关键面积的研究

一般的, VLSI 的互连线都可以看作是以两个或多个接触区域为端点的导电通道, 如图 2 所示。因此互连线的关键面积可以转化为分别求接触区和导电通道的关键面积, 然后将二者叠加起来<sup>[7,8]</sup>。以下将分别讨论这两种关键面积的求取。

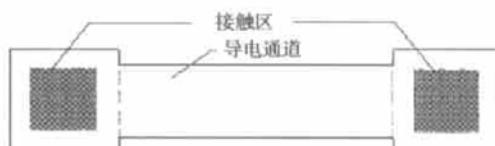


图 2 典型的 VLSI 互连线模型

Fig. 2 Typical model of VLSI interconnection

### 2.1 接触区关键面积的求法

接触区的模型如图 2 所示, 缺陷的影响体现在它对接触孔或通孔的覆盖上。缺陷对通孔和接触孔的覆盖有完全覆盖和部分覆盖两种情况, 如图 3 和图 4 所示。

陈太峰 男, 1977 年出生, 硕士研究生, 研究方向是集成电路软故障及成品率相关技术。

郝 跃 男, 1958 年出生, 教授, 博士生导师, 从事微电子学与半导体器件的研究。

2001-10-17 收到, 2001-12-20 定稿

©2002 中国电子学会

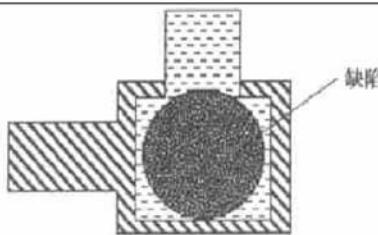


图 3 缺陷对通孔的完全覆盖

Fig. 3 Completely overlapped on via by defect

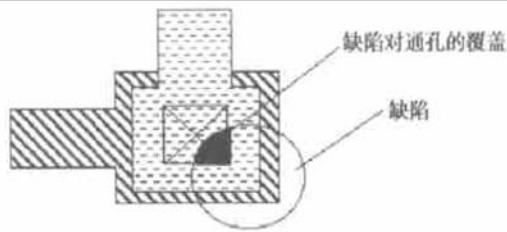


图 4 缺陷对通孔的部分覆盖

Fig. 4 Partly overlapped on via by defect

像图 3 这种情况, 缺陷完全覆盖住了接触孔或通孔, 就会使其完全失效, 这就是硬故障. 而如图 4

所示, 这时缺陷覆盖住了通孔的一部分, 就会使纵向的导电通道宽度变窄, 从而导致其电阻的增加和电迁移现象的加剧, 电路的性能及可靠性都会降低, 这就是产生了软故障.

硬故障关键面积可以通过多边形的膨胀获得, 其形状如图 5 中阴影部分所示, (a)、(b) 分别是大粒径缺陷和小粒径缺陷时的情况. 大粒径( $R > 2w$ ) 时

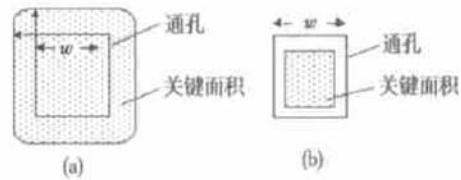


图 5 通孔关键面积

Fig. 5 Critical area of vias

关键面积区域的形状是一个圆角正方形, 小粒径( $w < R \leq 2w$ ) 时是一个正方形. 设通孔边长为  $w_v$ , 缺陷的粒径为  $R$ , 则硬故障关键面积为:

$$A_{vh}(R) = \begin{cases} 0 & R \leq w_v \\ (R - w_v)^2 & w_v < R \leq 2w_v \\ 4w_v(0.5R - w_v) + w_v^2 + \pi(0.5R - w_v)^2 & R > 2w_v \end{cases} \quad (1)$$

对于软故障, 可以得出一个临界宽度  $w_g$ , 若通孔的有效宽度小于  $w_g$ , 就认为有软故障发生.  $w_g$  的大小是由电路的性质及我们对它的可靠性的要求确定的, 根据对导线寿命的要求可由式(2)得出. 其中  $TTF_g$  为导线的实际寿命,  $TTF$  为理想的导线寿命,  $w$  为理想宽度,  $w_{\text{有效}}$  为有效宽度.

$$A_{vh\&s}(R) = \begin{cases} 0 & R \leq w_v - w_g \\ (R - w_v + w_g)^2 & w_v - w_g < R \leq 2(w_v - w_g) \\ 4w_v(0.5R - w_v + w_g) + (w_v - w_g)^2 + \pi(0.5R - w_v + w_g)^2 & R > 2(w_v - w_g) \end{cases} \quad (3)$$

$$A_{vs}(R) = A_{vh\&s}(R) - A_{vh}(R) \quad (4)$$

## 2.2 导电通道关键面积的求法

关于导电通道的开路关键面积, 前人已经做了不少研究工作, 实际的短路关键面积如图 6(a) 中阴影部分所示<sup>[9]</sup>. 但是考虑到该面积与接触区关键面积可能会有一个重叠, 而且也完全没有必要将端点

处考虑得如此精确. 我们采用如图 6(b) 中所示的矩形区域, 那么导电通道的硬故障关键面积为:

$$A_{ch}(R) = \begin{cases} 0 & R < w_c \\ (R - w_c)l & R \geq w_c \end{cases} \quad (5)$$

其中  $w_c$  为线宽;  $R$  为缺陷粒径;  $l$  为导线的长度. 类似的, 给定一个临界宽度  $w_g$ , 导电通道的软故障

关键面积为:

$$A_{ch\&s}(R) = \begin{cases} 0 & R < w_c - w_g \\ (R - w_c + w_g)l & R \geq w_c - w_g \end{cases} \quad (6)$$

$$A_{cs}(R) = A_{ch\&s}(R) - A_{ch}(R) \quad (7)$$

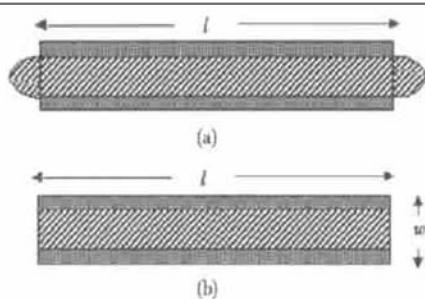


图 6 短路关键面积模型

Fig. 6 Critical area model for short circuit

### 2.3 总的软故障关键面积的计算

由以上部分可以得出总的软故障关键面积:

$$\begin{aligned} A_s(R) &= 2A_{vs}(R) + A_{cs}(R) \\ &= 2A_{vh\&s}(R) - 2A_{vh}(R) + A_{cs\&h}(R) - A_{cs}(R) \end{aligned} \quad (8)$$

(8) 式给出了长条形导线的软故障关键面积的计算方法, 对于其它更复杂的图形, 可以将其拆分成多个长条形的组合, 然后计算。拆分后的长条形还包含只有一端是接触孔和两端都没有接触孔的情况, 其关键面积分别如下:

$$A_s(R) = A_{vs}(R) + A_{cs}(R) \quad A_s(R) = A_{cs}(R) \quad (9)$$

## 3 模拟结果与分析

由(8)、(9)式可以计算出给定的芯片版图的关键面积。本文对如图 7 所示的  $4 \times 4$  移位寄存器的第一层金属(Metal 1)的软故障关键面积进行模拟计

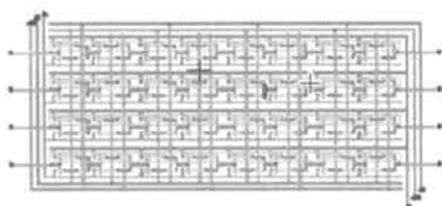


图 7  $4 \times 4$  移位寄存器

Fig. 7  $4 \times 4$  Shift register

算, 该移位寄存器采用  $0.5\mu m$  工艺。图 8 给出了其第一层金属(Metal 1)对不同粒径缺陷的软硬故障关键面积。

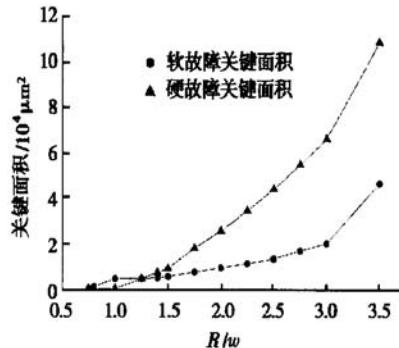


图 8 金属层软、硬故障关键面积的对照

Fig. 8 Contrast between critical area of soft fault and hard fault in metal layer

由上图可以看出, 在缺陷粒径比较小时, 即比最小线宽略小时, 软故障关键面积比硬故障关键面积大, 此时软故障的影响处于主导地位; 当缺陷粒径和线宽差不多时( $w < R < 1.5w$ ), 软故障关键面积和硬故障关键面积大小相差不大, 此时软硬故障都很重要; 当粒径比最小线宽大得较多(1.5 倍以上)时, 硬故障关键面积比软故障关键面积大, 此时硬故障的影响处于主导地位。

## 4 结论

互连线的软故障关键面积和硬故障关键面积对电路都有影响, 但是在不同的缺陷粒径情况下, 它们对电路性能的影响是不同的。本文通过软故障关键面积的计算, 给出了它们各自处于主导地位的阶段。由模拟结果可以看出, 当缺陷粒径比互连线宽度略小或者差不多时(小于 1.5 倍), 硬故障没有发生或者其关键面积比较小, 此时软故障对电路的影响占主导地位; 当粒径很大时(大于 1.5 倍), 硬故障将处于优势地位。现在, 随着工艺条件的改善, 缺陷的粒径将会变得越来越小, 这样软故障的影响将日渐引起人们的关注。

## 参考文献

- [1] Maly W, Strojwas A J, Director S W. Fabrication based statistical design of monolithic IC's. In: Proceeding of the IEEE In-

- ternational Symposium on Circuits and Systems, 1981, 135
- [ 2 ] Chen Taifeng, Hao Yue, Zhao Tianxu, et al. Reliability model of IC's interconnect based on defect's statistic distribution. Chinese Journal of Semiconductors, 2001, 22(10): 1343 (in Chinese) [ 陈太峰, 郝跃, 赵天绪, 等. 基于缺陷统计分布的 IC 互连线可靠性模型. 半导体学报, 2001, 22(10): 1343]
- [ 3 ] Zhao Tianxu, Hao Yue, Chen Taifeng, et al. Relation between reliability and yield of IC's based on discrete model. ACTA Electronica Sinica, 2001, 29(11): 1661 (in Chinese) [ 赵天绪, 郝跃, 陈太峰, 等. 基于离散模型的 IC 可靠性与成品率关系. 电子学报, 2001, 29(11): 1661]
- [ 4 ] Jiang Tao, Cheung N W, Hu Chenming. An electromigration failure model for interconnects under pulse and bidirectional current string. IEEE Trans Electron Devices, 1993, 41(4): 539
- [ 5 ] Jiang Tao, Cheung N W, Hu Chenming. Metal electromigration damage healing under bidirectional current stress.
- [ 6 ] Allan G A, Walton A J. Critical area extraction of soft fault estimation. IEEE Trans Semicond Manuf, 1998, 11(1): 146
- [ 7 ] Pleskacz W A, Quyang C H, Maly W. A DRC-based algorithm for extraction of critical areas for opens in large VLSI circuits. IEEE Trans Comput-Aided Des Integrated Circuits and Systems, 1999, 18(2): 151
- [ 8 ] Quyang C H, Pleskacz W A, Maly W. Extraction of critical areas for opens in large VLSI circuits. IEEE International Workshop on Defect and Fault Tolerance in VLSI System, 1996, 21
- [ 9 ] Ma Peijun, Hao Yue, Kou Yun. An improved model and method of VLSI critical area computation. Chinese Journal of Semiconductors, 2001, 22(9): 1212 (in China) [ 马佩军, 郝跃, 寇芸. 一种改进的 VLSI 关键面积计算模型和方法. 半导体学报, 2001, 22(9): 1212]

## A Study of Critical Area Extraction for Soft Fault of Opens

Chen Taifeng, Hao Yue, Ma Peijun, Zhang Jincheng, Zhao Tianxu and Liu Ning

(Institute of Microelectronics, Xidian University, Xi'an 710071, China)

**Abstract:** Based on the mechanism of soft fault occurring, its function mode is studied. A general formula to calculate the critical area is presented by dividing VLSI interconnects into two parts, contacting region and conducting path. Finally, the effect of hard and soft fault of different size of defect on circuits is given by calculating soft fault critical area of a  $4 \times 4$  shift register.

**Key words:** hard defect; soft fault; interconnect; critical area

**EEACC:** 2220C; 2570; 0170N

**Article ID:** 0253-4177(2002)06-0651-04

Chen Taifeng male, was born in 1977, Master candidate. His interests focus on IC's soft fault and technology about yield.

Hao Yue male, was born in 1958, professor, director of PhD candidate. His research interests include research on microelectronics and semiconductor device.

Received 17 October 2001, revised manuscript received 20 December 2001

©2002 The Chinese Institute of Electronics