

# 一种改进的高分辨精度的 CMOS 电流型排序电路\*

池保勇 石秉学

(清华大学微电子学研究所, 北京 100084)

**摘要:** 提出了一种改进的高分辨精度的 CMOS 电流型排序电路。该电路不需要偏置信号, 简化了系统设计。其电路结构简单, 便于扩展。利用平均值电路、减法电路、WTA 电路和控制电路, 可以使该排序电路在大输入电流下依然保持高性能。它已经采用  $0.8\mu\text{m}$  标准 CMOS 工艺成功制作。芯片面积为  $2.38\text{mm} \times 2.00\text{mm}$  (核心电路面积仅为  $1.12\text{mm} \times 0.52\text{mm}$ )。测试结果表明该排序电路动态范围大、分辨精度高、准确度好、功耗低, 可以广泛地应用于中值滤波、模式识别、神经网络、模糊逻辑等信号处理领域, 具有很高的应用价值。

**关键词:** 电流型; WTA 排序

**EEACC:** 6230F; 2570D; 1285

**中图分类号:** TN432      **文献标识码:** A      **文章编号:** 0253-4177(2002)08-0861-06

## 1 引言

在中值滤波、模式识别、神经网络、模糊逻辑等信号处理领域, 对模拟量进行排序是一个很重要的工作。它的功能是根据输入模拟量的大小, 将它们按升序或者降序排列。有些文献提出了各种快速的排序算法, 但是这些算法却难以用大规模集成电路技术来实现。由于排序的重要性, 使用专用集成电路技术来实现排序功能引起了很多研究人员的注意。

文献[1]提出了一种高性能的开关电容型排序电路。该排序电路使用开关电容技术对输入信号进行采样; 使用 WTA 网络来发现最大的输入电压; 排序结果以时分复用的方式传到输出端。该排序电路仅处理电压信号, 其结构复杂度为  $O(N^2)$ , 不便于扩展。

文献[2~6]提出了电流型排序电路。它们使用开关电流技术来提高排序精度。这些排序电路都能处理电流信号, 但它们均不是自适应的, 需要根据输入信号的大小来调节偏置信号。

另外, 上面所列的排序电路均存在一个很大的缺点: 它们的排序精度和准确性都依赖于输入信号的大小。当输入信号很大时, 它们的性能会急剧恶化。

针对这些缺点, 本文提出了一种改进的高分辨

精度的 CMOS 电流型排序电路。该电路不需要偏置信号, 简化了系统设计。其电路结构简单, 便于扩展。利用平均值电路、减法电路、WTA 电路和控制电路, 可以使该排序电路在大输入电流下依然保持高性能。它已经采用  $0.8\mu\text{m}$  标准 CMOS 工艺成功制作。芯片面积为  $2.38\text{mm} \times 2.00\text{mm}$  (核心电路面积仅为  $1.12\text{mm} \times 0.52\text{mm}$ )。测试结果表明该排序电路动态范围大、分辨精度高、准确度好、功耗低, 可以被广泛地应用于中值滤波、模式识别、神经网络、模糊逻辑等信号处理领域, 具有很高的应用价值<sup>[7,8]</sup>。

## 2 电路结构和工作原理

该排序电路采用时钟信号控制的同步时序, 其基本原理是: WTA 网络先发现最大的输入电流; 然后该输入电流被传到输出端; 最后, 最大的输入电流退出竞争, 从而结束一个时钟周期。在每一个时钟周期内, 排序电路要完成以下操作:

- (1) 平均值: 所有参加竞争的输入电流都输入至同一个结点, 然后通过电流镜技术求得它们的平均值。
- (2) 减法: 将输入电流与平均值相减, 所得的差值输入 WTA 网络。
- (3) 竞争: WTA 网络从参加竞争的候选者中发

\* 国家自然科学基金资助项目(批准号: 69636030)

池保勇 博士研究生, 研究方向为模拟和射频前端电路设计。

石秉学 教授, 博士生导师, 研究方向包括数模混合信号设计、人工神经网络和模糊逻辑的 VLSI 实现、DC-DC 变换器和射频电路设计技术。

2001-11-08 收到

© 2002 中国电子学会

现胜者,从而确定该周期内最大的电流输入端.

(4) 退出:发现的最大输入电流输入 WTA 网络的路径被截断,从而使胜者退出竞争.

图 1 给出了一个三输入电流型排序电路的电路图,它主要是由三个 core 模块、一个电流输出模块和一些控制逻辑模块组成的.

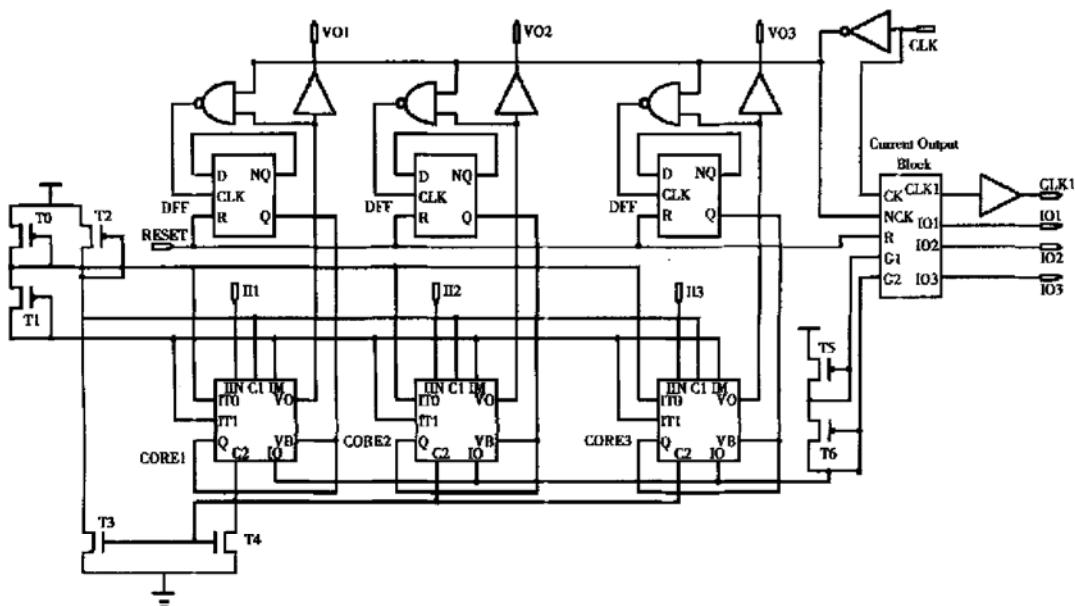


图 1 三输入电流型排序电路的电路图

Fig. 1 Diagram of 3-input current-mode sorter

控制逻辑模块的功能是使 WTA 网络发现的胜者退出竞争.每一个 core 模块都伴随有一个控制逻辑模块,该模块主要由 D 触发器和与非门构成.当 RESET 为低电平时,D 触发器的 Q 端是低电平,输入电流传到 WTA 网络.当 RESET 为高电平时,如果相应的输入电流值最大,那么经过竞争后,它将成为胜者,从而使 core 模块的 VO 端输出一个高电平.当时钟信号 CLK 的下降沿到达时,与非门的输出将触发 D 触发器,使 D 触发器改变其状态,Q 端输出高电平.这样该输入电流输入 WTA 网络的路径被截断,从而退出竞争,core 模块的 VO 端回复到低电平,使 D 触发器锁定,直到下一个 RESET 信号来临.在 WTA 网络确定了胜者后,使胜者退出竞争,竞争者将减少,从而可以提高 WTA 网络的精度,并降低功耗.

Core 模块的功能是检测最大电流输入端.它主要由五部分组成:求平均值电路,求差值电路,WTA 网络,输出缓冲器和电流镜.图 2 给出了这个模块的电路图.

N 型电流镜 T4~T7 将输入电流传到节点 IM,所有的输入电流在该节点相加,然后通过一个 3:1

的电流镜(图 1 中的 T0~T1,图 2 中的 T15~T16)来求得所有输入电流的平均值.作为电流镜 T4~T5, T8~T9 的一部分,T8~T9 吸收了该平均值电流.输入电流和平均值之间的差值通过电流镜 T17~T20 传到 WTA 网络.为了减少电流传输错误,所有的电流镜均采用 Cascode 结构.WTA 网络是一个高速、高精度的交叉抑制网络,其交叉抑制点为 C2.每个 WTA 单元由三个尺寸一样的晶体管 T10~T12 组成,图 1 中的晶体管 T4 为它们提供偏置电流.晶体管 T21 作为 WTA 单元的有源负载<sup>[5]</sup>.WTA 网络的基本原理如下:

假设输入 WTA 网络的 N 个电流( $I_1, I_2, \dots, I_N$ )满足下列条件:

$$I_i > I_j, j = 1, 2, \dots, N, i \neq j$$

则

$$I_i = I_{dsT11} = \beta(V_{C2} - V_T)^2(1 + \lambda V_{Dj})$$

$$I_j = I_{dsT11} = \beta(V_{C2} - V_T)^2(1 + \lambda V_{Dj})$$

其中  $\beta = [\mu c_{ox}/2](W/L)$ ;  $V_{C2}$  是交叉抑制点的电压; $V_{Dj}$  是 T11 的漏端电压; $V_T$  是阈值电压(假设 WTA 网络中所有晶体管的阈值电压都相同).

从以上两个公式可以推出:  $V_{Dj} > V_{Dj}$

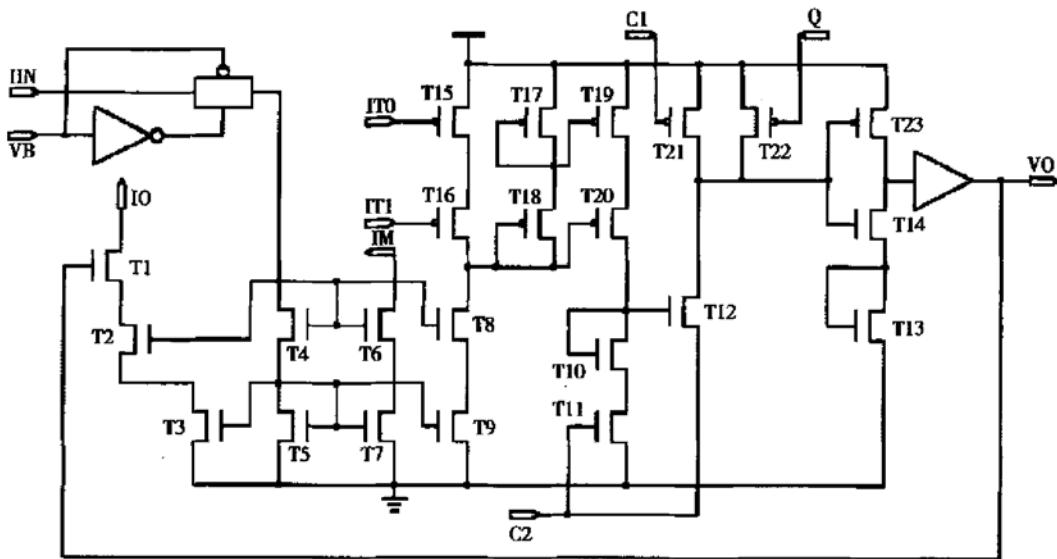


图2 core模块的电路图

Fig. 2 Schematic diagram of the core block

对于晶体管 T10:

$$I_i = \beta(V_{Gi} - V_{Di} - V_T)^2$$

$$I_j = \beta(V_{Gj} - V_{Dj} - V_T)^2$$

其中  $V_{Gi}$  是 T10 的栅电压.

根据

$$I_i > I_j \text{ 和 } V_{Di} > V_{Dj}$$

可以得到

$$V_{Gi} > V_{Gj}$$

$V_{Gk}, k = 1, 2, \dots, N$  可以被看作由图 1 中的 T4 作为电流源和图 2 中的 T12 作为输入晶体管的多输入差分放大器的输入信号.

如果

$$V_{ID} = |V_{Gi} - V_{Gj}| > \left| \frac{2I_s}{\beta} \right|^{1/2}$$

$$j \neq i, j = 1, 2, \dots, N$$

由差分放大器的原理可知, 只有第  $i$  个输入晶

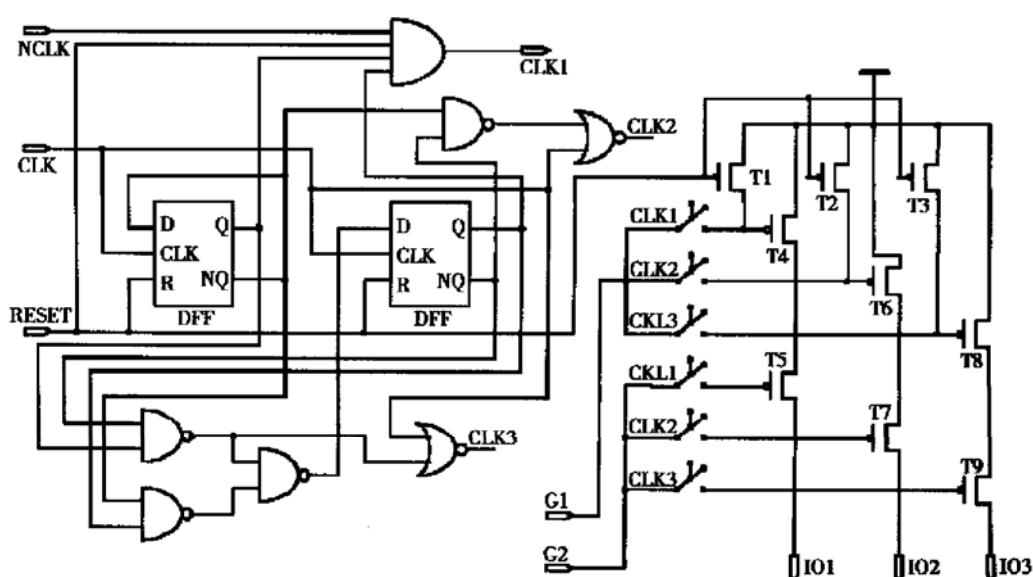


图3 电流输出模块的电路图

Fig. 3 Schematic of the current output block

体管处于导通状态, 并且其通过的电流等于电流源(图 1 中的 T4)所提供的电流, 其它输入晶体管则由于共模点 C2 引入的电压反馈和 p 型电流镜(图 1 中的 T2 和图 2 中的 T21)引入的电流反馈而截止<sup>[9]</sup>. 所以仅第  $i$  个输入晶体管的漏端电压处于一中间级电平, 此中间级电平经过由非对称反相器(T13, T14, T23)和两级普通反相器组成的缓冲器后, 在 VO 端输出一个高电平. 所有其它的输入晶体管的漏端都被上拉到高电平, 并在 VO 端输出低电平. 这样就实现了 WTA 的功能.

晶体管 T22 的功能是加速 WTA 网络选定下一个胜者的收敛速度, 它是一个小宽长比的 PMOS 管.

电流输出模块的功能是: 在一定逻辑操作的控制下, 将该周期内选出的最大输入电流传给芯片外的负载. 图 3 给出了这个模块的电路图. 该图中的 T4~T5, T6~T7, T8~T9 和图 1 中的 T5~T6 组成了三对电流镜. 通过这些电流镜, WTA 网络选出的最大输入电流可以被传到  $IO_i$  端. 传送过程由 CLK1, CLK2 和 CLK3 控制的开关管来控制. 这些控制信号的时序由图 4 给出, 图中假设了  $I_1 > I_2 > I_3$ . 当  $CLK_i$  为高电平时, 第  $i$  个输入电流将被传送到  $IO_i$  端口.

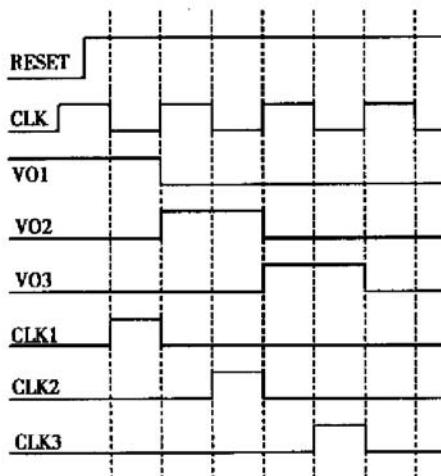


图 4 排序电路的时序图

Fig. 4 Timings of the sorter

从电路图可以看出, 该排序电路是自适应的, 仅需要一个 RESET 和一个 CLK 信号, 不需要偏置信号. 由于输入 WTA 网络参加竞争的电流是输入电流和它们平均值的差值, 所以这个排序电路即使在大的输入电流下, 也能保持很高的分辨精度. 该电路

是以并行的方式工作, 具有很高的收敛速度. 它的结构复杂度是  $O(N)$ , 便于扩展.

### 3 测试结果

为了验证这个排序电路的性能, 我们采用  $0.8\mu m$  N 阵标准数字 CMOS 工艺制作了该电路. 图 5(a)给出了芯片的显微照片(由于拍照设备的限制, 该照片中没有显示焊盘和两个缓冲器的版图). 为了对该电路有一个完整的理解, 图 5(b)给出了该电路的版图. 芯片面积为  $2.38mm \times 2.00mm$  (其中核心面积仅为  $1.12mm \times 0.52mm$ ).

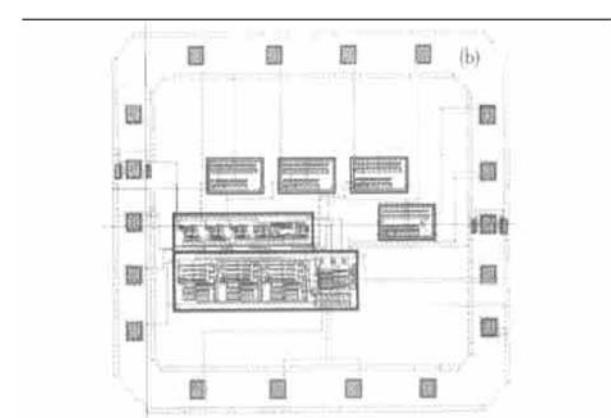
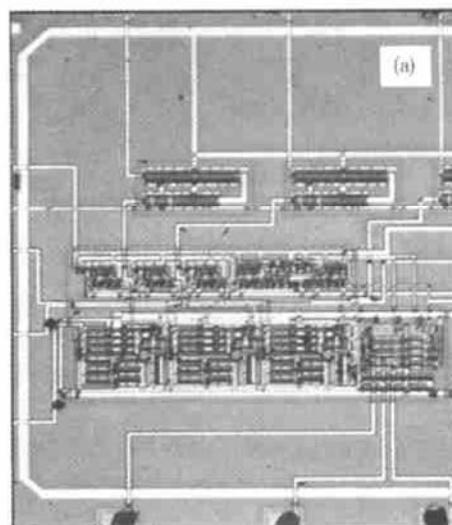


图 5 (a) 排序电路芯片的显微照片; (b) 排序电路的版图

Fig. 5 (a) Microphotograph of the sorter; (b) Layout of the sorter

对该排序电路进行了测试, 表 1 列出了测试结果. 图 6~8 给出了在大输入电流(A)的情况下, 示波器所显示的  $VO_i (i=1 \sim 3)$  的波形. 从图中可以看

出, II1 端有最大的输入电流; II2 端有次最大的输入电流; II3 端有最小的输入电流。我们也对其它的输

入电流情况(B、C、D)进行了测试, 测试结果表明排序结果都是正确的。

表 1 排序电路的测试结果

Table 1 Measured results of the sorter

	Input currents/ $\mu\text{A}$			Resolution/ $\mu\text{A}$	Highest clock frequency /MHz	Power /mW
	II1	II2	II3			
A: Large input currents	226	223	220	< 1	5.8	14
B: Middle input currents	140	138	136	< 1	5.7	9.05
C: Small input currents	22.8	21.8	20.2	< 0.5	2.0	1.4
D: Large difference between input currents	223	156	20.0	< 3	2.0	9

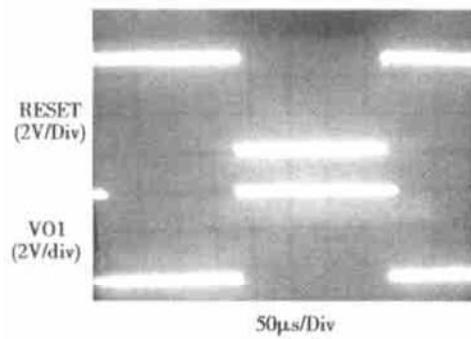


图 6 VO1 的输出波形

Fig. 6 Waveforms of VO1

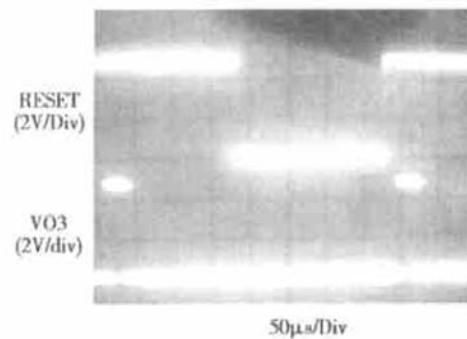


图 8 VO3 的输出波形

Fig. 8 Waveforms of VO3

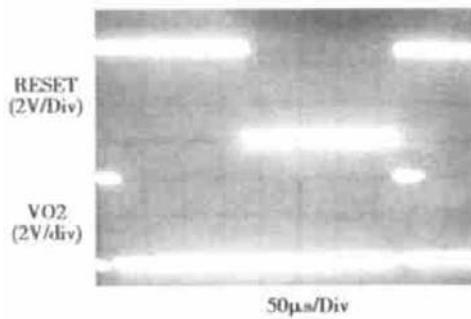


图 7 VO2 的输出波形

Fig. 7 Waveforms of VO2

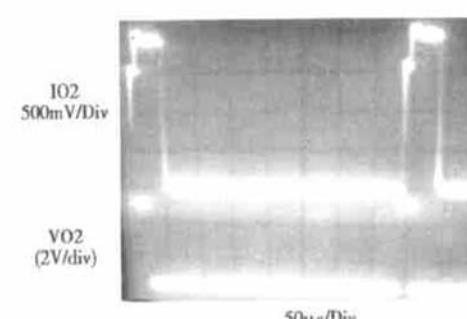


图 9 IO2 端下拉电阻上的电压波形

Fig. 9 Voltage waveforms at the port IO2

为了测量从  $\text{IO}_i (i=1 \sim 3)$  输出的电流, 在  $\text{IO}_i$  端和 GND 之间分别接了三个下拉电阻。这样通过测量下拉电阻上的电压, 就可以确定输出电流的大小。但是, 由于示波器测量精度的限制, 我们仅仅能够推断该排序电路的电流传输错误(准确度)在  $\mu\text{A}$  量级内。图 9 给出了在大输入电流(A)的情况下,  $\text{IO}_2$  端下拉电阻上的电压波形, 下拉电阻的阻值为  $9.88\text{k}\Omega$ 。

从表 1 可以看出, 与其它的排序电路相比, 由于我们所提出的排序电路采用了平均值操作和求差值

操作, 其精度是很高的, 尤其是当输入电流很接近时, 精度的提高更加明显。该排序电路具有很大的动态范围( $1\mu\text{A} \sim 500\mu\text{A}$ )。其结构复杂度为  $O(N)$ , 而且它是自适应的, 不需要偏置信号。对比表 1 中所列出的四个用来驱动片外负载的大尺寸缓冲器功耗, 结果表明该排序电路的功耗是很低的。

## 4 总结

本文提出了一种改进的 CMOS 电流型排序电

路。该电路不需要偏置信号,简化了系统设计。其电路结构简单,便于扩展。利用平均值电路、减法电路、WTA 电路和控制电路,可以使该排序电路在大输入电流下依然保持高性能。它已经采用  $0.8\mu\text{m}$  标准 CMOS 工艺成功制作。测试结果表明该排序电路动态范围大、分辨精度高、准确度好,功耗也很低,可以被广泛地应用于中值滤波、模式识别、神经网络、模糊逻辑等信息处理领域,具有很高的应用价值。

该排序电路也可以实现 WTA、MAX 和 MIN 的功能。如果 RESET 一直保持为高电平,它就是一个电流型 WTA 电路。如果所有的 IO<sub>i</sub> 端( $i=1\sim 3$ )都连在一起,通过控制时钟信号,可以从 IO<sub>i</sub> 端取得最大的输入电流和最小的输入电流,从而实现 MAX 和 MIN 的功能。

## 参考文献

- [ 1 ] Lin Gu, Shi Bingxue. Novel high performance switched-capacitor sorter based on magnitude. Chinese Journal of Semiconductors, 1998, 19(8): 620[ 林谷, 石秉学. 一种新的高性能开关电容排序电路. 半导体学报, 1998, 19(8): 620]
- [ 2 ] Lin Gu, Shi Bingxue. Novel high resolution switched-current
- [ 3 ] Lin Gu, Shi Bingxue. Improved current-mode sorter based on magnitude. Chinese Journal of Semiconductors, 1999, 20(6): 619[ 林谷, 石秉学. 一种改进的电流型排序电路. 半导体学报, 1999, 20(7): 619]
- [ 4 ] Lin Gu, Shi Bingxue. A novel expandable current-mode sorter. Int J Electron, 2000, 87(7): 819
- [ 5 ] Li Guoxing, Shi Bingxue. Novel current mode sorter with high resolution. Chinese Journal of Semiconductors, 1999, 20(8): 728[ 栗国星, 石秉学. 一种新型高精度电流型排序电路. 半导体学报, 1999, 20(8): 728]
- [ 6 ] Rovetta S, Zunino R. Minimal-connectivity circuit for analogue sorting. In: IEE Proc-Circuit Devices Syst, 1999, 146(3): 108
- [ 7 ] Chi Baoyong, Shi Bingxue. Self-adaptive current mode sorter with high resolution. Electron Lett, 2000, 36(24): 1984
- [ 8 ] Chi Baoyong, Shi Bingxue. An improved high resolution current-mode sorter. Chinese Journal of Semiconductors, 2001, 22(9): 1189
- [ 9 ] Huang C Y, Liu B D. Current node multiple input maximum circuit for fuzzy logic controllers. Electron Lett, 1994, 30(23): 23

## An Improved CMOS Current-Mode Sorter with High-Resolution\*

Chi Baoyong and Shi Bingxue

(Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

**Abstract:** An improved CMOS current-mode sorter with high-resolution that does not need any biasing signal to simplify the system design is presented. It also has a simply circuit structure to expand its scale. By using average value circuit, subtraction circuit, WTA circuit and control circuit, it keeps good performance even with large input currents. A prototype is successfully fabricated in a  $0.8\mu\text{m}$  CMOS process. The die area is  $2.38\text{mm} \times 2.00\text{mm}$  (the core area is only  $1.12\text{mm} \times 0.52\text{mm}$ ) . The measured results show that the proposed sorter has a large dynamic range, high resolution, good precision and low power. It could be widely used in median filtering, pattern recognition, neural network, fuzzy logic, etc, so it has high application value.

**Key words:** current mode; WTA sorter

EEACC: 6230F; 2570D; 1285

**Article ID:** 0253-4177(2002)08-0861-06

\* Project supported by National Natural Science Foundation of China(No. 69636030)

Chi Baoyong male, PhD candidate. His work focuses on the analog circuit design and RF front-end circuit design.

Shi Bingxue male, professor and PhD advisor. His research interests include mixed-signal circuit design, VLSI implementations of artificial neural networks and fuzzy logic, DC-DC converters and RF circuits.