

共源-共栅组态 S²I 电流存储单元及其性能

李拥平 石 宾

(中国科学院半导体研究所, 北京 100083)

摘要: 针对原型 S²I 开关电流存储单元性能上的一些弱点, 提出了共源-共栅组态的 S²I 电流存储单元(简称 CS²I)新结构, 使其关键速度与精度性能得到较好的改善。相同器件尺寸下的 S²I 与 CS²I 单元电路相比, 后者速度性能提高了 1.6 倍, 两种电路结构同样应用于延迟单元和双采样双线性积分器功能部件的 HSPICE 仿真表明: CS²I 方式组成的延迟单元的精度提高了 5 倍, 双采样双线性积分器的三次谐波减少了 15dB。

关键词: 开关电流(SI); S²I 存储单元; 精度

EEACC: 1130; 1205; 2570D

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2002)10-1106-06

1 引言

开关电流(SI)技术^[1]是一种电流模式的模拟取样数据信号处理技术。SI 电路不需要线性浮置电容, 与标准数字 CMOS 工艺制作兼容, 同时它兼有高速、宽带、低电压工作等优点, 自 80 年代中期问世以来, 引起了国内外相关学者的高度关注, 并得到了较快发展。SI 技术是继开关电容技术之后的一种新的模拟取样数据信号处理技术, 同时也是数字/模拟混合集成 VLSI 实现的一个重要发展方向。但是, 原型 SI 电路受到器件制作失配误差、输出-输入电导比误差及电荷注入误差等不利因素的影响, 使其实际应用面较窄。近十年, 国际上的研究已出现了许多提高开关电流电路性能的措施^[2~4], 其中, 两步法开关电流存储单元(S²I)^[5], 结构简单, 且减少了原型 SI 电路的多种误差, 受到了研究人员的青睐。

然而, 原型的 S²I 电流存储单元电路, 在诸如速度、精度等方面, 性能尚不太理想。本文从原型 S²I 电流存储单元电路结构出发, 分析这些性能不理想的成因, 提出了一种共源-共栅组态的 S²I 电流存储单元(以下简称 CS²I 电流存储单元)新结构, 使其性能得到了较大的改善。相同器件尺寸下 S²I 与 CS²I 的单元电路相比, 后者速度提高了 1.6 倍, 两者同样应用于延迟单元和双采样双线性积分器功能部件的

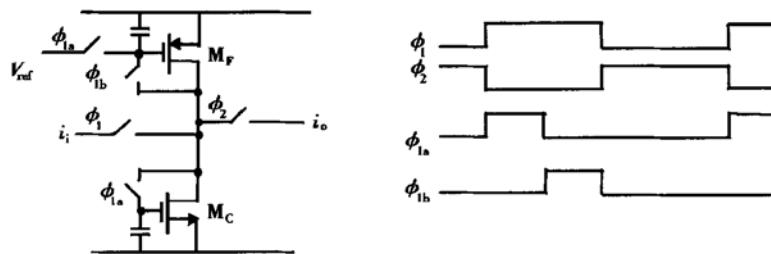
HSPICE 仿真表明: CS²I 方式组成的延迟单元的精度提高了 5 倍, 双采样双线性积分器的三次谐波减少了 15dB。

2 S²I 电流存储单元分析

2.1 S²I 电流存储单元简介

1993 年, Hughes 和 Moulding 提出了 S²I 电流存储单元思想^[5]。电路在时钟的支配下, S²I 采用粗存输入取样和细存误差电流取样的两步法来存储电流。原型 S²I 电流存储单元电路结构和时钟波形如图 1 所示。

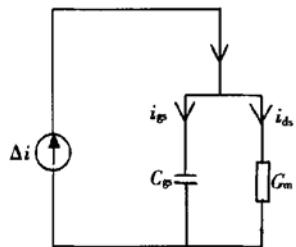
在 φ_{1a} 期间, 粗存储器 M_C 对输入取样, 而细存储器 M_F 提供偏置电流 J , 当 φ_{1a} 由高变为低时, M_C 中存入了电流 $J + i_i + \Delta i_i$, 其中 Δi_i 是由时钟馈通效应等因素产生的误差电流。在 φ_{1b} 期间, 细存储器 M_F 对输入和被存储的误差取样, 存入电流为 $J + \Delta i_i$ 。在 φ_2 期间, M_F 打开, 在 M_F 中产生由 φ_{1b} 开关馈通产生的误差电流 δ_i , 即 $I_F = J + \Delta i_i + \delta_i$, 其中 $\delta_i \ll \Delta i_i$, 两个存储器之间的电流差形成输出电流, 由于误差已被减去, 对于一阶近似, 可认为输出电流与输入电流相同。由于存储器 M_F 只处理误差电流, 单元在其输入端产生有效的“虚地”, 因此该存储单元同时减小了电导误差和与信号有关的电荷注入误差。

图 1 S²I 电流存储单元电路结构和时钟波形Fig. 1 S²I memory cell and clocking scheme

2.2 原型 S²I 电流存储单元的弱势特性分析

原型 S²I 电流存储单元结构简单, 能消除 SI 结构的多种误差, 但也存在一些不足.

(1) 考虑它的速度特性. 原型 S²I 电流存储单元的最大取样频率完全依赖于细存储器达到稳定值的时间, 在 φ_{1b} 期间, 考虑到开关电阻很小且漏源电容比栅源电容小得多, 那么电流储存单元 M_F 的小信号等效电路就可以简化为图 2 所示的模型.

图 2 M_F 的小信号等效电路Fig. 2 Small AC signal equivalent circuit of M_F

从图中可以得出

$$i_{ds}(t) = \Delta i [1 - e^{-\frac{t}{\tau}}] \quad (1)$$

其中 M_F 的稳定时间常数为 $\tau = C_{gs}/G_m$. 设稳定时间为误差达到小于 0.1% 时所对应的时间. 由(1)式可知, 上述定义的稳定时间至少应该是时间常数 τ 的 7 倍, 又因为 φ_{1b} 仅仅占整个时钟周期的 1/4, 因此, 可以得出 S²I 电流存储单元的最大取样频率为:

$$f_{smax} = \frac{1}{4 \times 7 \times (C_{gs}/G_m)} \quad (2)$$

综合考虑沟道长度调制、功耗、速度、 C_{gs} 等方面因素, 本文 M_F 选取 $W/L = 30\mu m/7\mu m$, 由(2)式可得, f_{smax} 仅为 10MHz.

(2) 考虑原型 S²I 电流存储单元受电容耦合效应对电路精度性能的影响. 图 3 为仿真获得的 S²I

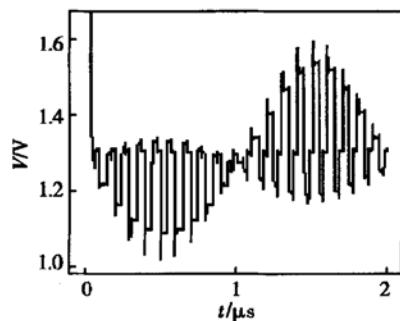
电流存储单元漏源电压, 其变化将对开关电流的存储精度产生较大的附加影响^[6]. 影响之一, 漏源电压的变化将通过寄生的栅漏覆盖电容耦合致使存储器的栅源电压也发生变化, 产生的栅源误差电压近似为:

$$\Delta V = \frac{C_{gd}}{C_{gs}} (V_i - V_o) \quad (3)$$

其中 V_i 和 V_o 分别为输出和输入状态下的漏源电压. 这个误差电压将产生相应的误差电流而影响电路工作精度. 影响之二, 可从沟道长度调制效应引起对应的漏源电导 G_{ds} 表达式中看出,

$$\frac{\Delta I}{I} = \frac{G_{ds}}{I} (V_i - V_o) = \frac{V_i - V_o}{V_E} \quad (4)$$

其中 Early 电压 V_E 为几十伏的量级, 因而 $V_i - V_o$ 的几百毫伏跳变将产生大于 1% 的误差, 将影响电路工作精度.

图 3 S²I 电流存储单元漏源电压Fig. 3 Drain-to-source voltages of S²I memory cell

此外, 开关瞬态尖峰也对 S²I 电流存储单元的性能产生影响. 由于原型 S²I 电流存储单元采用两相不重叠时钟 φ_1 和 φ_2 , 在 φ_1 和 φ_2 的不重叠间隙电流开关会出现高阻, 使得电流源通过开关产生瞬态尖峰. 瞬态尖峰电流所形成的尖峰电压将导致图 1 中的 M_C 晶体管退出饱和区, 使得存储晶体管的有

效栅电容减小, 致使电路引入一定的误差.

3 共源-共栅组态 $S^2I(CS^2I)$ 电流存储单元

原型 S^2I 的上述弱势特性分析表明, S^2I 细存储器稳定时间过长、单元电路间的电容耦合效应、沟道长度调制效应以及与 S^2I 电路时钟相关联的开关瞬态尖峰等, 是 S^2I 电路关键的速度及精度特性不理想的重要原因. 据此, 本文提出了一种共源-共栅组态的 S^2I 电流存储单元—— CS^2I , 该存储单元电路结构和时钟波形分别示于图 4 和图 5.

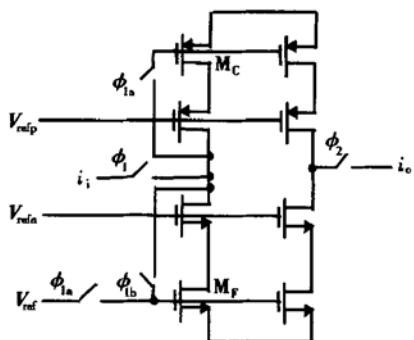


图 4 CS^2I 电流存储单元电路结构

Fig. 4 CS^2I memory cell

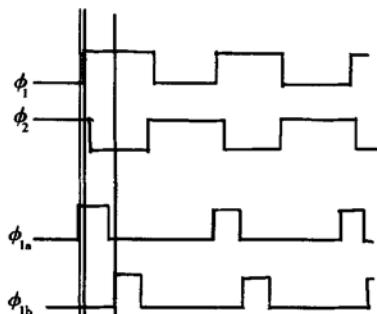


图 5 时钟波形原理图

Fig. 5 Clocking scheme of CS^2I memory cell

图 4 所示 CS^2I 单元电路中的 V_{refp} 和 V_{refn} 为共源-共栅组态晶体管的固定偏置电压, 电路工作原理与原型 S^2I 单元电路相似, 区别在于: CS^2I 中的存储单元采用了共源-共栅组态, 并将 PMOS 用作粗存储器, 而将 NMOS 改作细存储器, 同时电路采用镜像输出结构.

相对于 S^2I 电路, CS^2I 电路较好地改善了性能, 其主要特点在于:

(1) 采用 NMOS 器件作为细存储器提高了工作速度. 由于 NMOS 器件中的电子迁移率比 PMOS 器件中的空穴迁移率高, 因而采用 NMOS 器件做细存储器时 G_m 会明显增加. 根据(2)式, 最大取样频率也会相应增加, 同样 M_F 器件的 $W/L = 20\mu m/7\mu m$ 时, f_{smax} 则为 16MHz, 提高了 1.6 倍. 而在此频率条件下, 做粗存储器的 PMOS 器件的稳定误差为 1%, 这个稳定误差完全可被细存储所补偿.

(2) 沟道长度调制效应和电容耦合效应的减少, 改善了精度性能. 考虑图 6 所示共源-共栅组态电路, 可以证明^[7]共源-共栅组态电路的低频输出电导 G_{oc} 为

$$G_{oc} \approx G_o [G_{dsnc}/G_{mnc}] \quad (5)$$

式中 G_o 和 G_{dsnc} 分别为栅极开路存储晶体管的输出电导和共源-共栅组态晶体管的漏极电导; G_{mnc} 是共源-共栅组态晶体管的跨导. 从(5)式可以看出, 共源-共栅组态将输出电导大约降低到原来的 G_{dsnc}/G_{mnc} , 而 G_{mnc}/G_{dsnc} 是共源-共栅晶体管的源极接地电压增益, 这个因子大约为 100, 因此, 减小的输出电导将降低沟道长度调制效应和电容耦合效应的影响.

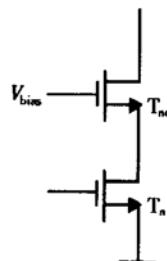


图 6 共源-共栅组态电路

Fig. 6 Cascoded n-MOS transistors

图 7 所示为 CS^2I 单元电路中 NMOS 存储管和 NMOS 级联管的漏源电压, 可以看出, 存储晶体管

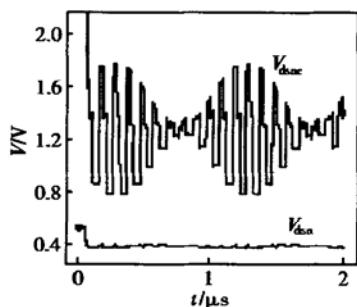


图 7 CS^2I 存储单元漏源电压

Fig. 7 Drain-to-source voltages of CS^2I memory cell

的漏源电压基本不变化, 这表明沟道长度调制效应和电容耦合效应的影响已大大减弱, 从而提高了电路的工作精度。

(3) 采用改进的时钟方案消除瞬态尖峰误差, 进一步提高工作精度。本文采用了图 5 所示改进的时钟方案^[2], 利用两时钟时序上的某些交叠来减弱了这种误差。其原理为: 该时钟方案中将不重叠时钟 φ_{1a} 和 φ_{1b} 应用于电压采样开关, 而电流开关则采用重叠时钟 φ_1 和 φ_2 。其中重叠时钟稍滞后于不重叠时钟, 这样就确保在电流运算中, 始终没有电流流入高阻接点, 因而减弱了开关的瞬态尖峰以及因此产生的误差。

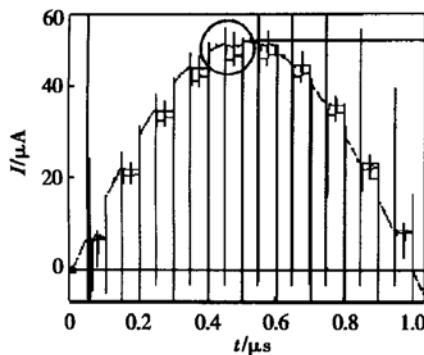


图 8 延迟单元输入输出电流

Fig. 8 Input and output current of delay cell

4 S²I 与 CS²I 电流存储单元性能比较

4.1 延迟单元功能部件性能比较

为了验证上述 CS²I 电流存储单元的速度与精度性能的改善, 本文将 S²I 与 CS²I 电路分别构成延迟单元功能部件进行仿真比较。仿真中, 时钟频率为 10MHz, 输入信号为幅度 50μA, 频率为 500kHz 的正弦电流, 偏置电流为 150μA, 采用 TSMC 0.35μm 标准 CMOS 工艺仿真获得如图 8 所示的输出波形, 图 9 为图 8 的局部放大波形图, 图 10 是误差随输入电流的变化图。

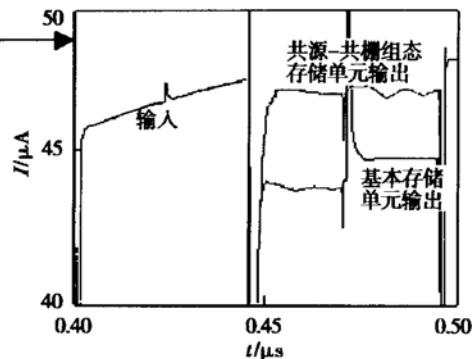


图 9 图 8 的局部放大图

Fig. 9 Local magnified picture of Fig. 8

4.2 双采样的双线性积分器性能比较

为了进一步验证 CS²I 在较大功能部件中的性能, 本文分别将 S²I 和 CS²I 电流存储单元应用于双采样·双线性积分器^[8], 电路结构如图 11 所示。

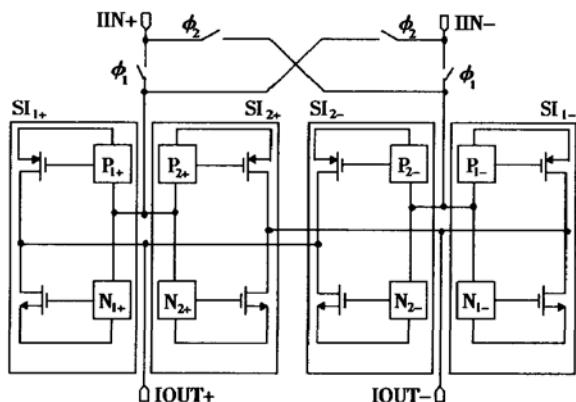


图 11 双采样的双线性积分器电路结构

Fig. 11 Double sampling bilinear integrator

图 9 中, S²I 电流存储单元电路在 φ_{1a} 和 φ_{1b} 期间的输出电流有一个台阶变化, 这是由于存储管的漏源电压变化造成的, 但是, 在 CS²I 电流存储单元中这个变化已经基本消除。

由图 10 可见, CS²I 电流存储单元的输出电流误差与 S²I 电流存储单元相比已明显减小。

该积分器电路采用对称平衡结构, 目的在于减小数模混合电路中的串扰, 消除偶次谐波失真, 提高输出电流的信噪比。图中, 在每个时钟周期内输入被取样两次, 输出亦改变两次, 使得实际电路的采样频率是外部时钟频率的两倍。这意味着: 采样频率一定时, 时钟频率和存储单元的带宽要求可以折半, 这就降低了电路的功耗, 同时, 折半的时钟频率也使噪声采样频率折半, 使得信噪比提高 6dB。

本电路采用 TSMC 的 $0.35\mu\text{m}$ 标准 CMOS 工艺进行优化设计, 并辅以 HSPICE 仿真, 得到表 1 所示的结果。仿真中电源电压为 3.3V , 输入采用频率为 250kHz , 峰-峰值为 $10\mu\text{A}$ 的正弦电流, 外部时钟频率为 10MHz (实际采样频率为 20MHz)。表 1 数据表明, CS^2I 结构方式积分器的三次谐波较原型 S^2I 结构方式降低了大约 15dB , 精度得到了较大提高。

表 1 双线性积分器输出性能
Table 1 Output performance of bilinear integrator

谐 波	原型 S^2I 结构方式积分器	CS^2I 结构方式积分器
基 波	- 0.885dB	- 0.736dB
三次谐波	- 71.634dB	- 86.582dB

5 结论

本文从原型 S^2I 电流存储单元电路结构出发, 分析其速度、精度等关键性能不够理想的成因, 提出了一种共源-共栅组态的 S^2I 电流存储单元新结构, 使其性能得到了较好的改善。在做了原理性的分析、解释的同时, 本文采用相同器件尺寸构成 S^2I 与

CS^2I 两种结构方式的延迟单元功能部件及较为复杂的双采样双线性积分器功能部件, 进行性能实验对比, 仿真结果证明 CS^2I 结构在速度、精度等重要性能上相对于 S^2I 结构有较大提高。上述研究可以预示, CS^2I 结构在进一步研制高性能开关电流滤波器、 $\Sigma-\Delta$ 调制器等重要部件及高性能开关电流系统中将扮演重要角色。

参考文献

- [1] Hughes J B, Bird N C, Macbeth I C. Switched currents-a new technique for analog sampled data signal processing. IEEE ISCAS' 89 Proceedings, 1989: 1584
- [2] Tan Nianxiong. Switched current design and implementation of oversampling A/D converters. Kluwer Academic Publishers, 1997
- [3] Min Byung-Moo, Kim Soo-Win. New clock-feedthrough compensation scheme for switched-current circuits. IEEE Trans Circuits Syst II : Analog and Digital Signal Processing, 1998, 45(11) : 1508
- [4] Helfenstein M, Moschytz G S. Improved two-step clock-feedthrough compensation technique for switched current circuits. IEEE Trans Circuits Syst II : Analog and Digital Signal Processing, 1998, 45(6) : 739
- [5] Hughes J B, Moulding K W. S^2I : a switched current technique for high performance. Electron Lett, 1993, 29(6) : 1400
- [6] Toumazou C, Lidgey F J, Haigh D G. Analog IC design: the current-mode approach. London: Peter Peregrinus Ltd, 1990
- [7] Toumazou C, Hughes J B, Battersby N C. Switched current: an analogue technique for digital technology. London: Peter Peregrinus Ltd, 1993
- [8] Hughes J B, Moulding K W, Richardson J, et al. Automated design of switched current filters. IEEE J Solid State Circuits, 1996, 31(7) : 898

An Cascode S²I Memory Cell and Its Performance

Li Yongping and Shi Yin

(Institute of Semiconductors, The Chinese Academy of Sciences, Beijing 100083, China)

Abstract: A new cascode S²I memory cell (hereinafter called "CS²I" memory cell) is presented to improve the weak points of the prototype S²I memory cell. The speed of CS²I memory cell increases 1.6 times than that of the prototype S²I memory cell with the same transistor dimension. Moreover, applying the CS²I and the S²I cell to the systems separately, the simulation results of HSPICE indicate that accuracy for the cascode S²I memory cell is about 5 times higher than the CS²I in delay cell, and a third harmonic is decreased by 15dB in double sampling bilinear integrator.

Key words: switched current; S²I memory cell; accuracy

EEACC: 1130; 1250; 2570D

Article ID: 0253-4177(2002)10-1106-06