

新型铁电不挥发性逻辑电路的分析和实现^{*}

汤庭鳌 陈登元 汤祥云 程君侠 虞惠华

(复旦大学微电子学系 ASIC 和系统国家重点实验室, 上海 200433)

摘要: 提出了一种利用与 CMOS 工艺相容的铁电薄膜来实现使一般逻辑电路成为非挥发性的新技术。通过电路模拟及对锁存器和触发器实验电路进行测试, 表明逻辑集成电路的铁电锁存新技术是切实可行的。

关键词: 逻辑电路; 不挥发性; 铁电薄膜

EEACC: 2860; 2610F

中图分类号: TN 384

文献标识码: A

文章编号: 0253-4177(2002)11-1201-06

1 引言

目前使用的各种数字系统, 如计算机系统、数据采集与分析系统等, 都具有大量的常规逻辑电路, 它们是挥发性的, 因而当工作中突然掉电或死机时, 必然会丢失很多重要信息。例如, 在文件编辑过程中计算机突然掉电或死机, 普通计算机会丢失从最后一次存盘到故障发生前所输入的所有信息。近年来, 有关铁电薄膜的制备技术及其在电子器件中的应用等方面的研究已有不少报导^[1,2], 但该项技术迄今仅限于用在不挥发的存储器方面。本文提出将铁电薄膜技术与常规逻辑电路结合起来, 以形成铁电不挥发逻辑电路(*ferroelectric nonvolatile logic circuits*, 简称 FNLC), 这样就可实现完全的断电保护, 从而使信息不会丢失。由于在每一个时钟周期或指令周期, 所有逻辑状态均被完全存储下来, 因而信息的完整保存和重新读取这一难题可有效地得以解决。对于由 FNLC 主控的系统来说, 掉电只相当于一次暂停, 当电源恢复后, 计算机重新打开的文件与掉电前瞬间的状态完全一致。同时, 此技术使系统功耗进一步降低。现有的自动休眠技术得到进一步的发展。当计算机系统在一段时间内未被接触时, 整个系统除

低功耗的键盘或鼠标外全部自动关闭, 减少功耗; 一旦系统重新激活, 原有状态可立即被完全恢复出来。这一特性对于各类便携式系统有着尤为重要的意义。

2 2T-2C 铁电存储单元的结构和工作原理

FNLC 的工作机理是建立在 2T-2C 铁电存储单元基础之上的。图 1 是铁电薄膜的电滞回线。图 2 为 2T-2C 存储单元的详细电路图。在图 2 中, Cf1 和 Cf2 为铁电薄膜电容, BL 和 BL₁ 是一对位线, WL 和 PL 分别为字线和板线, precharge 为预放电时钟, BL 为位线译码选择, SP 和 SN 为读放时钟。存储单元由 T1、T2、Cf1 和 Cf2 组成, T7~T12 组成读放电路。假定铁电电容处于电滞回线的 D 点为 “0” 状态, A 点为 “1” 状态, Cf1 和 Cf2 始终处于相反的极化状态。作为 2T-2C 存储单元, Cf1 处于 “0” 同时 Cf2 处于 “1” 定义为该单元处于 “1” 状态。通过设置一定的时钟信号, 根据 Cf1、Cf2 所处的状态并由 BL 及 BL₁ 读出的电压, 就能实现对存储单元的写和读操作^[3]。此存储单元具有不挥发、写操作速度快等优点。

* 国家自然科学基金(批准号: 69876008)、国防科技预研(批准号: J8.2.3.JW0703)和高校博士点基金资助项目

汤庭鳌 男, 教授, 主要从事半导体工艺、器件研究。

陈登元 男, 博士, 主要从事 IC 设计研究。

汤祥云 男, 硕士, 主要从事 IC 设计研究。

2001-12-09 收到, 2002-05-20 定稿

©2002 中国电子学会

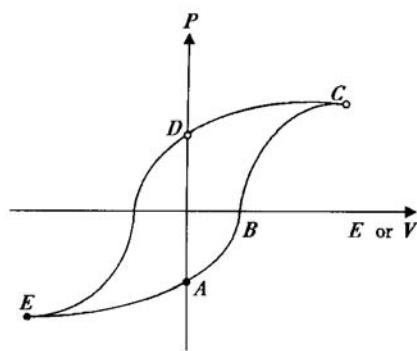


图 1 典型的铁电滞回线

Fig. 1 Typical hysteresis loop of ferroelectric film

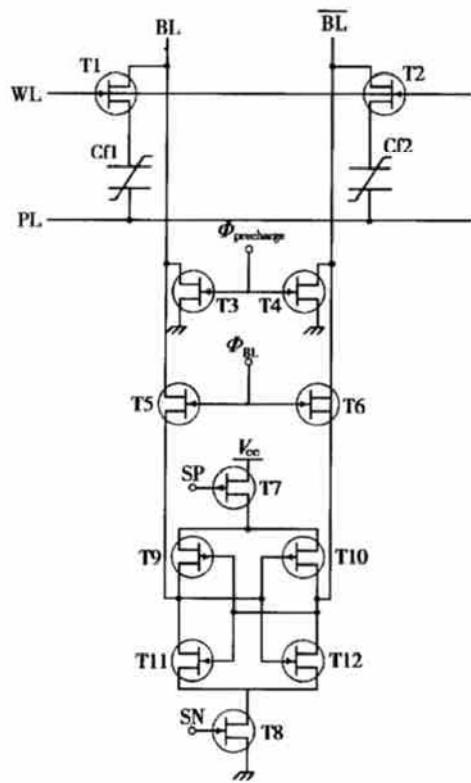


图 2 2T-2C 铁电存储单元详图

Fig. 2 Detail diagram of 2T-2C ferroelectric memory cell

3 铁电不挥发性逻辑电路的工作原理

铁电不挥发逻辑电路的构成原理图如图 3 所示。其中 Logic 为任意的常规时序电路模块， Q 和 $Qbar$ 是其双相数据存储节点，Precharge 为预放电电路，Ferro-caps 为包含铁电电容的存储电路。在铁

电不挥发逻辑电路的正常工作周期，预放电电路不打开。Logic 的输出数据在经过给定的传输延迟时间以后被锁存到 Q 和 $Qbar$ 上，分别为高电平和低电平（互补状态）。然后将铁电电容控制开启，将这两个相反的极化状态分别写入互补的铁电电容 Ferro-caps 中。如果 Q 为高， $Qbar$ 为低，电容 1 的极化方向被反转（‘0’），电容 2 的极化方向保持不变（‘1’），反之亦然。在下一个周期，同样的操作过程被重复。每个周期输出数据均被存入铁电电容中，这样 Logic 就变成了一个不挥发电路。在任意时刻发生掉电情况下，数据将被安全地保存在两个互补的铁电电容中。一旦系统恢复正常，首先开启预放电电路对 Q 和 $Qbar$ 作预放电，使两个电容进入不稳定状态。接着，关闭预放电电路，开启铁电电容的驱动控制。如果电容 1 存储的数据状态为 ‘0’，电容 2 为 ‘1’，电容 2 将被反转，电容 1 极化方向不变，因而电容 2 将产生更多的电荷量来驱动 $Qbar$ 。于是，不稳定的输出状态被迅速驱动到稳定的高电平和低电平（互补状态），再将读出的稳定电平写回电容。然后关闭铁电电容的驱动，恢复操作结束。

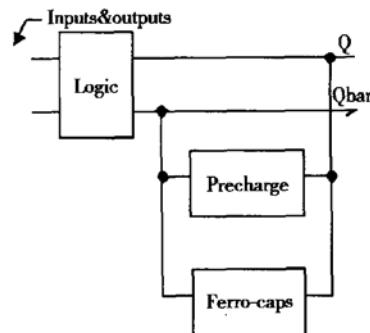


图 3 铁电不挥发逻辑电路示意图

Fig. 3 Schematic diagram of ferroelectric non-volatile logic circuit

4 铁电不挥发性逻辑电路的设计

作为不挥发性逻辑电路的一个例子，我们介绍一个不挥发性锁存器和一个不挥发性触发器的实现。首先给出集成不挥发性锁存器和集成不挥发性触发器的电路结构，接着对集成不挥发性锁存器的工作进行电路模拟，最后给出了一个用小规模集成电路搭建的不挥发性锁存器，用来验证该原理的可行性。

4.1 集成不挥发性锁存器和不挥发性触发器的电路结构

根据图 3 说明的原理, 我们构建了一个不挥发性锁存器的框图, 如图 4 所示。除了锁存器之外, 该图同样适用于触发器和其它一些简单的时序逻辑电路。图中 Xlatch 是一个普通的锁存器, 其中 Dhold 和 Doutb 分别是锁存器的数据保持端和反相输出端, 二者的幅度值互补。Xpch 则为预放电电路。Xfcap1 和 Xfcap2 是两个对称的铁电电容, 它们的一端共接至板线 PL, 另一端分别接至 Dhold 和 Doutb, 这样的结构和 2T-2C 存储单元类似。Xpch 的预放电由 Pchg 控制, 它的两个输出分别接至 Xfcap1 和 Xfcap2 的一端, 也就是 Dhold 和 Doutb。Xfcap1 和 Xfcap2 的读写则由 PL 驱动。

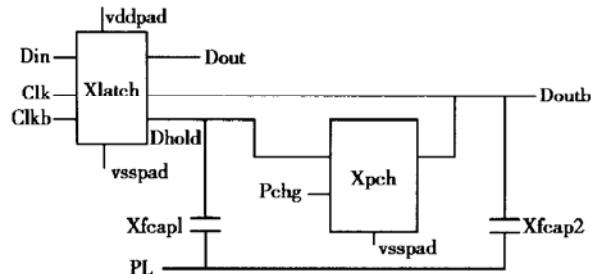


图 4 不挥发性锁存器框图

Fig. 4 Block diagram of nonvolatile latch circuit

将图 4 的框图进一步细化得到图 5 所示的具体电路。其中 Xlatch 由一个简单的准静态锁存器实现, 预放电电路由一对接地的 NMOS 管组成, 再加上一对存储电路状态的不挥发铁电电容, 就构成了一个简单的, 但已具备不挥发功能的锁存器电路。

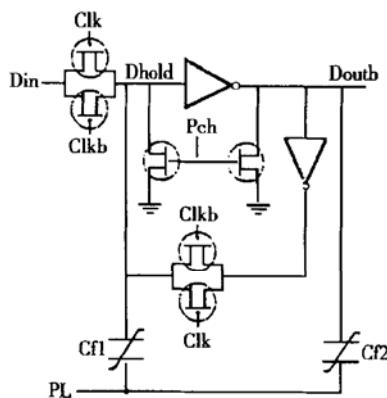


图 5 集成不挥发性锁存器电路图

Fig. 5 Circuit diagram of integrated nonvolatile latch Circuit

对图 5 的锁存器电路做进一步扩展, 我们给出一个集成不挥发性触发器的电路, 如图 6 所示。只需在图 5 的不挥发性锁存器电路的 Doutb 端级联一个带反馈的倒相器, 就得到了一个不挥发性触发器。

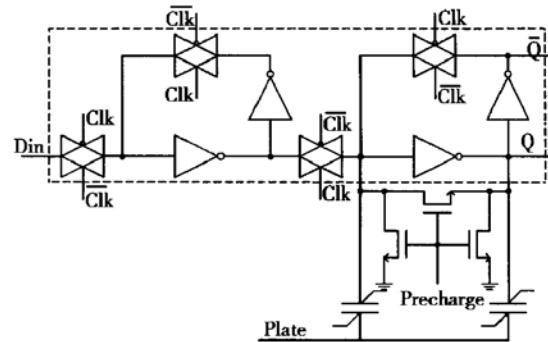


图 6 集成不挥发性触发器电路图

Fig. 6 Circuit diagram of integrated nonvolatile flip-flop

4.2 集成不挥发性锁存器工作的波形描述和电路模拟结果的分析

对图 5 所示的锁存器电路, 进行了写 “0”, 写 “1”, 恢复 “0” 和恢复 “1” 操作的模拟和分析。写 “0” 和写 “1” 时的输入波形如图 7 所示。操作过程中 Pch 保持为 “0”, 当时钟 Clk 打开时, 输入信号 Din 锁存进 Dout 中。在 Clk 为 “1” 期间, PL 上产生一个正脉冲, 将 Dhold 和 Doutb 这一对互补值存入一对铁电电容中。这样就保证了在锁存器正常工作时状态的保存。

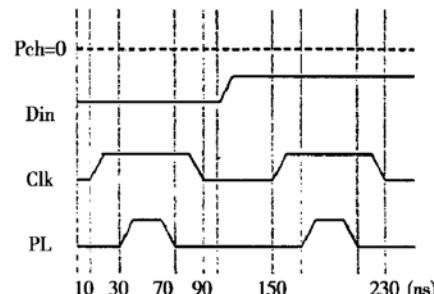


图 7 锁存器写 “0” 和写 “1” 操作时的波形

Fig. 7 Waveform diagram of latch circuit for writing “0” and writing “1”

锁存器恢复操作的输入波形如图 8 所示。其中 Din 和 Clk 保持为 “0”, 先由 Pch 上的一个正脉冲对 Dhold 和 Doutb 作预放电, 然后由 PL 上的一个正脉冲驱动一对铁电电容。由于两个铁电电容的极化

状态不同,会在 Dhold 和 Doutb 之间形成一个电压差,这一电压差经锁存器上的反馈回路放大,就得到互补的“0”、“1”值。图 9 给出用 HSPICE 模拟得出的锁存器恢复“1”操作的输入输出波形,由图可见 Dhold 和 Doutb 在 PL 正跳变后迅速变为“1”和“0”。

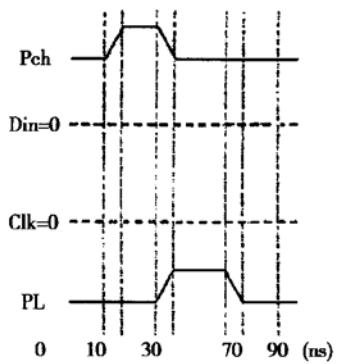


图 8 锁存器恢复操作时的输入波形图

Fig. 8 Waveform diagram of latch circuit for restoring operation

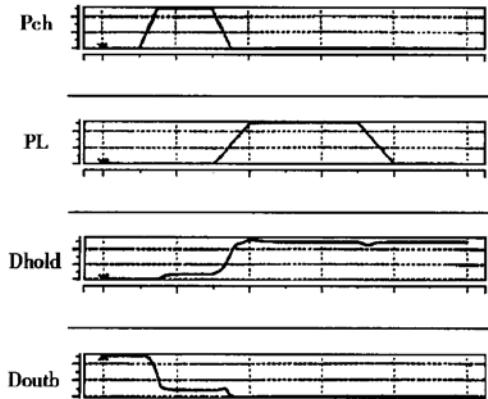


图 9 “恢复”操作的波形的模拟结果

Fig. 9 Simulation result of the waveform for restoring operation

4.3 一个用小规模集成电路搭建的不挥发性锁存器

在对不挥发性锁存器作电路模拟的同时,我们用小规模集成电路和自制的铁电电容搭建了一个分立的不挥发性锁存器,用以验证不挥发性逻辑电路实现的可行性。

4.3.1 电路结构

图 10 是不挥发性锁存器的电路实现图,该电路基本上依照图 4 的框图结构实现。现用三态缓冲门

作开关,用小规模集成的倒相器来代替集成电路中所用的简单 CMOS 倒相器。考虑到分立电路和集成电路的差异,通过一个电压比较器来实现小电压差的放大,而不是如图 5 所示那样,通过锁存器固有的反馈回路来实现。最后将一对自制的铁电电容接至锁存器电路上,就形成了一个简单的不挥发性逻辑电路。若将铁电电容用一对数值相近的普通电容代替,则得到一个不具备不挥发性的锁存器电路。图 10 中 Din 为输入数据线,Doutb 为反相数据输出,PL 为电容的驱动板线,C1~C6 为各个开关的控制,Cfl 和 Cf2 为一对铁电电容。Cfl 和 Cf2 的公共端由 PL 驱动,另一端分别接至 Dhold 和 Doutb 上。通过微机控制各个输入信号的跳变,对比观察接有铁电电容和接有普通电容的锁存器输出,从而验证铁电电容在不挥发性逻辑电路中的功能。

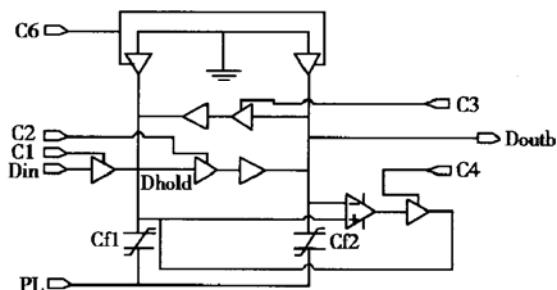


图 10 不挥发性锁存器的实现图

Fig. 10 Realization diagram of nonvolatile latch circuit

4.3.2 输入输出时序

图 11 是该锁存器的输入输出时序图。由于控制信号的发生电路的频率限制,输入波形的变化周期是 ms 级的。由图中所见,在上半周期,Din 为“1”。开始时,C1、C2 打开,输入 Din 的反相被锁存入 Doutb 中,其间有一个 PL 的正脉冲,将 Dhold 和 Doutb 的值写入电容;接着 C1 关闭,C3 跳至“1”,反馈通路打开;然后 C2 和 C3 关闭,预放电开关 C6 打开,将 Dhold 和 Doutb 都清为“0”,这样就可以进行数据恢复了。接着 C6 关闭,PL 跳变至“1”,将存储于 Cfl 和 Cf2 中的数据读出至 Dhold 和 Doutb,这时 Dhold 和 Doutb 之间会形成一个微小的电压差。当 PL 跳变至“0”时,C4 打开,接通电压比较器的通路,将比较结果“0”或“1”写入 Dhold 端;随后 C4 变为“0”,C2 和 C3 跳至“1”,反馈通路打开,将 Dhold 数据的反相写入 Doutb 端。这时数据恢复已经完成。上半周期最后是 5ms 的延迟,此时 Doutb 上是恢复的数据。下半周期 Din 保持为“0”,别的输入信号变

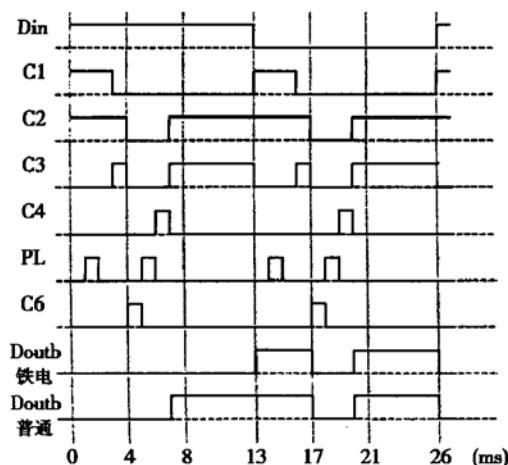


图 11 不挥发性锁存器的输入/输出时序

Fig. 11 Input/output time sequence of non-volatile latch circuit

化和上半周期相同。

4.3.3 结果分析

根据图 11 所示的时序, 我们对普通电容和铁电电容的输出做一下比较。可以看出, 在每个周期的第 8~13ms 和第 21~26ms, 是 Doutb 恢复数据的维持时间。通过比较图 11 的两个 Doutb 在这一段时间的输出, 可以看到, 采用铁电电容时, 恢复的 Doutb 的数值与 Din 对应, 是它的互补值, 和预期的一致; 而采用普通电容时, 不论 Din 为何值, Doutb 总是为“1”。因此说明铁电不挥发性逻辑能够正确操作。

图 12 是在示波器上显示的 Din 和对应普通以及铁电电容的 Doutb 的波形图。对应 Din 的每个半周期 Doutb 都有一个清零和恢复的过程。如图所示, 时刻 A 为每一周期的开始, 时刻 B 开始清零, 时

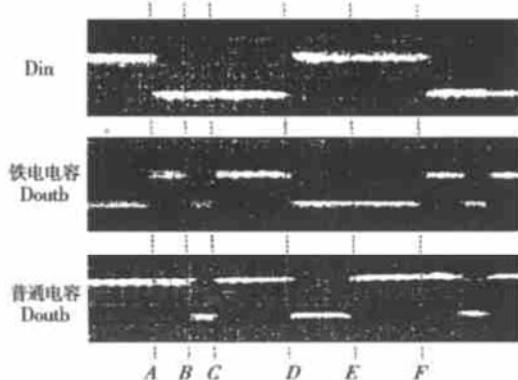


图 12 示波器显示的输入/输出时序

Fig. 12 Input/output time sequence shown on oscillograph

刻 C,D 显示的是上半周期恢复的 Doutb 信号。时刻 D 开始下半周期, 时刻 E,F 显示的是下半周期的 Doutb 恢复值。从中可以看出, 普通电容的时刻 C,D 和 E,F 显示的 Doutb 都为“1”, 而铁电电容对应的时刻 C,D 和 E,F 分别为“0”和“1”, 正好与 Din 的值互补, 与图 11 所示的相符, 因此说明铁电电容在不挥发性逻辑电路中发挥了作用。

5 结论

在前面的实验中, 受信号发生的限制, 时序用的都是 ms 量级(图 11、12), 这主要用来验证不挥发性逻辑电路的可行性。实际上铁电电容典型的读写时间为 10ns 的数量级, 与通用的 CMOS 逻辑电路操作时间为 10ns 的数量级, 与通用的 CMOS 逻辑电路操作时间相匹配, 因此, 当铁电电容应用于传统的锁存器和触发器电路时, 并不会引起电路工作速度的明显降低。在不挥发性逻辑电路工作过程中, 预放电信号 Pch 通常是系统控制的全局信号; 当电路正常工作时, 字线 WL 和板线 PL 由子模块直接驱动, 当电路处于断电后恢复状态时, WL 和 PL 可由系统全局统一驱动。这项技术既可用于集成电路, 也可用于分立元件电路中, 本文对两种情况都进行了讨论。

参考文献

- [1] Chen Zheng, Tang Tingao, Zou Sixun, et al. Reactive ion etching of Sol-Gel derived PZT ferroelectric thin film and Pt/Ti bottom electrode. Chinese Journal of Semiconductors, 1999, 20(2): 172(in Chinese) [陈峥, 汤庭鳌, 邹斯洵, 等. SOL-GEL 法制备的铁电薄膜和 Pt/Ti 下电极的反应离子刻蚀技术. 半导体学报, 1999, 20: 172]
- [2] Yan Lei, Lin Yinyin, Tang Tingao, et al. Fabrication and properties of MFIS FET for NDRO ferroelectric memory application. Chinese Journal of Semiconductors, 2001, 23(3): 301(in Chinese) [颜雷, 林殷茵, 汤庭鳌, 等. 应用于非破坏性读出铁电存储器的 MFIS FET 制备及其特性. 半导体学报, 2002, 23(3): 301]
- [3] Hong Xiaojing, et al. The design and testing of a ferroelectric memory cell. Research & Progress of SSE, 1999, 19(1): 43(in Chinese) [洪晓菁, 等. 铁电存储单元的设计和测试. 固体电子学研究和进展, 1999, 19(1): 43]
- [4] Sah C T. Proceedings of IEEE, 1988, 76: 1280
- [5] Sheffield E. Self restoring ferroelectric memory. US Patent No. 4873664, 1989
- [6] Sheffield E, Douglas B, Michael P, et al. A ferroelectric non-volatile memory. Proceedings of IEEE International Solid

- State Circuits Conference, 1998: 130 & 329
 [7] Chen Dengyuan. Principle of nonvolatile ferroelectric memo-
 ries design of novel flash ferroelectrte memories. Proceedings
 of 7th International Symposium on Tnegrated Ferro-
 electrics, 1995: 85

Analysis and Realization of Nonvolatile Logic Circuits by Using Ferroelectric Technology*

Tang Tingao, Chen Dengyuan, Tang Xiangyun, Cheng Junxia and Yu Huihua

(Department of Microelectronics, ASIC & System State Key Laboratory, Fudan University, Shanghai 200433, China)

Abstract: A new technology of realization of nonvolatile logic circuits by using ferroelectric thin film which is compatible with CMOS processing is presented. The correct circuit simulation and testing results for experimental latch circuit and flip-flop circuit illustrate that the new technology of ferroelectric nonvolatile logic circuits is feasible.

Key words: logic circuit; nonvolatile; ferroelectric thin film

EEACC: 2860; 2610F

Article ID: 0253-4177(2002)11-1201-06

* Project supported by National Natural Science Foundation of China(No. 69876008), Advanced Research Foundation for National Defence of China(No. J8. 2. 3JW0703), and University Doctoral Point Foundation

Tang Tingao male, professor. He is engaged in the research on semiconductor device and technology.

Chen Dengyuan male, PhD candidate. He is engaged in the research on design of IC.

Tang Xiangyun male, MS candidate. He is engaged in the research on design of IC.

Received 9 December 2001, revised manuscript received 20 May 2002

© 2002 The Chinese Institute of Electronics