

IC 测试系统精密定时器的新结构

王东辉 施 映 林 雨

(中国科学院半导体研究所, 北京 100083)

摘要: 讨论了一种适合于 VLSI 的精密定时子系统的新结构。该结构将定时计数器分为高速和低速两部分, 低速部分采用存储器代替分散的寄存器, 既有利于集成, 又降低了系统的成本。同时, 新的精密定时子系统还解决了定时中不完整周期的问题。

关键词: IC 测试; 定时器; VLSI

EEACC: 2220

中图分类号: TN407

文献标识码: A

文章编号: 0253-4177(2002)11-1224-04

1 引言

随着集成电路工艺和技术的不断发展, 集成电路的规模越来越大, 功能越来越复杂, 对集成电路的测试也变得越来越困难^[1,2]。当今的电子系统是由统一的时钟实现同步, 以时钟发生器为核心的定时子系统是一切系统的基础。由于其工作速度在系统中最高, 并要传送到系统各部分, 传输线最长, 往往是高速系统集成(SOC)设计的难点, 要设计高速精密的定时子系统也更加困难。例如, 要实现精度为 10ns 以下的长时间定时(如 1s 以上)子系统, 在以往的设计中是非常困难的。

2 多路定时系统的两种方案

一般的多路定时子系统结构如图 1 所示, 这种定时结构采用分散的寄存器和比较器, 可以达到较高的定时精度, 但系统结构复杂, 不易实现长时间定时。

另外一种适合于系统集成的多路定时器方案如图 2 所示^[3]。在这种定时方案中, 采用集中的存储器代替了原来分散的寄存器, 并将比较器公用, 这样可

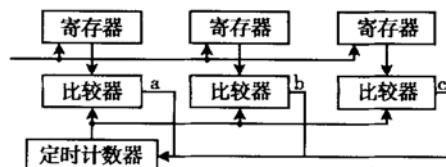


图 1 一般系统的多路定时发生电路

Fig. 1 Multi-channel clock generator in general system

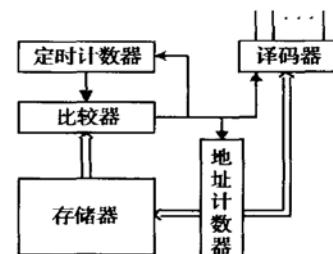


图 2 适合于系统集成的多路定时方案

Fig. 2 Multi-clock generate scheme for system integration

以减少元件以及互连线的数量, 有利于系统的集成。定时器工作之前, 先由控制电路向存储器中存入定时时间间隔数据, 这些数据反映了将要产生的多路时钟的各个边沿的时序关系。定时器工作时, 存储

王东辉 男, 1973 年出生, 博士研究生, 从事微电子学与固体电子学研究。

施 映 女, 1971 年出生, 硕士, 从事 IC 测试研究。

林 雨 男, 1939 年出生, 研究员, 博士生导师, 从事 IC 测试研究。

器从地址计数器获得起始地址，并将该地址对应的定时时间间隔数据送到比较器，同时将定时控制信号通过译码器输出。定时计数器开始计数，当定时计数器的值与定时时间间隔相等时，比较器发出信号，地址计数器加1，存储器中下一个定时时间间隔数据被送入比较器，同时通过译码器将新的定时控制信号输出，定时计数器复位并重新计数，直到定时计数器的值与定时时间间隔的值相等。如此循环，直到产生所有的定时信号。

然而，实验表明，定时计数器的位数比较大时，这种结构的定时器速度慢，不能满足高速(100MHz以上)计数的要求。时钟频率越高，计数器的位数越长，定时的精度就越高。但是计数器的位数越多，通过进位链的延迟时间越长，限制了计数器的工作频率。当用ECL(射极耦合逻辑)构成此定时计数器时，由于有线或门输出，其延迟主要是最长进位链的延迟。

使用ECL电路可以提高工作速度，但功耗及占用芯片面积很大，并且制造工艺复杂，成本也较高^[4-6]。随着CMOS电路工艺的不断发展，高速CMOS电路已经成为目前的主流，并且由于CMOS电路具有低功耗、高集成度的特点，其应用非常广泛。因此VLSI电路的集成必须立足于CMOS电路。

对于CMOS电路，当门的扇入增大时，电路的延迟将增大。通常在设计中只使用扇入数小于4的门。这样，对于n位计数器电路，其延时可以近似表示为

$$T_d \approx T_0 + k_{1m}T_{INV} + k_2[\text{int}((n-1)/m) + 1]T_{INV} \quad (1)$$

式中 T_0 表示计数器每一位的固定延时； $k_{1m}T_{INV}$ 表示将m位计数器组成一组时由进位链产生的延时； $k_2[\text{int}(n/m) + 1]T_{INV}$ 表示n位计数器分为 $[\text{int}((n-1)/m) + 1]$ 组后组之间的延迟，其中 $\text{int}(n/m)$ 表示对 n/m 取整； T_{INV} 为反相器的延时， k_1, k_2 为近似计算时的比例系数。

由(1)式可以看出，计数器的延时随n的增大而增大。当n很大时，这种计数器将不适合于高速计数，因此必须改变计数器的结构。

3 多路定时器的新结构

为了实现高速长时间定时，在新的定时系统中，

将定时计数器分为两个部分，高速部分为 N_1 位(一般 $N_1=4$)，低速部分为 N_2 位。用定时计数器高速部分的输出驱动后级，前级输出为拍，拍的周期为 $T_1=2^{N_1}$ ，这两部分并不是简单的分频，而是通过高速进位链实现并行工作^[3]，这样减小了时延，既可以保证定时精度，又可以实现长时间定时。但这种划分会产生一个问题，即计数的结果可能不是 2^{N_1} 的整数倍，在最后一拍会产生余值，使最后一拍成为非完整拍。为了保证定时精度，我们设计了一种可变值计数器，使起始脉冲 ϕ_0 触发第一拍计数的延时为 $2^{N_1}+M$ ， M 值可变，并且 $0 \leq M < 2^{N_1}$ ，而以后的拍周期仍为 T_1 。可变值计数器的原理框图如图3所示。

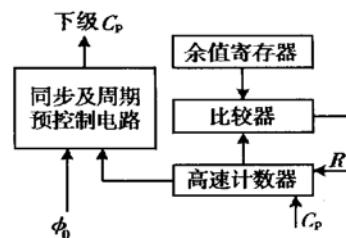


图3 可变值计数器

Fig. 3 Programmable counter

可变值计数器工作前，先将余值 M 存入余值寄存器，高速计数器开始计数并与余值 M 比较，当相等时，高速计数器复位并重新开始计数，同时计数器的复位端被禁止。当计满时，利用高速计数器的并行进位端控制下级计数。因此，可变值计数器在同步电路和长、短周期预控制等控制电路的控制下可以保证非完整拍的定时。非完整拍的时钟边沿信息由寄存器保存，并在可变值计数器控制下产生；而完整拍的时钟边沿信息则由集中的存储器保存，并由分频后的时钟控制产生。

我们研制的新型多边沿多路时钟发生器结构框图如图4所示。

多边沿多路时钟发生器工作前，由计算机控制向边沿间隔存储器中存入每一个边沿相对于前一个边沿的时间间隔值，这些数据反映了将要产生的时钟的各个边沿的时序关系。同时，向时空变换存储器中也存入相应的数据，这些数据将控制脉冲发生器产生符合时序要求的时钟。存储器的数据写入由微处理器(μ P)接口及译码电路控制。

图5列出了时钟发生器的主要信号的时序关系图。时钟发生器开始工作时，由周期发生器提供分频

后的时钟Clock(其周期为 T_1)以及时钟发生器中

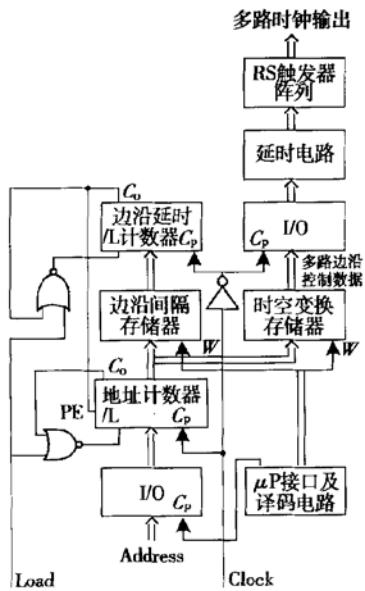


图4 新型多边沿多路时钟发生器结构框图

Fig. 4 Structure diagram of new multi-edge multi-channel clock generator

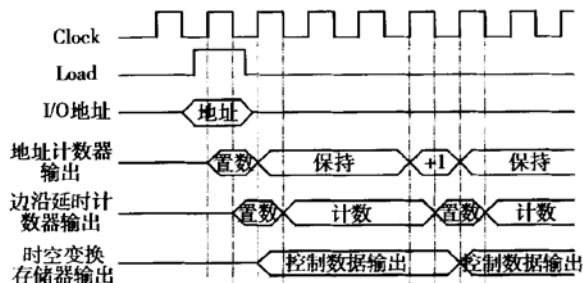


图5 时钟发生器的时序关系

Fig. 5 Waveform of the clock generator

RAM 的起始地址，并产生一个正脉冲 Load 作为置数信号，该信号先将 RAM 的起始地址置入地址计数器中，再将该地址对应的边沿间隔存储器中的数据置入边沿延时计数器，同时将该地址对应的时空变换存储器中的控制数据输出。边沿延时计数器开始计数，当计到 C_o 产生时，地址计数器在 Clock 的上升沿自动加 1，把下一个地址中保存的数据读入边沿延时计数器中。同时，时空变换存储器中相应的数据也完成了控制功能，当下一个地址到来时，将该地址对应的控制数据输出。

由时空变换存储器输出的控制信号通过 I/O 接口传送到延时电路，经过延时并由 RS 触发器阵

列合成符合要求的多边沿多路时钟。延时电路分三级，第一级由 CPE 控制，可以实现小时级延时；第二级由高速计数器控制，可以实现纳秒级延时；第三级由程控模拟电压控制，可以实现亚纳秒级的延时。程控模拟电压可以由程控模拟量发生器产生^[7]。图 6 是由程控模拟电压产生的延时波形，其中 A 是延时控制脉冲，B 是延时起始， V_t 为延时电路的电压变化，1.2V 为设定的阈值电压，OUT 为延时的输出。

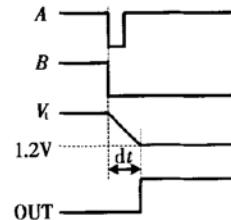


图6 延时电路的波形图

Fig. 6 Waveform of the delay circuit

时钟经过这三级定时结构的调整，可以有很高的边沿分辨率。每两路控制信号经过延时并通过一个 RS 触发器合成一路双边沿时钟，再利用或门合成为多边沿多路时钟。例如，可以用四输入或门将 4 路 RS 触发器输出的双边沿时钟合成为 1 路 8 边沿时钟。

4 结论

在新的多路多边沿定时器中，将定时计数器分为高速和低速两部分，低速部分采用存储器代替分散的寄存器，既减少了元件连线的复杂性，又有利于系统集成，同时可用较少的高速电路完成高精度长时间定时，并且利用可变值计数器解决了不完整周期计数的问题。该定时器已经被用于数模集成电路测试系统中。实验表明，多路多边沿定时器的高速部分可以工作在 100MHz，当低速计数器的位数 N_2 取 36 时，多路定时器可以完成 $2^{40} \times 10\text{ns} \approx 10995\text{s}$ 的定时，超过了国外系统多路时钟发生器的指标，并且具有非常高的性能价格比。

参考文献

- [1] Lin Yu. Research on large scale integrated circuit test pattern generation method. Chinese Journal of Semiconductors, 1980, 1(4): 329[林雨. 大规模集成电路测试图案产生方法研究. 半

- 导体学报, 1980, 1(4): 329]
- [2] Li Yungang, Lin Yu. Research on test pattern generation method of microprocessor. Chinese Journal of Semiconductors, 1985, 6(3): 268[李云岗, 林雨. 微处理器测试图案产生方法的研究. 半导体学报, 1985, 6(3): 268]
- [3] Shi Ying. Research on improving the performance/price rate of IC test system. Master Thesis, Institute of Semiconductors, The Chinese Academy of Science, 1997[施映. 提高 IC 测试系统性价比的研究. 中国科学院半导体研究所硕士学位论文, 1997]
- [4] Gopalan K G. Introduction to digital microelectronic circuits. McGraw-Hill, 1996
- [5] Jager R C. Microelectronics circuit design. McGraw-Hill, 1997
- [6] Muroga S. VLSI system design. John Wiley and Sons, 1982
- [7] Wang Donghui, Li Gang, Lin Yu. A new program controlled analog generator. Chinese Journal of Semiconductors, 2001, 22(12): 1561[王东辉, 李刚, 林雨. 新型程控模拟量发生器. 半导体学报, 2001, 22(12): 1561]

New Architecture of Accurate Clock Generator in IC Test System

Wang Donghui, Shi Ying and Lin Yu

(Institute of Semiconductors, The Chinese Academy of Sciences, Beijing 100083, China)

Abstract: A new structure of accurate clock generate subsystem is presented which is fit for VLSI design. The timing counter is divided into two parts, one for high speed and the other for low speed. Registers in low speed part are replaced by centralized memories, which decrease the wiring complexity and reduce the cost. Programmable counter and peripheral control circuits are designed to solve the problem of timing in incomplete period. The new clock generator can work at 100MHz and the total timing period can be up to more than 1h.

Key words: IC test; clock generator; VLSI

EEACC: 2220

Article ID: 0253-4177(2002)11-1224-04

Wang Donghui male, was born in 1973, PhD candidate. He is engaged in the research on microelectronics and solid state electronics.

Shi Ying female, was born in 1971, MS candidate. She is engaged in the research on IC test.

Lin Yu male, was born in 1939, professor. He is engaged in the research on IC test.