

# 可综合算术运算单元的性能建模及 VLSI 结构优化

沈 泊 章倩苓

(复旦大学专用集成电路与系统国家重点实验室, 上海 200433)

**摘要:** 提出了一种可综合算术运算单元的性能评估与建模方法。该方法以单位门面积及延迟模型为基础, 在设计的早期即可估算电路的面积、延迟等性能指标, 从而便于设计者进行 VLSI 结构的优化, 避免设计叠代; 并以算术运算中最典型的二进制加法器为例, 研究如何利用该模型对电路的 VLSI 实现结构进行评估、优化; 理论分析的结论与电路的实现结果吻合, 验证了该方法的有效性。

**关键词:** 单位门模型; 性能评估; 加法器

**EEACC:** 1265B; 1130B; 1265B

**中图分类号:** TN 402

**文献标识码:** A

**文章编号:** 0253-4177(2002)12-1332-06

## 1 引言

在微处理器、数字信号处理器、调制/解调器等各类芯片中, 算术运算单元(包括加/减法器、乘法器等<sup>[1]</sup>)作为其核心部分, 是影响芯片面积、速度等性能指标的关键。

随着集成电路设计进入 SOC 时代, 单个芯片上集成的晶体管数已达几百万甚至数千万。芯片复杂度的增加给集成电路设计方法带来新的挑战。传统认为应用全定制方法设计各类算术运算单元, 可以达到提高速度、减小面积的目的; 但随着半导体工艺水平的提高, 晶体管最小线宽已降到  $0.1\mu\text{m}$  左右, 对于大多数应用, 芯片设计的瓶颈已从追求速度和面积, 转变为如何缩短设计周期(即减少 time to market)。突破设计效率瓶颈的一个有效途径是采用基于逻辑综合的设计方法。一些传统上采用全定制的设计, 如 ARM、MIPS 等公司的 CPU 核, 采用了可综合软核的形式, 以便迅速移植到不同的工艺上。

目前, 主流半导体工艺均支持多层布线及标准单元上走线, 因此基于逻辑综合的芯片的版图密度及性能正逐渐接近全定制方法。同时, 硬件描述语言

的采用, 大大提高了芯片的设计效率及功能验证的完备性<sup>[1,2]</sup>。

算术运算单元的设计主要包括两个阶段: 结构设计和电路设计。为了得到优化的电路, 首先根据设计指标确定最佳的 VLSI 实现结构, 随后用硬件描述语言在寄存器传输级(RTL)描述该结构, 并通过逻辑综合器得到最后的门级电路。为减少设计周期, 避免设计叠代, 希望在进行 RTL 设计之前, 估算出各候选结构的面积、延迟等指标, 从而有利于设计者进行取舍。

大量文献研究了算术运算单元的电路实现<sup>[2~8]</sup>, 但在设计前期的性能评估、建模、结构选择等方面却几乎是空白。因此, 本文将重点研究可综合算术运算单元的性能模型, 并将其应用到算术运算单元的性能评估与 VLSI 结构优化中。以评估的结果为依据, 使 IC 设计者可在设计的前期(即逻辑综合及物理设计之前)选择最佳的设计方案。

## 2 算术运算单元的性能模型

一个简单有效的性能模型是进行算术运算单元性能评估的基础, 它主要包括面积模型和延迟模型。

沈 泊 男, 1975 年出生, 博士研究生, 研究方向为专用集成电路设计、VLSI 系统集成等。

章倩苓 女, 1936 年出生, 教授, 博士生导师, 研究方向为专用集成电路设计、VLSI 系统集成等。

2002-02-06 收到, 2002-05-23 定稿

©2002 中国电子学会

## 2.1 面积模型

集成电路芯片面积  $A_{\text{circuit}}$  由晶体管电路及互连共同决定的, 即

$$A_{\text{circuit}} = A_{\text{cells}} + A_{\text{wiring}} \quad (1)$$

其中  $A_{\text{cells}}$  是标准单元的面积;  $A_{\text{wiring}}$  是连线的面积。

基于目前半导体工艺水平的提高, 三层以上的金属布线层已广泛采用, 标准单元上可以走线, 同时由于算术运算单元的连线相对规则, 因此连线一般不占用额外的芯片面积, 于是有

$$A_{\text{circuit}} = A_{\text{cells}} \quad (2)$$

$A_{\text{cells}}$  的值在电路逻辑综合后可精确得到, 从而与版图设计基本无关; 为了在工艺映射前估算电路的面积, 可以从电路的逻辑方程着手。根据逻辑方程, 得到串路的基本结构, 随后采用单位门模型进行面积估算。

单位门面积模型(unit-gate area model)<sup>[5]</sup>是一种简单、抽象程度较高的面积模型。它定义简单两输入门如 AND、OR、NAND 等为一个单位门; 复杂两输入门如异或、同或等为两个单位门; 多输入门可等效为多个两输入门, 其面积等于组成基本单元的面积之和。

## 2.2 延迟模型

电路的延迟  $t_{\text{total}}$  包括<sup>[9]</sup>: 单元的本征延迟、单元负载导致的延迟及连线延迟, 即

$$t_{\text{total}} = t_{\text{cell}} + t_{\text{fanout}} + t_{\text{wire}} \quad (3)$$

其中  $t_{\text{cell}}$  为单元本征延迟, 简单门电路的延迟比较接近, 而复杂门的延迟与单元面积的对数成正比;  $t_{\text{fanout}}$  为单元负载引入的延迟, 与单元的扇出数成正比;  $t_{\text{wire}}$  是连线的电阻、电容引起的延迟, 主要取决于连线长度及连线间的耦合程度等。

算术运算电路的规则性相对较高, 单元间的连线主要是局部连线, 长度较短(最长互连线长度一般不超过  $1000\mu\text{m}$ ), 在延迟模型中忽略  $t_{\text{wire}}$  不会引起太大的误差<sup>[10]</sup>。因此, 本文采用如下的单位门延迟模型: 定义 AND/NAND/OR 等简单两输入门的延迟为一个单位延迟; XOR/MUX 等复杂两输入门为 2 个单位延迟; 多输入的单元延迟可依次推算而得。为便于计算, 该模型进一步忽略了单元扇出数的影

响, 即只考虑  $t_{\text{cell}}$ 。

除面积和延迟外, 电路的简单性(易于实现和理解)和规则性(便于综合及版图设计)在电路结构评估和选择时也应考虑。

## 3 性能模型与 VLSI 结构优化

对于加/减/乘/除等算术运算, 如果操作数字长较大, 则由于存在进位传播, 会导致电路逻辑深度较大, 因此单纯依靠逻辑综合、优化不能得到理想的电路实现结果, 必须首先进行结构综合确定电路的 VLSI 结构, 并在此基础上执行逻辑综合和优化。结构综合的基础就是在既定约束条件下, 预先估计不同电路结构的性能, 从而得到最优的结构。

加法运算是大多数复杂算术运算的基础, 解决了二进制加法器的结构综合与优化, 即奠定了其它算术运算单元的结构优化的基础。以乘法运算为例, 它可看作是一系列部分积的累加; 其 VLSI 实现可由一个进位保留加法器阵列产生和(sum)及进位(carry), 随后由一个进位传播加法器(carry propagate adder)将这两项相加, 得到最终的乘积。显然, 硬件乘法器的核心是各种加法运算单元。

下文以二进制加法运算为例, 阐述单位门模型在算术运算单元性能评估及其结构优化设计中的作用。

### 3.1 1bit 全加器

1bit 全加器是更复杂加法器的重要组成单元之一, 因此本文首先分析其面积及延迟性能。它有  $a$ 、 $b$  及进位  $c_{\text{in}}$  三个输入, 输出为和  $s$  及进位输出  $c_{\text{out}}$ 。

其逻辑方程可表示为<sup>[11]</sup>

$$\begin{aligned} s &= a \oplus b \oplus c_{\text{in}} \\ c_{\text{out}} &= ab + bc_{\text{in}} + ac_{\text{in}} \end{aligned} \quad (4)$$

全加器逻辑方程另一种表示形式为:

$$\begin{aligned} s &= p \oplus c_{\text{in}} \\ c_{\text{out}} &= g + p c_{\text{in}} \end{aligned} \quad (5)$$

其中  $g = ab, p = a \oplus b$

根据单位门模型可分别得到以上两种实现方案的性能(表 1)。其中  $T_{\text{FA}}$  表示延迟,  $A_{\text{FA}}$  表示面积。可以看出, (4) 式方案面积较大, 但进位产生速度较快。

表 1 全加器的单位门模型

Table 1 Unit-gate model of full adder

性能指标	(4) 式方案	(5) 式方案
$T_{FA}(a, b \rightarrow c_{out})$	2	4
$T_{FA}(a, b \rightarrow s)$	4	4
$T_{FA}(c_{in} \rightarrow c_{out})$	2	2
$T_{FA}(c_{in} \rightarrow s)$	4	2
$A_{FA}$	9	7

### 3.2 CPA 加法器

CPA 加法器即进位传播加法器(carry propagate adder), 是一种最常用的算术运算单元, 其电路结构得到了人们广泛的关注。根据设计约束的不同, 存在不同的优化实现结构。如何评估、比较不同结构的性能是 CPA 设计的关键问题。本节以行波进位加法器(ripple-carry adder)及 Ladner-Fischer 加法器为例, 详细阐述单位门模型的使用。

#### 3.2.1 行波进位加法器

行波进位加法器的结构如图 1 所示, 其逻辑方程可表示为:

$$\begin{aligned} s_i &= p_i \oplus c_i \\ c_{i+1} &= g_i + p_i c_i; \quad i = 0, 1, \dots, n-1 \end{aligned} \quad (6)$$

其中  $g_i = a_i b_i$ ;  $p_i = a_i \oplus b_i$ ,

$$c_0 = c_{in} = 0, \quad c_{out} = c_n$$

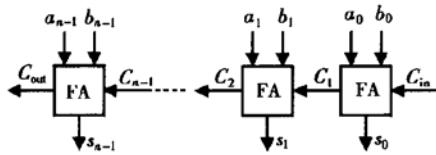


图 1 行波进位加法器

Fig. 1 Ripple-carry adder

显然,  $n$  位 RCA 可由  $n$  个 1bit 全加器串联而成。

其基本性能如下:

$$\begin{aligned} T_{RCA} &= 2n \\ A_{RCA} &= 7n \end{aligned} \quad (7)$$

其中  $T_{RCA}$  表示延迟,  $A_{RCA}$  表示面积。

由图 1 可以看出, RCA 加法器的规则性非常高, 单元间的互连线长度很短, 因此忽略连线延迟是比较合理的。

#### 3.2.2 Ladner-Fischer 加法器(LF)

LF 加法器<sup>[3]</sup>的基本结构如图 2 所示。通过进位的并行产生和并行传播, 进位从最低位传播到最高位的时间大大缩短, 从而提高了加法运算的速度。

显然, LF 加法器的逻辑深度较小, 结构比较规整, 包含的单元只有四种。各单元的逻辑方程可描述如下:

$$g_i^0 = a_i b_i, \quad p_i^0 = a_i \oplus b_i \quad (8)$$

$$g_i^{l+1} = g_i^l + p_i^l g_j^l, \quad p_i^{l+1} = p_i^l p_j^l \quad (9)$$

$$s_i = p_i^0 \oplus c_i \quad (10)$$

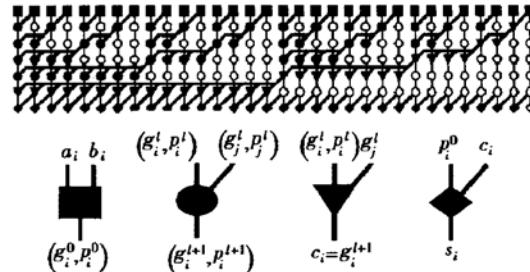


图 2 LF 加法器

Fig. 2 LF adder

各单元的性能如表 2 所示。根据表 2, 容易得到 LF 加法器的总体性能指标如下:

$$T_{LF} = 2\log n + 4$$

$$A_{LF} = \frac{3}{2}n\log n + 4n - 1 \quad (11)$$

表 2 各单元性能

Table 2 Performance of basic components

单元类型	面积	延迟	关键路径	单元总数
	3	2	1	$n$
●	3	2	0	$\frac{1}{2}\log_2(n)n - n + 1$
▼	2	2	$\log_2 n$	$n - 1$
◆	2	2	1	$n - 1$

### 3.3 加法器性能分析与结构优化

前文讨论了 LF 加法器及 RCA 加法器的性能建模方法。其它加法器结构的性能模型可用类似方法得到。

表 3 加法器面积(单位门模型)

Table 3 Area of adders (unit-gate model)

加法器类型	加法器字长/bit				
	8	16	32	64	128
RCA	56	112	224	448	896
CSKA	70	140	280	550	1089
CSLA	87	194	403	836	1707
CIA	73	152	310	629	1267
CLA	86	198	422	870	1766
BK	64	141	298	615	1252
LF	67	159	367	837	1855
KS	82	210	514	1218	2818
COSA	115	289	687	1581	3563

表 4 加法器面积(标准单元实现)

Table 4 Area of adders(standard cell)

加法器类型	加法器字长/bit				
	8	16	32	64	128
RCA	50	99	197	397	793
CSKA	69	135	270	548	1064
CSLA	84	183	380	775	1581
CIA	74	148	299	601	1210
CLA	87	192	409	830	1672
BK	68	139	287	583	1190
LF	71	158	355	813	1731
KS	85	201	487	1155	2530
COSA	107	266	630	1458	3280

表 5 加法器延迟(单位门模型)

Table 5 Delay of adders(unit-gate model)

加法器类型	加法器字长/bit				
	8	16	32	64	128
RCA	16	32	64	128	256
CSKA	12	16	24	32	48
CSLA	10	12	18	24	34
CIA	10	12	16	18	22
CLA	12	16	20	24	28
BK	12	16	20	24	28
LF	10	12	14	16	18
KS	10	12	14	16	18
COSA	8	10	12	14	16

表 6 加法器延迟(标准单元实现)

Table 6 Delay of adders(standard cell)

加法器类型	加法器字长/bit				
	8	16	32	64	128
RCA	2.8	5.5	11.2	22.5	44.5
CSKA	2.4	3.36	5.3	6.5	9.6
CSLA	2.0	2.96	3.84	5.2	6.95
CIA	2.16	2.87	3.65	4.1	5.52
CLA	2.2	3.15	3.9	4.3	5.7
BK	2.23	3.1	4.0	4.6	5.97
LF	1.96	2.81	3.2	3.85	5.43
KS	2.0	2.90	3.45	4.2	6.19
COSA	1.99	2.86	3.35	3.99	6.1

其中: RCA = ripple carry adder

CSKA = carry skip adder<sup>[2]</sup>

CSLA = carry select adder<sup>[4]</sup>

CIA = carry increment adder<sup>[6]</sup>

CLA = carry look-ahead adder<sup>[4]</sup>

BK = brent-kung adder<sup>[7]</sup>

LF = ladner-fischer adder

KS = kogge-stone adder<sup>[8]</sup>

COSA = conditional sum adder

表 3、4 列出了常见加法器结构的面积性能, 其中加法器的字长范围为 8~128bit, 基本覆盖了所有实际应用。表 3 为单位门模型下的面积性能。可以看出, 在各种字长下, RCA 加法器面积最小, COSA 加法器面积最大。表 4 为采用 Alcatel 0.35μm 1P5M CMOS 标准单元库实现的加法器面积, 其中单位门的面积为 4.5μm × 12μm; 由于该工艺具有 5 层金属互连, 单元间无需额外的布线通道, 因此版图面积等于单元面积之和。显然, 实际的芯片面积与单位门模型的预测结果比较吻合。

表 5 列出了单位门模型下加法器的延迟性能。显然, 在各字长下, RCA 加法器的延迟最大, 而 COSA 加法器的延迟最小; 但根据表 6, 在采用标准单元实现后, COSA 加法器的延迟在各字长下均大于 LF 加法器; 延迟性能同样变坏的还有 KS 加法器; 这两种加法器的性能之所以偏离单位门模型, 原因是它们的面积大(尤其在大字长情况下)、平行连线较多, 从而连线延迟所占比例增大, 导致电路速度变慢。因此, 在进行 VLSI 结构选择时, 同等情况下优先考虑那些结构紧凑、相邻平行连线少的电路(如 LF、CIA、BK、RCA 加法器等)。对于这类电路, 单位门延迟模型具有较好的精度。

由上文分析可知, 根据单位门模型, 在设计加法器具体电路之前即可预测各种结构的性能, 从而根据实际约束条件, 选择合适的电路结构(如表 7 所示)。KS、COSA、CLA、CSLA 等四种结构在可综合的算术运算单元中, 性能不理想, 因此不予采用。表 7 中的定性分析结果表明: 对于要求面积小、速度慢的应用, 可以采用 RCA、CSKA 结构; 若对速度性能要求更高, 可选用 BK、CIA 等结构; 若要求延迟最小, 则须采用 LF 结构, 代价是电路面积的增加。

表 7 加法器性能总结

Table 7 Conclusions on the performance of adders

结构	性能	规则性	约束条件	
			面积	速度
RCA	a tttttt	最高	最小	最慢
CSKA	aa tttttt	中等	小	慢
CSLA	aaaa tttt	高	—	—
CIA	aaa tt	高	中等	高
CLA	aaaa tt	中等	—	—
BK	aaa ttt	中等	中等	中等
LF	aaaa t	中等	高	最高
KS	aaaaa t	中等	—	—
COSA	aaaaa t	低	—	—

## 4 与商用综合软件的比较

目前的商用综合软件,如 Synopsys 的 Design compiler(简称 DC)等均可直接处理基本的算术运算. DC 集成了 Designware 及 Designware-Foundation 两个 IP 库,包含多种算术运算单元的电路结构. 根据约束条件,DC 从 IP 库中选取合适的电路结构,然后进行逻辑综合、优化. 以加法运算为例,2001.8 版本的 Designware 及 Designware-foundation 包含了 RCA、CLA、CSLA、BK、COSA 等几种结构<sup>[11]</sup>. 采用 DC 综合后的结果与本文方法比较如

表 8 所示.

在四种约束条件下,分别比较了 DC 与本文方法的性能,比较的指标是归一化的面积、延迟乘积(以 DC 的结果为 1). 第一种是面积最小化的约束条件,本文方法与 DC 具有相同的性能;其次比较了速度最快的约束条件,本文方法在 16~64bit 的字长下,归一化面积、延迟乘积均优于 DC 的设计结果. 对于其它两种延迟/面积约束中等的情况,本文方法也具有更好的性能.

由此可以看出,在采用单位门模型对算术运算单元性能评估的基础上,可以设计出优化的电路结构(即结构综合),其性能优于目前的商用综合软件.

表 8 加法器的归一化面积/延迟乘积比较

Table 8 Comparison of area-delay product

约束条件	DC(Ver 2001.8)			本文			备注
	16bit	32bit	64bit	16bit	32bit	64bit	
面积最小	1	1	1	1*	1*	1*	* 采用 RCA 结构
中等速度(1)	1	1	1	0.93*	0.92*	0.9*	* 采用 BK 结构
中等速度(2)	1	1	1	0.87*	0.83*	0.79*	* 采用 CIA 结构
速度最快	1	1	1	0.91*	0.86*	0.82*	* 采用 LF 结构

## 5 结论

本文提出了一种可综合算术运算单元的性能建模及 VLSI 结构优化的方法. 该方法考虑了当前半导体工艺水平的影响(多层布线等),利用算术运算单元比较规则的特性,提出了单位门面积和延迟模型;在此基础上,以算术运算中最重要的加法运算为例,研究如何利用单位门模型进行电路性能的评估、VLSI 结构优化设计等. 理论分析的结论与电路的实现结果基本吻合,从而验证了该方法的有效性.

## 参考文献

- [1] Hwang K. Computer arithmetic: principles, architecture, and design. John Wiley&Sons, 1979
- [2] Hobson R. Optimal skip-block considerations for regenerative carry-skip adders. IEEE J Solid-State Circuits, 1995, 30(9): 1020
- [3] Ladner R, Fischer M. Parallel prefix computation. Journal of ACM, 1980, 27(4): 831
- [4] Weste N H E, Eshraghian K. Principles of CMOS VLSI design. Addison-Wesley, MA, 1993
- [5] Tyagi A. A reduced-area scheme for carry-select adders. IEEE Trans Comput, 1993, 42(10): 1162
- [6] Zimmermann R. Computer arithmetic: principles, architectures, and VLSI design. Lecture notes, Integrated Systems Laboratory, ETH Zurich, 1997
- [7] Brent P R, Kung T H. A regular layout for parallel adders. IEEE Trans Comput, 1982, 32(3): 260
- [8] Kogge P, Stone H. A parallel algorithm for the efficient solution of a general class of recurrence equations. IEEE Trans Comput, 1973, 22(8): 783
- [9] Huang Zhijun, Ercegovac M. Effect of wire delay on the design of prefix adders in deep-submicron technology. Proc 34th Asilomar Conference on Signals, Systems and Computers, 2000: 115
- [10] Cong J, Pan D. Interconnect delay estimation models for synthesis and design planning. Proc Asian and South Pacific Design Automation Conference (ASP-DAC), 1999: 97
- [11] Synopsys online documentation, Version 2001, 08
- [12] Bergeron J. Writing test benches-functional verification of HDL models. Kluwer Academic Publishers, 2000

## Performance Modeling and Architecture Optimization of Synthesizable Arithmetic Circuits

Shen Bo and Zhang Qianling

(ASIC & System State Key Laboratory, Fudan University, Shanghai 200433, China)

**Abstract:** A performance evaluation and modeling method for synthesizable arithmetic circuit is proposed. Based on the unit-gate model, it is feasible to estimate the delay and area of arithmetic circuits at the beginning of design period, therefore the design iteration is avoided. The effectiveness is proved by the applications of the proposed method to various binary adders.

**Key words:** unit-gate model; performance evaluation; binary adders

**EEACC:** 1265B; 2570D; 1130B

**Article ID:** 0253-4177(2002)12-1332-06

---

Shen Bo male, was born in 1975, PhD candidate. His main research interests are in the area of ASIC design and the VLSI integration of communication systems.

Zhang Qianling female, was born in 1936, professor. Her main research interests are in the area of ASIC design and the VLSI integration of electronic systems.

Received 6 February 2002, revised manuscript received 23 May 2002

© 2002 The Chinese Institute of Electronics