

# 深亚微米设计中天线效应的消除

杨 旭 黄令仪 叶 青 周玉梅

(中国科学院微电子研究所, 北京 100029)

**摘要:** 分析了 PAE 效应(process antenna effect) 的成因, 并在此基础上提出了几种在深亚微米 ASIC 设计中消除 PAE 效应的方法。其方法应用于“龙芯-I CPU”的后端设计, 保证了投片的一次成功。

**关键词:** PAE 效应; 等离子; 栅氧化层; 可靠性

**EEACC:** 1265A; 2570A

**中图分类号:** TN 402

**文献标识码:** A

**文章编号:** 0253-4177(2004)07-0879-05

## 1 引言

随着 IC 制造工业的发展, VLSI 的芯片尺寸不断减小, 芯片速度不断提高, 低功耗的要求越发严格, 因此加工的复杂性迅速增加。基于等离子技术的工艺已经成为现代大规模 IC 制造工业不可缺少的部分。随着科技进入深亚微米领域, 更细的线条和更好的图形对加工工艺的严格要求, 使高密度等离子技术的应用越来越重要。但是, 基于等离子技术的工艺容易在加工过程中在导体层面上集聚电荷。实验数据表明这种电荷的积累会影响薄栅氧化层的性能, 严重时甚至会造成器件的失效, 这被称为“天线效应”(也被称为“等离子导致栅氧损伤”)<sup>[1~3]</sup>。在 ASIC 设计中, 天线效应的检错、估量与修复都需要技术人员对其有清楚的了解。本文分析了等离子工艺导致天线效应的原因, 提出了三种在 ASIC 设计中估量天线效应的算法及解决办法。

## 2 PAE 效应的产生

芯片的加工过程中, 当导体层没有被保护层(比如氧化层)覆盖而直接暴露在等离子束下的时候, 电荷就会积累在导体层上。所积累的电量的多少与其暴露在等离子束下的面积成正比<sup>[2,3]</sup>。如果积累了电荷的导体层直接连接到器件的栅上, 就会在栅下的

薄氧化层形成 Fowler-Nordheim(F-N)隧穿电流泄放电荷, 这种电流会影响栅氧化层的质量, 甚至造成破坏。

在 F-N 泄放电流作用下, 面积比较大的栅得到的损伤较小<sup>[3~5]</sup>。因此基本的天线检查规则定义导体的面积与栅面积的比率。例如: 一个  $200\mu\text{m}$  长  $1\mu\text{m}$  宽的多晶硅连线连接到两个栅, 它们分别是  $2\mu\text{m}$  长  $0.6\mu\text{m}$  宽和  $1\mu\text{m}$  长  $0.6\mu\text{m}$  宽。那么, 多晶硅连线面积与栅面积的比率是:  $200 \times 1 / (2 \times 0.6 + 1 \times 0.6) = 111$ 。比率的定义是为了方便天线效应的检查, 同时, 根据不同的工艺条件以及不同的检查对象, 也要给出可以允许的最大比率作为阈值来判断是否存在天线效应。

另外, 如果导体线条或图形上积累的电荷能够从低阻抗通路泄放, 比如从业已生成的器件的掺杂区(源区/漏区)泄放, 那它就不会造成栅氧化层的损伤, 如图 1 所示。

图 1 中当 Metal2 没有生成时, CD 段积累的电荷通过器件 M 的栅泄放从而损伤栅氧。而 AB 段积累的电荷会通过器件 N 的源漏区泄放, 对器件 N 不会造成损伤。

在深亚微米 VLSI 的制造工艺中, 有三种基于等离子技术的工序:

(1) 导体连线和图形的刻蚀: 导体层面在特定气体电离生成的等离子束的刻蚀下, 形成各种各样的图形和线条。在工序结束前, 导体图形的侧面会暴露

杨 旭 男, 1977 年出生, 硕士研究生, 研究方向为超大规模集成电路 ASIC 设计。

2003-08-26 收到, 2004-02-07 定稿

©2004 中国电子学会

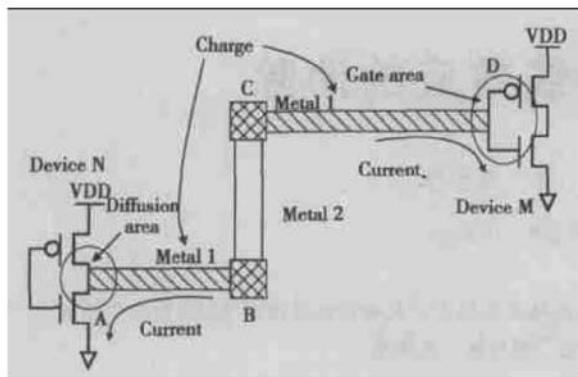


图1 电荷的积累和泄放示意图

Fig. 1 Schematic of charge and leak current

在等离子束下从而积累电荷. 这种情况下积累电荷量的多少与导体图形或线条的侧面积成正比.

(2) 掩模胶的去除: 导体图形刻好后, 用另外一种气体电离成的等离子束去掉导体图形上覆盖的掩模胶. 显然, 胶在工序的最后被去除时, 导体层的顶面直接暴露在等离子束下. 这种情况下, 积累电荷的多少正比于导体层图形的面积.

(3) 通孔刻蚀: 在导体层与层之间的绝缘层上刻出通孔. 在通孔刻蚀完成时, 通孔下层的导体层直接暴露在等离子束下, 其积累电荷量的多少正比于通孔的总面积.

从这三种典型等离子工艺可以看出, 栅氧化层被损伤的几率正比于导体层的图形面积和侧面积, 反比于所直接相连的栅的面积. 这也是进行天线检查和修复时所要遵循的原则<sup>[4,6]</sup>.

### 3 PAE 效应的计算

芯片在加工时, 不同的加工厂会根据其设备以及加工流程, 对芯片的最大静电荷承受能力(既阈值  $K_{th}$ )提出要求. 从第2节分析, 有两种要求:

$$A_{\text{metal}}/A_{\text{poly}} < K_{th} \quad (1)$$

$$A_{s,\text{metal}}/A_{\text{poly}} < K_{th} \quad (2)$$

其中  $A_{\text{metal}}$  为与栅相连的连线面积;  $A_{s,\text{metal}}$  为与栅相连的连线侧面积(也被表述为 sidewall area);  $A_{\text{poly}}$  为栅的面积.

图2是芯片中金属连线和栅的结构示意图.

面积计算公式:  $A = w \times l$

侧面积计算公式:  $A_s = 2(w + l)t$

有些 EDA 工具(比如 CADENCE 公司的 Assura)可以在提版图参数时提出连线周长信息:

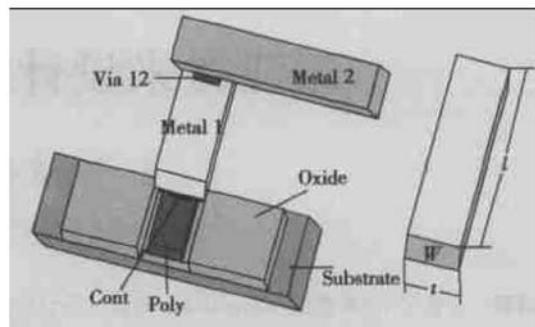


图2 芯片中金属连线和栅的结构示意图

Fig. 2 Metal wire and poly gate in chip

parameter, 从而侧面积的计算公式可变为:  $A_s = \text{parameter} \times t$ . 随着芯片尺寸的缩小, 在深亚微米集成电路中金属连线的厚度  $t$  相比宽度  $w$  大了许多(TSMC 的  $0.18\mu\text{m}$  工艺 2 到 5 层金属连线宽为  $0.28\mu\text{m}$ , 厚度为  $0.53\mu\text{m}$ ). 在这种情况下, 金属层“侧面”上积累的电荷更容易给栅氧造成损伤, 如果还用“面积”来计算天线效应就有了很大的误差. 所以, 现代的芯片加工厂提出的要求一般都是只针对“侧面积”. 例如, TSMC 的  $0.18\mu\text{m}$  工艺对于连线只连接栅的阈值要求是: 连线侧面积/栅面积  $< 400$ .

图3给出的是计算PAE效应时金属连线与栅的示意图. 其中 M、M' 表示 Metal1 连线; N 和 N' 表示 Metal2 连线; G 表示栅. 下文以  $A_{s,M}$ ,  $A_M$  表示金属 M 的侧面积和面积(其他金属连线的表示方法同此);  $A_G$  表示栅面积.

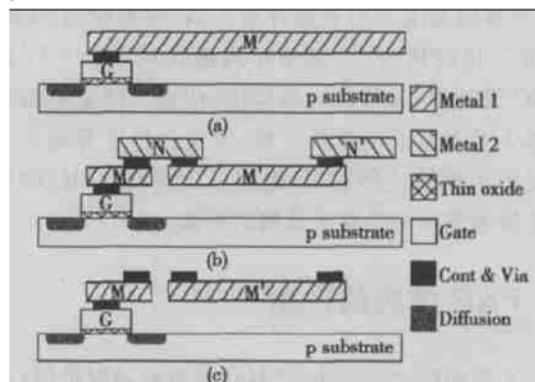


图3 金属连线和栅的示意图

Fig. 3 Schematic of connection of metal and poly

图3(a)是典型的情况, 针对于 TSMC  $0.18\mu\text{m}$  的工艺要求, 当  $A_{s,M}/A_G > 400$  时, 就出现天线效应. 即在加工过程中, 栅 G 下面的薄二氧化硅层就会被连线金属(图中 M)上积累的电荷损伤, 导致器件失效.

图3(b)所示是比较一般的情况。在(b)中要计算Metal1对于栅的比值,则用M段的侧面积比栅G的面积: $A_{S,M}/A_G$ 。需要注意的是,虽然Metal1的M'段也是和栅G相连接的,但不能把M'的侧面积累加进来。这是因为对于多层金属线的工艺,加工的过程是从下向上逐层溅射金属层。在考虑Metal1对于栅的PAE效应时,Metal2是不存在的。从图3(c)可以清楚地看出,这时M'和G实际上不相连,因此不应该考虑在内。这也正是后面将要提到的通过跳线解决PAE效应的思路所在。

当要计算示意图3(b)里Metal2对栅的天线效应时,不同的加工厂有不同的要求,通常分为三种模式: topMostOnly, cumulative, sum。在topMostOnly模式下,只考虑最高层金属的作用即可;在cumulative模式下,要分别求出顶层金属和与其直接相关联的下层金属对栅的面积比( $K$ ),然后求比值的和;而在sum模式下,则要把顶层金属及其以下所有相联的金属侧面积求和,再求总的比值。

$$\text{topMostOnly: } K_{\text{metal2}} = (A_{S,N} + A_{S,N'})/A_G$$

cumulative:

$$\begin{aligned} K_{\text{metal2}} &= K_{\text{metal2}}(\text{topMostOnly}) + K_{\text{metal1}} \\ &= (A_{S,N} + A_{S,N'})/A_G + A_{S,M}/A_G \\ &= (A_{S,N} + A_{S,N'} + A_{S,M})/A_G \end{aligned}$$

$$\text{sum: } K_{\text{metal2}} = (A_{S,N} + A_{S,N'} + A_{S,M} + A_{S,M'})/A_G$$

可见,sum是比较保守的算法。以sum模式进行PAE的计算和修复,虽然保证了不出现天线效应,但由于要求过于严格,在深亚微米设计中,特别是后段布局布线比较复杂的情况下,往往会给布线及出错后的修复带来很多困难。随着现代生产加工工艺的进步,芯片制造商的要求多是topMostOnly模式。

以上分析的是连线只连接栅的情况,对于连线一端接源漏区另一端接到栅极的情况可以参考图4。图中第一个反向器的输出和第二个反向器的输入连在一起,类似的情况在版图中是非常普遍的。

从第2节的分析可知,因为源漏区是做在衬底上的,当连线上有电荷积累的时候,源漏区会较容易把电荷泄放掉,故此时面积比的阈值可放宽。例如在TSMC 0.18μm工艺里,要求的阈值是:源漏区面积×400+1800。对比可见相同工艺条件(TSMC 0.18μm),连线只连接栅的阈值为400,连接源漏区后阈值放宽为2000左右。

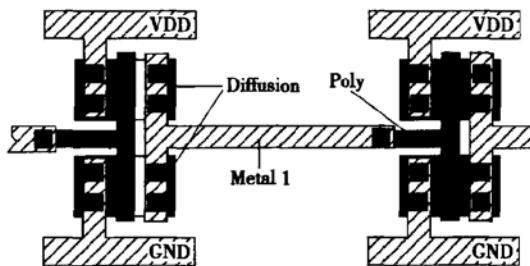


图4 两个反相器的连接示意图

Fig. 4 Layout of two inverters

## 4 PAE 效应的消除

当版图中出现PAE效应时,主要可以用两种方法消除:“向上跳线”和“添加反偏二极管”。

“向上跳线”的方法利用上面分析中曾经提到的:多金属层工艺,在生成某金属层时,它的高层金属层还不存在的特点。具体做法如图5所示。

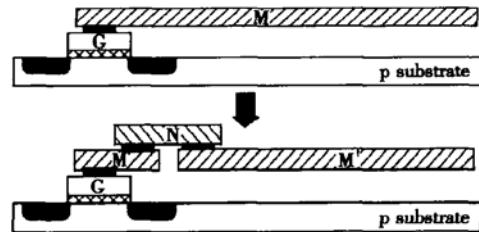


图5 向上跳线方法示意图

Fig. 5 Jump up method

可以看到,本来M连线长度过长,通过跳线改变了连线方式。从改变后的连接方式分析,在生成Metal1上的连线M和M'时,由于N还没有被生成,所以M'不与G连通,其上积累的电荷也不会对栅G产生影响。因此,只要在距离栅G比较近的地方跳线,使M和N都较短,就可以避免PAE效应的出现。

理论上讲,向下跳线也可以消除PAE效应,如图6所示。

当金属连线(图中由N表示)的面积与栅面积的比值大于阈值时,可通过向下跳线改变连接关系,如果可以通过控制金属M的长度,使得 $(A_{S,N} + A_{S,N'})/A_G < K_{th}$ ,也可消除天线效应。从前面分析知,M段是无需考虑天线效应的因素,因此M的长度可以灵活选择。但这种做法有很大的问题,因为通常情况下M必须非常长才能满足要求,而在布线资源较紧张的设计里是很难满足的,所以一般不会使用这种方法。

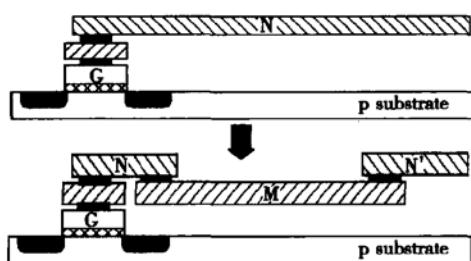


图 6 向下跳线方法示意图

Fig. 6 Jump down method

法。

现代的多层金属布线工艺,在低层金属里出现 PAE 效应,基本都可采用向上跳线的方法消除。但当最高层出现问题,且向下跳线很难满足要求时,就必须采用添加反偏二极管的方法。这种做法利用的是第 3 节提到的连线接到掺杂区使阈值变大的特点,如图 7 所示。

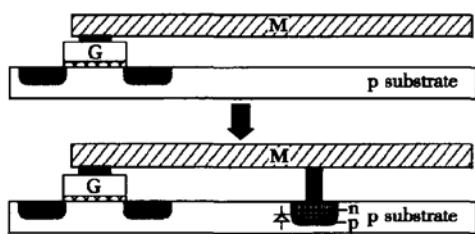


图 7 添加反偏二极管方法示意图

Fig. 7 Method of add reverse bias diode

添加的反偏二极管在芯片加工完成后,因为它是反偏的,所以不会给逻辑功能带来任何影响。它的作用是在加工过程中,当 M 上的电荷积累到二极管被反向击穿,就泄放掉这些电荷,从而保护栅 G 下的薄氧化层。

## 5 结论

在深亚微米集成电路设计中,通过自动布局布

线得到的结果,天线错误一般会有几千个到上万个,不可能全部用手工修复。通常的做法是给 EDA 软件一个合适的约束,通过软件自动进行天线效应的查找与排除。在比较简单的设计里,问题可以得到基本解决。但是,随着设计尺寸越来越小,ASIC 设计中布线资源越来越紧张,再加上有些宏单元参数不够准确等原因,很难由 EDA 软件完全消除天线效应。因此在版图 TAPE OUT 前的设计规则检查中,天线效应的检查非常重要。进行“龙芯-4 CPU”的后端设计时,对 CADENCE 的 WROUTE 自动布线及修复的结果,分别使用 Assura 和 Hercules 对其进行 topMostOnly 模式的天线检查,仍存在 100 多个天线效应。在版图中采用“向上跳线”和“添加反偏二极管”的方法进行手工修复,投片一次成功。

## 参考文献

- [ 1 ] Maly W, Ouyang C, Ghosh S, et al. Detection of an antenna effect in VLSI designs. Proceedings of the 1996 Workshop on Defect and Fault-Tolerance in VLSI Systems (DFT), 1996: 86
- [ 2 ] Fang S, McVittie J. Thin-oxide damage from gate charging during plasma processing. IEEE Electron Device Lett, 1992, 13(5): 288
- [ 3 ] <http://www.ewh.ieee.org/soc/cprnt/presentations/cpm-tooo5a.pdf>
- [ 4 ] [http://sigda.org/Archives/ProceedingArchives/Date/papers/2002/date02/pdffiles/05c\\_3.pdf](http://sigda.org/Archives/ProceedingArchives/Date/papers/2002/date02/pdffiles/05c_3.pdf)
- [ 5 ] Schoenwald D A. Modeling and real-time control of plasma-based wafer etching. Proceedings of the 29th Southeastern Symposium on System Theory (SSST '97), 1997: 420
- [ 6 ] Chen P H, Malkani S, Peng C M, et al. Fixing antenna problem by dynamic diode dropping and jumper insertion. Proc Quality Electronic Design, 2000: 275
- [ 7 ] Chen Z, Koren I. Layer reassignment for antenna effect minimization in 3-layer channel routing. Proceedings of the 1996 Workshop on Defect and Fault-Tolerance in VLSI Systems (DFT), 1996: 77

## Solution of Process Antenna Effect in Deep-Submicron Design

Yang Xu, Huang Lingyi, Ye Qing and Zhou Yumei

(Institute of Microelectronics, The Chinese Academy of Sciences, Beijing 100029, China)

**Abstract:** PAE (process antenna effect) is a phenomenon of plasma induced gate oxide degradation. It directly affects manufacturability of VLSI circuits, especially in deep-submicron technology using high density plasma processes. Base on analysis of PAE, several estimating algorithms and solutions are provided. And these methods are adopted in the Godson-I CPU's back-end design successfully.

**Key words:** PAE; plasma; gate oxide; reliability

**EEACC:** 1265A; 2570A

**Article ID:** 0253-4177(2004)07-0879-05

---

Yang Xu male, was born in 1977. He is engaged in the research on ASIC.

Received 26 August 2003, revised manuscript received 7 February 2004

© 2004 The Chinese Institute of Electronics