

恒电流应力引起 HfO_2 栅介质薄膜的击穿特性*

韩德栋 康晋锋 王成钢 刘晓彦 韩汝琦 王 玮

(北京大学微电子学研究所, 北京 100871)

摘要: 利用磁控溅射的方法在 p-Si 上制备了高 k (高介电常数) 栅介质 HfO_2 薄膜的 MOS 电容, 对薄栅氧化层电容的软击穿和硬击穿特性进行了实验研究。利用在栅极加恒电流应力的方法研究了不同面积 HfO_2 薄栅介质的击穿特性以及击穿对栅介质的 $I-V$ 特性和 $C-V$ 特性的影响。实验结果表明薄栅介质的击穿过程中有很明显的软击穿现象发生, 与栅氧化层面积有很大的关系, 面积大的电容比较容易发生击穿。分析比较了软击穿和硬击穿的区别, 并利用统计分析模型对薄栅介质的击穿机理进行了解释。

关键词: 恒电流应力; 高 k ; HfO_2 ; 击穿

PACC: 7360H; 0710; 7755 EEACC: 2550; 2530

中图分类号: TN 386 文献标识码: A 文章编号: 0253-4177(2004)08-1009-04

1 引言

随着超大规模集成电路的集成度不断增大, 作为集成电路主要元器件的 MOS(金属-氧化物-半导体)器件的尺寸不断缩小, 同时栅氧化层厚度也要相应减薄。当 MOSFET 尺寸缩小到 $0.1\mu\text{m}$ 以下时, 栅氧化层的厚度需要小于 3nm 。此时传统的 SiO_2 栅氧化层介质所承受的电场变得很大, 将发生明显的电子直接隧穿效应, 由此引起的栅介质的漏电流增大和可靠性下降等问题, 严重阻碍了 MOS 器件的进一步发展。采用高介电常数的栅介质(通常称为高 k 栅介质)替代传统 SiO_2 可以有效解决这一问题。根据电容公式 $C = \epsilon_0 \epsilon_r S/d$ 可以看出, 利用高 k 介质材料替代传统 SiO_2 作为栅介质, 可以在保持等效氧化层厚度 EOT(在保持栅电容值不变的条件下, 以相对介电常数为 3.9 的 SiO_2 作为标准得到的栅介质层厚度) 不变的条件下, 通过增加介质层的物理厚度, 可以大大减小直接隧穿效应和栅介质层承受的电场强度。目前, 国内外研究较多的高 k 栅材料有 CeO_2 , Y_2O_3 , Ta_2O_5 , HfO_2 , ZrO_2 , TiO_2 , Al_2O_3 等二元金属氧化物以及 SrTiO_3 (STO) 和 BaSrTiO_3 (BST)

等具有钙钛矿结构的氧化物材料系统^[1~8]。其中, 由于 HfO_2 介质材料具有简单的 CaF_2 立方晶体结构、高的介电常数(相对介电常数为 $\epsilon_r \approx 25$)、稳定的化学性质, 且与 Si 有很好的晶格匹配, 因此, HfO_2 栅介质被认为很有希望代替传统的 SiO_2 栅介质。

众所周知, 薄栅介质的击穿是引起 MOS 器件退化的主要原因之一, 因而国内外已有很多人对这方面进行了大量研究^[9~14]。但是关于高 k 栅介质 HfO_2 薄膜的击穿特性较少有人研究。据有关专家预测, 2005 年左右 MOS 器件将可能用到高 k 栅介质^[15]。因此, 高 k 栅介质将有非常好的应用前景。本文对高 k 栅介质 HfO_2 电容的制备以及击穿特性进行了较细致的研究。实验表明与通常厚栅介质的硬击穿 HBD(hard breakdown) 不同, 薄栅介质的击穿过程中有软击穿 SHD(soft breakdown) 发生。本文分析比较了两者的区别, 并对薄栅介质的击穿机理进行了解释。

2 实验

实验采用的样品为 n 型 HfO_2 栅介质 MOS 电容。 HfO_2 栅介质是利用反应磁控溅射方法制作在电

* 国家重点基础研究专项经费资助项目(合同号: G20000365)

韩德栋 男, 1970 年出生, 现从事 MOS 电路新器件、新结构的研究。Email: handd@ime.pku.edu.cn

2003-08-04 收到, 2003-12-17 定稿

©2004 中国电子学会

阻率为 $5 \sim 10 \Omega \cdot \text{cm}$ 的 p-Si 衬底上。首先在 Si 片背面溅射 Pt 电极, 淀积 HfO_2 之前先对衬底进行清洗。具体清洗过程为: 先将硅衬底在热的 H_2SO_4 和 H_2O_2 的混合溶液中煮 10min, 以去除硅片表面的金属离子和其他杂质, 然后用 HF 溶液漂洗 20s 以去除表面的自然氧化层, 最后用去离子水充分冲洗并用 N_2 吹干后, 立即装入溅射系统中。在制备 MOS 电容样品时, 为了改善 HfO_2 薄膜的漏电流等电学特性, 薄膜淀积后, 又在 800°C 的衬底温度、 O_2/N_2 混合气氛中退火。然后样品被转移到另一个系统, 利用磁控溅射方法淀积 Pt 电极, 淀积时采用金属掩模板形成上电极图形。电容面积为 $50\mu\text{m} \times 100\mu\text{m}$ 和 $50\mu\text{m} \times 50\mu\text{m}$ 。MOS 电容结构的 $C-V$ 特性和 $I-V$ 特性曲线分别采用 Keithley 590 $C-V$ 测试仪和 HP4156B 半导体参数分析仪测量。本文采用恒电流应力的方法研究薄栅氧化层的软击穿和硬击穿特性。

3 实验结果

利用制备的 HfO_2 栅介质电容进行恒电流应力下的击穿特性测试, 实验结果如图 1 和图 2 所示。图 1 示出面积为 $50\mu\text{m} \times 100\mu\text{m}$ 的 HfO_2 样品在 $-5\mu\text{A}$ 恒电流应力下的击穿特性。由图可见, 在恒电流应力作用 50s 左右, 电压出现小幅度的波动式下降, 即发生了软击穿。和通常的硬击穿不同, 硬击穿表现为在恒电流应力作用一段时间后, 电压突然大幅度下降而且没有明显的波动现象。图 2 所示的是面积为 $50\mu\text{m} \times 50\mu\text{m}$ 的 HfO_2 样品在 $-5\mu\text{A}$ 恒电流应力下

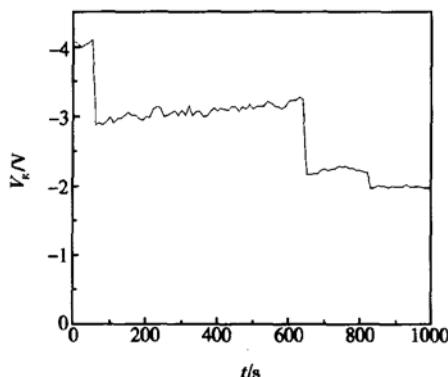


图 1 面积为 $50\mu\text{m} \times 100\mu\text{m}$ 的 HfO_2 样品在 $-5\mu\text{A}$ 恒电流应力下的击穿特性

Fig. 1 Breakdown characteristic of HfO_2 gate dielectric under the $-5\mu\text{A}$ constant current stress

的击穿特性。由图可见, 在恒电流应力作用 360s 左右, 电流出现小幅度的波动式下降也发生了软击穿。比较图 1 和图 2 可以发现, 软击穿现象与电容的面积有相关性, 面积大的电容发生软击穿的时间较早。

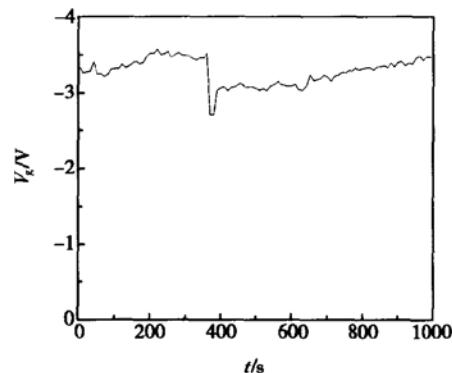


图 2 面积为 $50\mu\text{m} \times 50\mu\text{m}$ 的 HfO_2 样品在 $-5\mu\text{A}$ 恒电流应力下的击穿特性

Fig. 2 Breakdown characteristic of HfO_2 gate dielectric under the $-5\mu\text{A}$ constant current stress

图 3 所示是面积为 $50\mu\text{m} \times 100\mu\text{m}$ 的 HfO_2 栅介质电容在软击穿和硬击穿后的 $I-V$ 曲线的变化情况。由图可见, 在发生击穿前栅介质的漏电流很低, 在偏压为 -1.5V 时, 电流密度为 $0.48 \times 10^{-3}\text{A}/\text{cm}^2$ 。和其他的高 k 栅介质相比, 算是比较低的漏电流。栅介质电容发生软击穿后电流增加, 但没有硬击穿后电流增加得大。

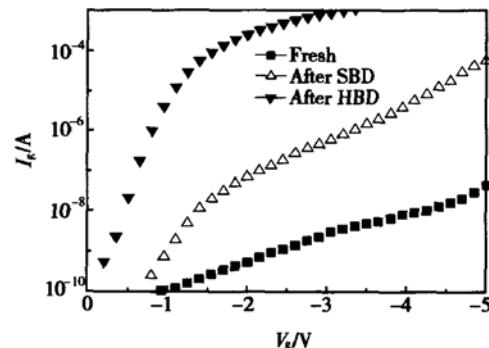


图 3 HfO_2 栅介质电容在击穿前后 $I-V$ 特性的变化

Fig. 3 $I-V$ characteristics of HfO_2 gate dielectric before and after gate breakdown

图 4 所示为 HfO_2 样品在击穿前后的高频 $C-V$ 特性变化。图中的结果显示, 发生击穿前样品在积累区、耗尽区和反型区均保持了良好的特性。软击穿后, 样品的最大电容值下降, $C-V$ 特性曲线发生漂移, 说明样品的界面态密度增加。硬击穿后, 样品不

再具有明显的 MOS 电容的 C-V 曲线特性。

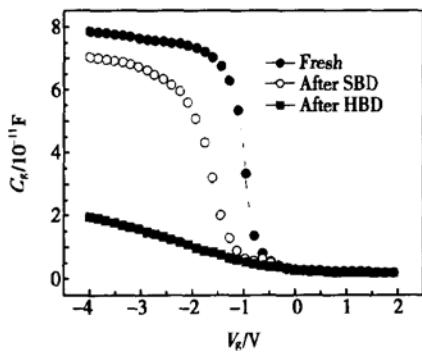


图 4 HfO₂ 栅介质电容在击穿前后 C-V 特性的变化

Fig. 4 C-V characteristics of HfO₂ gate dielectric before and after gate breakdown

4 机理分析

薄栅介质的软击穿特性和通常栅氧化层的击穿过程有所不同。通常栅氧化层的击穿过程可以用碰撞电离模型^[7]解释, 薄栅介质的击穿过程可以利用统计分析模型^[10]来解释。如图 5 所示, 假设总面积为 S , 厚度为 T_{ox} 的电容由 N 个面积为 a 的原胞组成。当原胞内的陷阱密度达到一定临界值 N_{sbd} 时, 栅介质发生软击穿, 如图 6 所示。当原胞内的陷阱密度达到一定临界值 N_{hbd} 时, 栅介质发生硬击穿, 如图 7 所示。

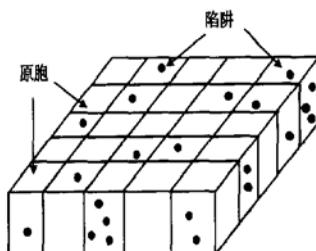


图 5 陷阱统计分析模型示意图

Fig. 5 Illustration of trap statistic analysis model

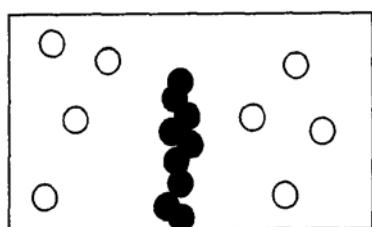


图 6 陷阱积累引起软击穿的示意图

Fig. 6 Illustration of soft breakdown induced by trap accumulation

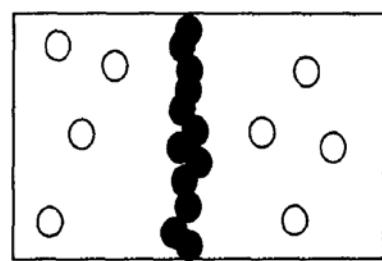


图 7 陷阱积累引起硬击穿的示意图

Fig. 7 Illustration of hard breakdown induced by trap accumulation

假设薄栅介质中的缺陷是随机产生的, 在同一个原胞中存在 n 个缺陷的几率可由泊松分布律给出:

$$P(n, N) = \frac{(NaT_{\text{ox}})^n \exp(-NaT_{\text{ox}})}{n!}$$

当 n 达到 N_{bd} 时原胞发生击穿, 因此可以得到累计失效分布:

$$F(N) = 1 - \left| \sum_{n=0}^{N_{\text{bd}}-1} \frac{(NaT_{\text{ox}})^n \exp(-NaT_{\text{ox}})}{n!} \right|^N$$

由公式可以看出, 失效分布与原胞面积 a 和临界陷阱密度 N_{bd} 有关。利用 $\ln N$ 作为随机变量计算 $\ln[-\ln(1-F(N))]$, 上式可表示为:

$$\begin{aligned} \ln[-\ln(1-F(N))] &= \\ \ln S + \ln \left| NT_{\text{ox}} - \frac{1}{S} \ln \left| \sum_{n=0}^{N_{\text{bd}}-1} \frac{(aT_{\text{ox}}N)^n}{n!} \right| \right| \end{aligned}$$

由上式可以看出, 当工艺条件相同时, 原胞面积 a 、栅氧化层厚度 T_{ox} 和 N_{bd} 相同, 失效率 $F(N)$ 和 $\ln S$ 有关。因此随着面积增大, 击穿时所达到的临界陷阱密度 N_{bd} 减小, 电容较容易击穿, 这与我们的实验结果是一致的。

5 结论

本文利用磁控溅射的方法在 p-Si 上制备了高 k 栅介质 HfO₂ 薄膜的 MOS 电容。利用在栅极加恒电流应力的方法研究了不同面积薄栅介质的击穿(硬击穿和软击穿)特性以及击穿对栅介质的 I-V 特性和 C-V 特性的影响。结果表明, 在薄栅介质的击穿过程中有软击穿现象发生, 硬击穿和软击穿对栅介质的 I-V 特性和 C-V 特性有不同的影响。薄栅介质的击穿与栅氧化层的面积有很大的相关性, 栅氧化层面积越大越容易发生击穿, 并利用统计分析模型较好地解释了这一现象。

参考文献

- [1] Gusev E P, Carier E, Buchanan D A, et al. Ultrathin high- k metal oxides on silicon: processing, characterization and integration issues. *Microelectron Eng*, 2001, 59: 341
- [2] Qi Wenjie, Nieh R, Lee B H, et al. Electrical and reliability characteristics of ZrO_2 deposited directly on Si for gate dielectric application. *Appl Phys Lett*, 2000, 77(20): 3269
- [3] Wilk G D, Wallace R M, Anthony J M. High- k dielectrics: current status and materials properties considerations. *J Appl Phys*, 2001, 89(10): 5243
- [4] Jo M H, Park H H. Leakage current and breakdown behavior in annealed SiO_2 aerogel films. *Appl Phys Lett*, 1998, 72(11): 1391
- [5] Kang Jinfeng, Liu Xiaoyan, Wang Wei, et al. Epitaxial growth of CeO_2 on Si (100) substrate and its electrical properties. *Chinese Journal of Semiconductors*, 2001, 22(7): 865 (in Chinese) [康晋峰, 刘晓彦, 王伟, 等. CeO_2 高 K 棚介质薄膜的制备工艺及其电学性质. 半导体学报, 2001, 22(7): 865]
- [6] Yeh C F, Chen T J, Kao J S. Physical characteristics of N_2 annealing on room-temperature-deposited ion plating oxide. *Appl Phys Lett*, 1997, 70(12): 1611
- [7] Misra V, Heuss G P, Zhong Huicai. Use of metal-oxide-semiconductor capacitors to detect interactions of Hf and Zr gate electrodes with SiO_2 and ZrO_2 . *Appl Phys Lett*, 2001, 78(26): 4166
- [8] Han Dedong, Kang Jinfeng, Linanghai, et al. Reliability characteristics of high- K gate dielectrics HfO_2 in metal-oxide-semiconductor capacitors. *Microelectron Eng*, 2003, 66: 643
- [9] Tomita T, Utsumiya H, Sakura T, et al. A new soft breakdown for thin thermal SiO_2 films under constant current stress. *IEEE Trans Electron Devices*, 1999, 46(1): 159
- [10] Eriguchi K, Niwa M. Temperature and stress polarity-dependent dielectric breakdown in ultrathin gate oxides. *Appl Phys Lett*, 1998, 73(14): 1985
- [11] Chen M J, Kang T K. Oxide thinning percolation statistical model for soft breakdown in ultrathin gate oxides. *Appl Phys Lett*, 2000, 77(4): 555
- [12] Lin Lijin, Zhang Min. The breakdown character of thin oxide film and critical trap density. *Acta Electronica Sinica*, 2000, 28(8): 59 (in Chinese) [林立谨, 张敏. 薄 SiO_2 层击穿特性与临界陷阱密度. 电子学报, 2000, 28(8): 59]
- [13] Okhonin S, Fazan P. Origin of the charge to breakdown distributions in thin silicon dioxide films. *Appl Phys Lett*, 1998, 73(16): 2343
- [14] Han Dedong, Zhang Guoqiang, Ren Diyuan. Study of breakdown characteristics in nitride ultra-thin gate oxide. *Chinese Journal of Semiconductors*, 2001, 22(10): 1274 (in Chinese) [韩德栋, 张国强, 任迪远. 含 N 超薄棚氧化层的击穿特性研究. 半导体学报, 2001, 22(10): 1274]
- [15] Gargini P. The 2002 international technology roadmap for semiconductors (ITRS). *Semiconductor Silicon* 2002, 1: 5

Breakdown Characteristics of HfO_2 Gate Dielectrics Films Under Constant Current Stress*

Han Dedong, Kang Jinfeng, Wang Chenggang, Liu Xiaoyan, Han Ruqi and Wang Wei

(Institute of Microelectronics, Peking University, Beijing 100871, China)

Abstract: Ultra-thin high- k HfO_2 gate dielectrics films are fabricated by reacting magnetron sputtering and furnace annealing. Breakdown characteristics (soft breakdown and hard breakdown) of gate dielectrics are studied. Results show that breakdown characteristic of thin gate dielectrics is different from that of thick gate dielectrics. Thus, breakdown mechanism of gate dielectrics under constant current stress is studied.

Key words: constant current stress; high- k ; HfO_2 ; breakdown

PACC: 7360H; 0710; 7755 **EEACC:** 2550; 2530

Article ID: 0253-4177(2004)08-1009-04

* Project supported by the Special Foundation for Major State Basic Research Program (No. G20000365)

Han Dedong male, was born in 1970. He is engaged in the research on novel MOS devices. Email: handd@ime.pku.edu.cn

Received 4 August 2003, revised manuscript received 17 December 2003

© 2004 The Chinese Institute of Electronics