

# 0.18 m CMOS 工艺 3.125Gb/s 发送器的设计

叶菁华 郭 淦 黄 林 陈一辉 洪志良

(复旦大学微电子系, 上海 200433)

**摘要:** 介绍了一种采用深亚微米 CMOS 工艺实现单片集成发送器的设计。它适用于 IEEE 802.3ae 多通道 10Gbps 以太网接口(Ethernet)。发送器主要由时钟发生器、多路选择器、占空比调整电路和片内阻抗匹配的线驱动器组成。为了提高传输速率发送器采用多相时钟结构, 并且针对该种结构对发送器的功耗进行了系统优化。文中设计的电路采用 0.18 $\mu$ m 工艺仿真, 总体功耗为 95mW, 线驱动器差分输出幅度为 1600mV, 发送器的系统抖动为 50ps。

**关键词:** 发送器; 功耗优化; 多路器; 线驱动器; 占空比调整

**EEACC:** 1205; 2570

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2004)08-1019-05

优化, 并且对时钟信号进行了占空比调整。

## 1 引言

随着处理器处理能力和速度的不断增强与提高, 人们对通信带宽的要求也越来越高, 通信正日益成为微电子产业发展的动力。现在, 高速数据通信已经成为多处理器互连, 处理器与存储器互连, 串行网络接口(如 FireWire, Ethernet, 和 SONET 等)<sup>[1~4]</sup>, 高速硬盘接口(SATA)<sup>[5]</sup>等的重要组成部分。为了降低成本和减小功耗, 这类连接一般采用串行方式。以前, 千兆范围的高速串行连接一般采用 GaAs 或双极工艺实现, 随着 CMOS 工艺的加工线宽不断减小和晶体管特征频率的提高, 现在已经开始采用 CMOS 工艺实现类似的高速连接。另外, 由于 CMOS 工艺允许更高的集成度, 类似的连接已可作为宏模块集成于片上系统(SOC)中, 以进一步降低成本。

本文介绍了一种适用于 10G 以太网接口的串行连接发送器的设计, 单通道数据传输速率为 3.125Gb/s。由于传输速率已经接近工艺的极限, 因此采用多相时钟结构的发送器。为了减小功耗和发送器的系统抖动, 文中对多路器的功耗进行了系统

## 2 体系结构

发送器的系统框图如图 1 所示, 主要由时钟发生器、多路器和线驱动器组成。从基带过来的 10 位并行数据(TX - DATA)通过 HSTL 接口并在同步

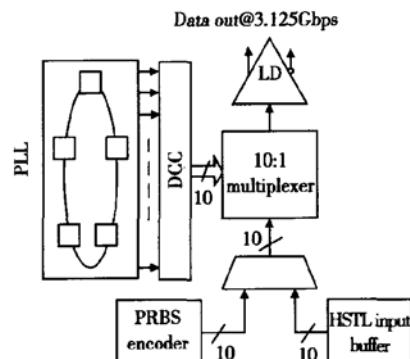


图 1 发送器系统框图

Fig. 1 Transmitter architecture diagram

时钟(频率为 156.75MHz)同步下锁存到寄存器中。多路器利用时钟发生器产生的多相时钟(PLL - CLK), 将并行数据按照从低位到高位的顺序转换

叶菁华 男, 1978 年出生, 博士研究生, 主要研究方向为模拟集成电路的设计与测试。

郭 淖 男, 1978 年出生, 博士研究生, 主要研究方向为模拟集成电路的设计与测试。

洪志良 男, 博士, 教授, 博士生导师, 从事集成电路设计与研制工作。

为串行数据, 送给线驱动器。线驱动器将数字信号转换为适合电缆传输的信号, 并提供足够的电流, 驱动特征阻抗为  $50\Omega$  的同轴电缆。为了提高发送器的可测性, 文中设计了一个  $2^7 - 1$  的伪随机码发生器 (PRBS encoder), 以测试整个发送器性能。

### 3 多路器与线驱动器的设计与功率优化

在多相时钟结构的发送器设计中, 多路器和线驱动器的设计成为了设计难点。多路器电路用于将并行的基带信号转换为串行信号, 它的结构可以分为全速时钟结构<sup>[1,2,6]</sup>, 半速时钟结构<sup>[4]</sup>和多相时钟

结构。而线驱动器一般可以分为电流型和电压型两种模式, 由于本文所设计的发送器的传输速率已经接近了工艺极限, 因此对于多路器采用速度最快的多相时钟结构。为了减小线驱动器对发送器系统的影响, 设计中采用了片内阻抗匹配的电流型线驱动器<sup>[5]</sup>。

为了进一步优化电路性能, 对发送器功耗进行了一定的优化, 从而提高电路的总体性能。由于多路器采用多相时钟结构, 因此时钟发生器的功耗在总体功耗中所占比例就大大降低了, 而多路选择器的功耗相对于发送器有了明显的提升。为了降低整个发送器的功耗, 就需要对多路选择器进行功耗的优化, 图 2(a) 为多路选择器与线驱动器电路结构。

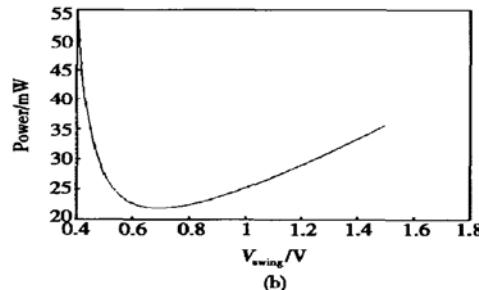
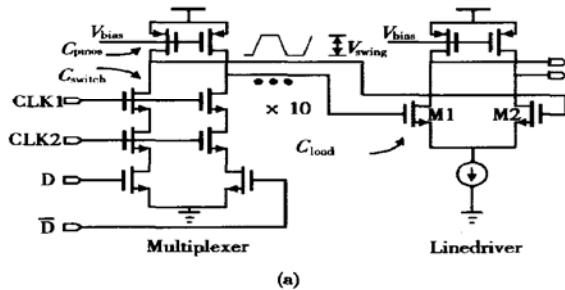


图 2 多路器与线驱动器电路结构(a)及功耗优化(b)

Fig. 2 Multiplexer and linedriver circuit diagram and power optimization

为了提高线驱动器电流源的输出阻抗, 差分输入管 ( $M_1, M_2$ ) 需要工作在饱和区。但为了达到开关电流的作用, 差分对管需要满足下式

$$I_d = \frac{1}{2} \times \frac{W_{LD}}{L_{LD}} K_n (V_{swing} - V_{thn})^2 \quad (1)$$

其中  $V_{thn}$  为 NMOS 管的阈值电压, 输入对管的宽长比 ( $W_{LD}/L_{LD}$ ) 可以表示为:

$$\frac{W_{LD}}{L_{LD}} = \frac{2I_d}{\mu_n C_{ox} (V_{swing} - V_{thn})^2} \quad (2)$$

其中  $I_d$  为线驱动器的输出电流, 它是由输出幅度决定的;  $V_{swing}$  为差分输入幅度差, 同时也是多路器的输出信号。因此如(2)式所示随着输入幅度差 ( $V_{swing}$ ) 越大, 宽长比 ( $W/L$ ) 就越小, 线驱动器的输入电容也就越小。多路选择器的功耗<sup>[7]</sup>为:

$$P \propto C_{total} V_{swing}^2 f \quad (3)$$

式中  $C_{total}$  为多路器输出节点负载电容;  $f$  为信号的频率。其中多路器输出节点负载电容可以近似表示为:

$$\begin{aligned} C_{total} &= C_{load} + C_D + C_{switch} \\ &= \frac{2}{3} W_{LD} L_{LD} C_{ox} + \frac{1}{2} W_{mul} L_{mul} C_{ox} + C_{switch} \end{aligned} \quad (4)$$

式中  $C_{load}$  为线驱动器输入电容;  $C_D$  为多路器 PMOS 管负载漏端电容;  $C_{switch}$  为多路器开关管漏端的寄生电容, 为了便于分析将其确定为一个定值。为了减小多路器输出负载电容, 电路中  $L_{LD}$  与  $L_{mul}$  都取为最小线宽。在多路器中 NMOS 驱动管宽长比一定的情况下, 随着  $V_{swing}$  的增加,  $W_{mul}$  会随之变小, 下式给出了  $V_{swing}$  和  $W_{mul}$  之间定量的关系

$$V_{swing} = \frac{1}{1 + \sigma W_{mul}} V_{DD} \quad (5)$$

其中  $\sigma = \frac{R_{switch} K_p (V_{bias} - V_{thp})}{L_{max}}$ ,  $W_{mul}$  可以表示为:

$$W_{mul} = \frac{1}{\sigma} \left( \frac{V_{DD}}{V_{swing}} - 1 \right) \quad (6)$$

将(2)、(6)式代入(4)式中, 多路器的负载电容为:

$$C_{total} = \frac{2I_d L_{LD}^2}{\mu_n C_{ox} (V_{swing} - V_{thn})^2} +$$

$$\frac{L_{\text{mul}}C_{\text{ox}}}{\sigma} \left( \frac{V_{\text{DD}}}{V_{\text{swing}}} - 1 \right) + C_{\text{switch}} \quad (7)$$

将(7)式代入多路器功耗表达式

$$P \propto \left[ \frac{2I_d L_{\text{LD}}^2}{\mu_n C_{\text{ox}} (V_{\text{swing}} - V_{\text{thn}})^2} + \frac{L_{\text{mul}}C_{\text{ox}} V_{\text{DD}}}{\sigma} \times \left( \frac{1}{V_{\text{swing}}} - \frac{1}{V_{\text{DD}}} \right) + C_{\text{switch}} \right] V_{\text{swing}}^2 f \quad (8)$$

$$P \propto [\alpha \left( \frac{V_{\text{swing}}}{V_{\text{swing}} - V_{\text{thn}}} \right)^2 + \beta \left( V_{\text{swing}} - \frac{V_{\text{swing}}^2}{V_{\text{DD}}} \right) + \gamma V_{\text{swing}}^2 f]$$

其中  $\alpha = \frac{2I_d L_{\text{LD}}^2}{\mu_n C_{\text{ox}}}$ ,  $\beta = \frac{L_{\text{mul}}C_{\text{ox}} V_{\text{DD}}}{\sigma}$ ,  $\gamma = C_{\text{switch}}$ , 由于(8)式中,  $f$  为发送器的数据传输频率, 对于 3.125Gbps 的数据率, 在最高速工作时数据的传输频率为 1.5625GHz。多路器的优化曲线如图 2(b) 所示, 在  $V_{\text{swing}}$  为 650mV 到 700mV 时会出现一个功率优值。设计中通过这个优值来调节 PMOS 管宽长比使输出幅度达到优化值, 从而实现功耗的优化。

## 4 多相时钟发生器

该时钟发生器集成于四通道 10Gbps 以太网接器中, 用于产生发送器所需的高速时钟。为降低接器的整体设计和时钟分布的难度, 采用了多相时钟结构。按照系统的要求, 时钟发生器需产生均匀分布的十相时钟, 输出时钟的频率为 312.5MHz。

为此, 采用如图 3 所示的体系结构, 该结构基于传统的电荷泵型锁相环。其中, VCO 是由五级差分延迟单元构成的环形振荡器, 可以方便地产生均匀分布的十相时钟。由于锁相环中存在负反馈, 环路锁定后, 鉴频鉴相器(phase-frequency detector, PFD) 的两个输入信号 CK<sub>ref</sub> 和 CK<sub>div</sub> 的相位差几乎为零(理想情况下), 这也就意味着两者的频率亦相等, 因此 CK<sub>out</sub> 的频率将是 CK<sub>ref</sub> 的 N 倍。由于系统中参考时钟频率是 156.25MHz, 故分频系数 N 取为 2。其中延迟单元采用了文献[8]中的结构, 是一源极耦合的差分对, 负载是被称为对称负载的阻性负载元件。该负载由一栅漏短接的 PMOS 管和同样大小的用控制电压偏置的 PMOS 管组成, 它的电流电压特性关于电压摆幅的中点对称, 故被称为对称负载。为得到高的电源噪声抑制比, 通常需要线性负载, 因为它们的差模电阻不受电源上共模噪声的影响。但为实现频率可调, 用实际 MOS 管实现的可调电阻负载一般都是非线性的, 非线性负载会将共模噪声转变

为差模噪声, 从而影响到延迟时间。对称负载虽然也是非线性的, 但由于其具有对称性, 可将一阶耦合项消除掉, 只留下高阶项, 从而大大减小电源上的共模噪声所引起的抖动。

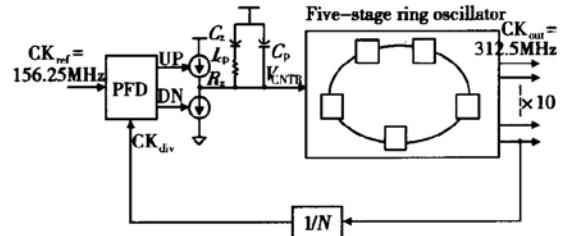


图 3 多相时钟发生器

Fig. 3 Multiphase clock generator

抖动是衡量串行通信的重要特性, 它包括由各种噪声引起的随机抖动和电源波动、信号串扰等引起的确定性抖动。为了降低抖动, 电路设计中除了采用以上降低噪声的结构, 还从系统角度考虑减少噪声, 主要包括合理计算环路的带宽, 抑制 VCO 的本征抖动, 以及合理布局布线, 降低信号之间的干扰等。

## 5 占空比调整电路

由于时钟占空比直接影响发送器输出抖动。因此, 对占空比进行调整可以优化整个电路的抖动性能, 从而降低误码率。图 4 为设计中所采用的占空比调整电路。它由失调调整电路(offset adjust circuit)和一个积分器(integrator)组成。失调调整电路由两部分组成, 一个失调可控单元和一个单端变双端的互补性驱动器, 其中失调调整单元由一个 NMOS 管(M1, M2)输入和 PMOS(M3, M4)管作电流镜负载, 在差分输入对外还有一对额外的差分对管(M5, M6)去调节放大器输入的失调电压。第二级为一个延迟匹配的奇偶倒相器链将前级所调整的时钟信号由单端变成互补的双端信号, 如图 4 所示。以传输门作为奇偶倒相器链中偶数链路的延时单元, 以补偿两路延时的不同, 从而达到延时平衡。积分器由一个双端输入双端输出的放大器, 和一对接在输出节点上的负载电容组成。

其工作原理是将占空比不是 50% 的时钟信号调整到接近 50%。失调调整电路通过积分器反馈回来的控制电压来调整时钟信号, 积分器反馈回来的

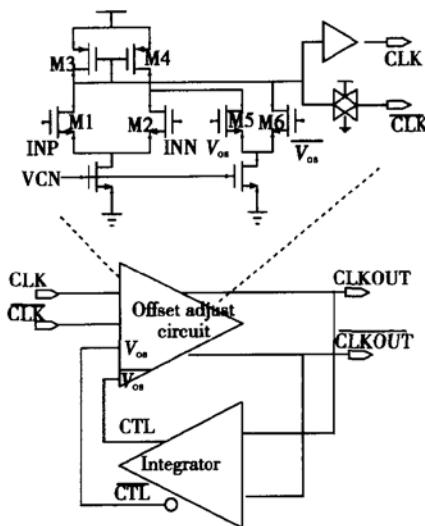


图 4 占空比调整电路结构

Fig. 4 Duty cycle correction circuit diagram

控制电压反馈到  $V_{os}$  和  $\bar{V}_{os}$  端口, 通过改变差分放大器两路电流大小的不同来调整放大器的失调. 互补的双端时钟信号通过积分器将其占空比误差储存到两个大电容里, 再利用反馈环路连续调节可以避免占空比失调引入到奇偶倒相器链输出的时钟信号.

## 6 仿真结果

本文所设计的电路采用 Cadence 的 Spectre 进行仿真, 其中各个模块的功耗以及抖动如表 1 所示. 由于在正常工作时, 伪随机码发生器没有工作, 因此表 1 中没有包括它的功耗.

表 1 各个模块的功耗与抖动及其所占比例

Table 1 Power dissipation and jitter contribution

	消耗电流/mA		抖动(p-p)/ps	
	优化前	优化后	调整前	调整后
多路器	16	7.5	60	12
总体	61	52.3	98	50

表 1 给出了多路器的电流和抖动特性, 通过占空比调整多路器的抖动明显减小. 从而改善了整个发送器的性能. 通过在不同条件下的仿真, 占空比调整电路可以将时钟占空比调整到 49.5% ~ 50.5% 的范围内, 此时时钟占空比失调引入的抖动将小于 15ps. 图 5(a) 为时钟发生器产生的多相时钟, 图 5(b) 为发送器在抖动消除前后的发送眼图.

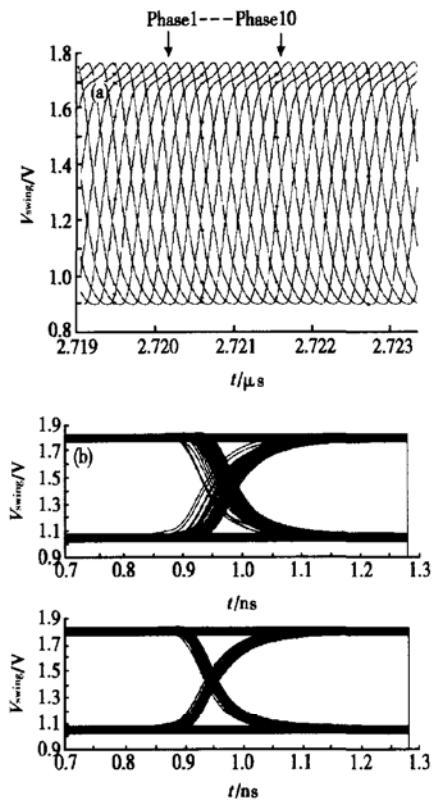


图 5 时钟发生器产生的多相时钟 (a) 以及发送器抖动消除前后信号的眼图 (b)

Fig. 5 Waveform of multiphase clock (a) and transmitter eye-diagrams without duty-cycle correction and with it (b)

## 7 结论

在设计高速发送器时需要考虑速度、功耗、抖动等因素. 为了提高发送器的传输速率, 本文采用了多相时钟结构的发送器以提高传输速度, 并且按照多相时钟结构, 对多路器的功耗进行了一定的优化. 同时, 对时钟信号的占空比进行了调整, 以达到更好的抖动性能. 为了减小线驱动器对系统的影响, 文中采用电流型结构.

## 参考文献

- [1] Afshin M, Jun C, Mario C. A fully integrated SONET OC-48 transceiver in standard CMOS. IEEE J Solid-State Circuit, 2001, 36(2): 1964
- [2] Zhu Jiang, Chen Yu, Hong Zhiliang. 0.18μm CMOS process 784Mb/s transmitter design. Journal of Systems Engineering and Electronics, 2001, 23(3): 102 (in Chinese) [朱江, 陈钰, 洪良. 0.18μm CMOS 工艺 784Mb/s 的数据发送器设计. 系统

- 工程与电子技术, 2001, 23(3): 102]
- [3] Zhang Zhanpeng, Guo Yawei, Wang Ruopeng. 100Base-Tx Ethenet transceiver design. Microelectronics, 2002; 6(in Chinese) [ 张展鹏, 郭亚炜, 汪若鹏. 100Base-Tx 以太网物理收发器的设计. 微电子学, 2002; 6]
- [4] Chen Yu, Hong Zhiliang. A clock frequency multiplier design for 2.5Gbps ethernet transceiver. Research & Progress of Solid State Electronics, to be published(in Chinese) [ 陈钰, 洪志良. 用于 2.5Gbps 千兆以太网发接器的时钟倍频器的设计. 固体电子学研究与进展, 待发表]
- [5] Ye Jinghua, Chen Yihui, Guo Gan. A transmitter for high-speed serial data communicatio. Chinese Journal of Semiconductors, 2003, 24(7): 763(in Chinese) [ 叶菁华, 陈一辉, 郭淦.
- 一种适用于高速数据通信的发送器. 2003, 24(7): 763]
- [6] Zhu Zhen, Qiu Zuijiang, Ren Junyan. A CMOS gigabit parallel to serial and serial to parallel circuit. Journal of China Institute of Communications, 2002; 1(in Chinese) [ 朱正, 邱祖江, 任俊彦. 一种全 CMOS 工艺吉比特以太网串并并串转换电路. 通信学报, 2002; 1]
- [7] Rabaey J. Digital Integrated Circuit - A Design Persective , Prentice Hall, Upper Saddle River, NJ, USA, 1996, ISBN 0-13-394271-6
- [8] Maneatis J G, Horowitz M A. Precise delay generation using coupled oscillators. IEEE J Solid-State Circuits, 1993, 28(12): 1273

### 3. 125Gb/s Transmitter with 0.18 m CMOS Process

Ye Jinghua, Guo Gan, Huang Lin, Chen Yihui and Hong Zhiliang

(Department of Microelectronics, Fudan University, Shanghai 200433, China)

**Abstract:** The design of a monolithic integrated transmitter, which is implemented in deep-sub-micro CMOS process, is described. This transmitter is suitable for IEEE 802.3ae(10-Gb/s) Ethernet standard using 0.18μm CMOS process. The transmitter sets features: 1) Multiphase clock to multiplex the data; 2) Duty-cycle correction (DCC) circuit to adjust the clock pulse width; 3) Current-mode linedriver to drive transmitter medium. Through simulation, the total jitter (peak-to-peak) is 50ps, power dissipation is 95mW, and the differential output voltage swing of transmitter is 1600mV.

**Key words:** transmitter; power optimization; multiplexer; linedriver; duty-cycle-correction

**EEACC:** 1205; 2570

**Article ID:** 0253-4177(2004)08-1019-05

---

Ye Jinghua male, was born in 1978, PhD candidate. His research interests include analog integrated circuit design and test.

Guo Gan male, was born in 1978, PhD candidate. His research interests include analog integrated circuit design and test.

Hong Zhiliang male, PhD, professor. His research interests include integrated circuit design and test.

Received 26 August 2003, revised manuscript received 25 November 2003

©2004 The Chinese Institute of Electronics