

# 具有反馈结构的 PAL-2NF 电路

谢小平 阮晓声

(浙江大学物理系, 杭州 310031)

**摘要:** 在分析 PAL-2N 电路缺陷产生原因的基础上, 提出了一种低功耗, 具有反馈结构的 PAL-2NF 电路, 它采用逐级相位落后 90° 的四相正弦功率时钟。讨论了 PAL-2NF 电路的设计方法, 并在不同时钟频率下用 1.2 μm 的 CMOS 工艺参数对所设计的电路进行 PSPICE 模拟, 电路能完成正确的逻辑功能。五级级联的 PAL-2NF 反相器/缓冲器电路在功率时钟频率 10MHz 时都比相应的 PAL-2N 电路节省 93% 以上的功耗, 在 400MHz 时功耗节省也可达 40%。由于几乎完全消除了输出端的悬空现象和逻辑 0 的“第三态”现象, PAL-2NF 电路可以工作于更高的时钟频率和更低的输出波形畸变。

**关键词:** 能量恢复; 低功耗设计; 绝热开关; CMOS

**PACC:** 1265A; 1265B; 2570D

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2004)08-1024-06

## 1 引言

随着集成电路的发展, 电路集成的规模越来越大, 工作速度越来越快, 造成电路功耗成倍地增加, 给电路的散热和稳定带来了很大的困难, 同时也限制了电路性能的进一步提高。特别是那些采用电池供电设备(如便携式电脑等)的发展要求电路尽量降低功耗而延长电池的工作时间, 因此低功耗集成电路技术的发展已迫在眉睫。然而, 传统的 CMOS 集成电路由于是以节点的电压作为信号, 而电路中节点信号每一次跳变就要消耗  $CV_{dd}^2/2$  的能量。尽管降低电源电压  $V_{dd}$  和减小节点电容  $C$  可有效地降低电路的功耗, 但这种方法却是有限度的, 因此传统静态 CMOS 电路无法克服这一能量壁垒。和传统 CMOS 集成电路不同, 能量恢复电路或绝热计算电路在对电容的充放电时极力保持在开关电路中产生很小的压降, 这样 MOS 器件沟道电阻上产生的能耗极小, 而大部分能量被恢复至电源以便下一周期重新使用。能量恢复电路或绝热电路这一独特的低功耗工作原理得到了广泛的重视。

随着绝热电路研究的深入, 人们提出了许多不同结构的绝热电路<sup>[1~9]</sup>。根据电路能否完全回收节点的电荷, 绝热电路可分为完全绝热电路和部分绝热电路。完全绝热电路的典型例子是 SCRL 与 RERL 电路, 其特点是只能实现可逆逻辑, 同时需要较多的功率时钟, 电路十分复杂且工作频率较低, 但可以达到很高的能量恢复效率<sup>[1]</sup>。部分绝热电路可将电路的大部分能量回收, 是一种较实用的低功耗电路结构, 目前已有多种不同结构形式的部分绝热电路, 比较典型的有 ECRL<sup>[2]</sup>, 2N-2N 2P<sup>[3]</sup>, PAL-2N<sup>[4]</sup> 电路等。尽管与传统的 CMOS 电路相比, 这些部分绝热电路有明显的功耗节省, 但它们仍存在着较大的非绝热功耗。

本文分析了 PAL-2N 电路中产生输出端悬空现象和输出波形畸变的原因, 在此基础上提出了利用反馈信号来控制电路恢复过程的 PAL-2NF (pass-transistor adiabatic logic with NMOS pull-down configuration and feedback structure) 电路。它不仅可以消除电路输出端的悬空现象, 改善输出波形, 而且可以减小电路的非绝热功耗, 达到降低电路功耗的目的, 并讨论了 PAL-2NF 电路的设计方

谢小平 男, 硕士, 目前主要从事数字逻辑和低功耗数字集成电路设计的研究。

阮晓声 男, 副教授, 目前主要从事数字逻辑和低功耗数字集成电路设计的研究。

2003-08-20 收到, 2004-01-02 定稿

©2004 中国电子学会

法.

## 2 PAL-2N 电路缺陷及其改进方法

PAL<sup>[5]</sup> 电路是采用二相功率时钟的全绝热电路, 尽管有较小的能耗, 但它却存在很大的缺点. 输出逻辑 0 时, 在大部分时间里电路处于悬空状态, 同时输出电平有第三态的存在, 即低电平被抬高到中间的电平, 因此电路较易受到干扰, 无法实现复杂的逻辑功能. 文献[4] 提出利用两个 NMOS 管将输出接地, 以保证电路在输出低电平时接地, 基本解决了

上述两个问题, 这就是 PAL-2N 电路. 由于接地 NMOS 的存在, 电路的功耗却有了较大的增加, 为了解决这个困难, PAL-2N 电路改用四相功率时钟, 这样电路的功耗与 PAL 电路相当.

PAL 和 PAL-2N 均来自于传输开关, 图 1(a) 说明了从传统矩形脉冲输入并具有箝位功能的 CMOS 传输门变化到 PAL-2N 电路的过程. 将两个 CMOS 传输门的输出端与 PMOS 管的输入端交叉连接就得到了 PAL-2N 电路. 若输入信号采用钟控信号, 则时钟采用逐级相位落后 90° 的四相功率时钟. PAL-2N 电路理想的工作波形如图 1(a) 所示.

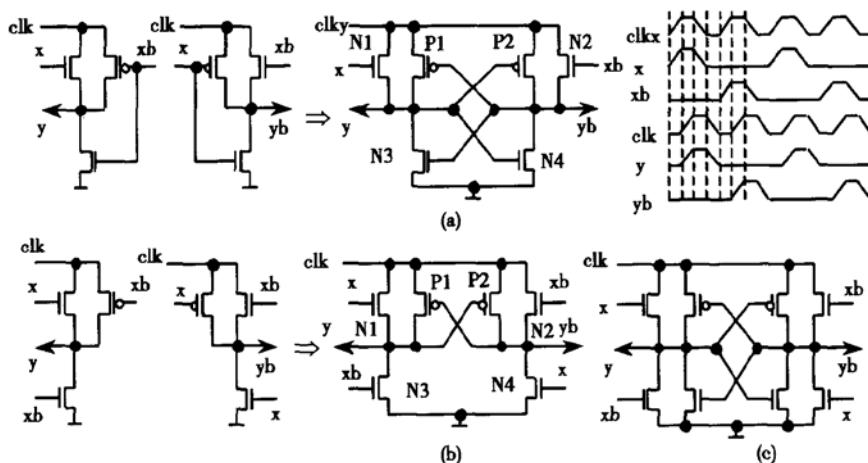


图 1 (a) PAL-2N 反相器/缓冲器电路及工作波形; (b) PAL-2N 电路的改进; (c) 另一种 PAL-2N 的改进电路

Fig. 1 (a) PAL-2N inverter/buffer circuit and its operation waveforms; (b) Improving on the PAL-2N circuit; (c) Other improved PAL-2N circuit

尽管与 PAL 电路相比, 输入信号采用钟控信号时, PAL-2N 电路在输出波形的畸变方面有了很大的改善, 但并没有完全消除电路输出端的悬空现象. 假设电路的输入  $x$  由 1 变到 0, 电路在时钟信号的恢复期, 由于信号此时都处于基电平, 即低电平, 输入的 NMOS 管  $N1, N2$  都截止, 而输出  $yb$  为 0 导致  $N3$  的截止, 当输出信号  $y$  下降到  $V_{thp}$  时,  $P1$  也截止, 此时电路的输出端处于悬空状态, 而且输出信号  $y$  处于  $V_{thp}$  附近. 直到输出信号  $yb$  上升到  $V_{thn}$  时,  $N3$  导通, 输出端  $y$  的电平才回到 0. 从以上的分析可以看出, 当输出信号从逻辑 1 变为 0 时, 该输出端长时问处于悬空现象, 其电平一直保持在  $V_{thp}$  电平附近, 实际上此时输出信号的电平也可以看成是“第三态”, 这不仅使电路容易受到干扰, 影响复杂电路的正常工作, 而且会增加电路的非绝热功耗, 因此 PAL-2N 电路并没有完全克服 PAL 电路的缺点.

为了进一步改善电路的输出波形, 一种方法是在传输门变成 PAL-2N 电路的过程中, 将输出为  $y$  的传输门的 PMOS 管的  $xb$  输入与箝位 NMOS 管的  $xb$  输入分开, 对输出为  $yb$  传输门作类似的处理, 然后将 PMOS 管的输入与传输门的输出交叉连接, 这个过程如图 1(b) 所示.

从图 1(b) 可知, 这时  $N3$  接的是输入信号  $xb$  而不是 PAL-2N 电路的  $yb$ . 由于 PAL-2N 电路采用四相功率时钟, 故输入信号相位超前输出信号 90°, 图 1(b) 电路的  $N3$  导通时间早于 PAL-2N 电路, 因此大大缩短了电路输出端悬空的时间, 达到了改善输出波形的目的. 但该电路在输出信号为 0 时, 电路输出端在后半段由于  $N3$  的截止而处于悬空状态, 若在该电路中再加上两个 NMOS 管就可消除这种悬空现象, 如图 1(c) 所示. 图 1(b) 和(c) 所示的两类电路在电路的恢复期间仍存在一定的非绝热功耗.

### 3 带有反馈结构的 PAL-2NF 电路

改善输出波形的另一种方法是采用反馈。由于 PAL-2N 电路采用逐级相位落后 90°的四相功率时钟，输出信号必然比输入信号相位落后 90°，故作为下一级输入信号的本级输出信号比下级输出信号相位超前 90°，于是下级缓冲器/反相器输出信号的稳定期恰好处于本级信号的恢复期，因此若用下级缓冲器/反相器输出信号作为本级电路的反馈信号，可以完全消除本级电路的非绝热功耗，从而降低电路的功耗，改善输出信号的波形，同时也消除电路输出端的悬空现象。带有反馈结构的 PAL-2NF 缓冲器/反相器电路如图 2(a) 所示。与 PAL-2N 的电路相比，PAL-2NF 缓冲器/反相器电路至少增加 2 个 NMOS 管，它们接收反馈信号。若下一级电路恰好是缓冲器/反相器电路，则反馈信号取自下一级缓冲器/反相器电路，否则电路需要增加一级图 1(b) 或图 1(c) 所示的缓冲器/反相器电路，而反馈信号取自该缓冲器/反相器电路。

用  $1.2\mu\text{m}$  的 CMOS 工艺参数对 PAL-2N<sup>[4]</sup>，PAL-2NF 的五级级联的缓冲器/反相器电路进行 PSPICE 模拟。对于 PAL-2NF 采用两种方式，第一种方式的最后一级电路(即输出级)采用图 1(b) 所示的电路，记作 PAL-2NF1 电路；第二种方式是增加一级图 1(b) 所示的电路作为辅助电路，这样输出级仍为 PAL-2NF 结构，记作 PAL-2NF2 电路。第一级电路的输入信号采用传统矩形脉冲信号，因此这一级电路不需要反馈信号，而使用一般的 PAL-2N 结构的电路。模拟中采用峰峰值为 5V，直流偏移为 2.5V 并且逐级相位落后 90°的四相正弦功率时钟，如图 2(b) 所示，因此该电路实际也是五级移位寄存器。所有 MOS 管的  $W/L$  均取  $1.8\mu\text{m}/1.2\mu\text{m}$ ，输入信号采用 0101……顺序变化的矩形脉冲信号。输出级的每个输出端均接有  $20\text{fF}$  的电容负载。模拟的结果如表 1、图 2(c) 和图 2(d) 所示。其中表 1 是在不同时钟频率下电路的功耗比较，图 2(c) 为时钟频率  $100\text{MHz}$  时电路输入输出及中间各级的波形，图 2(d) 是时钟频率  $25\text{MHz}$  时电路的能耗比较图。

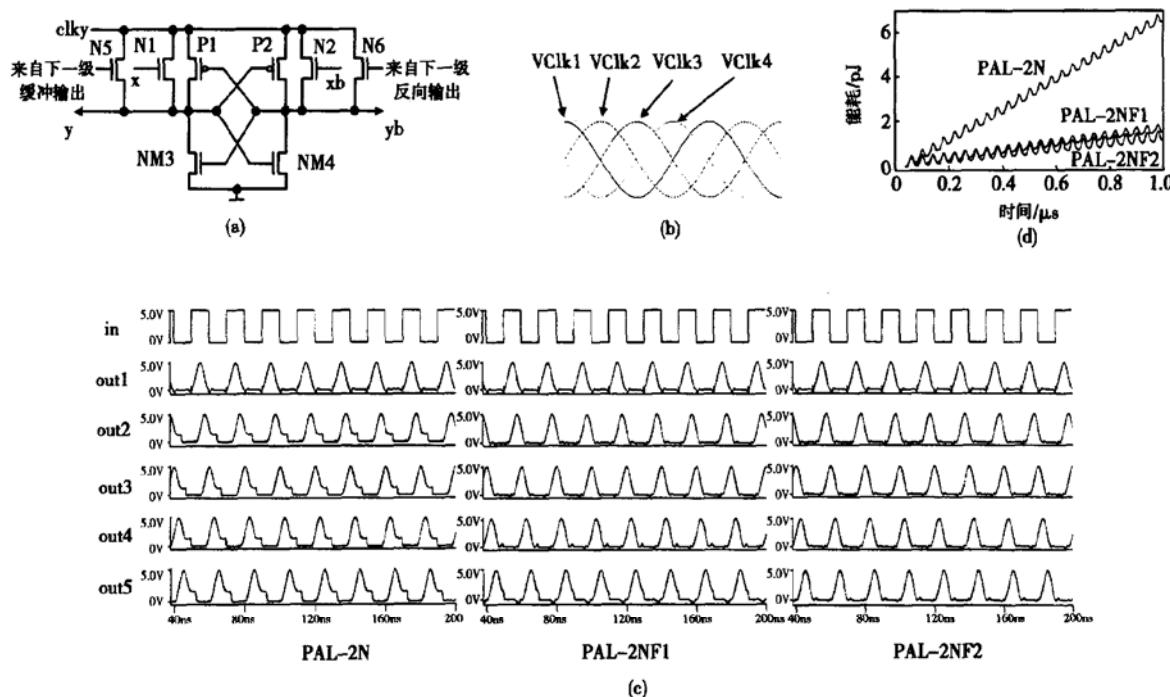


图 2 (a) PAL-2NF 缓冲器/反相器电路；(b) 90°相位延迟的四相正弦功率时钟；(c) 功率时钟频率  $100\text{MHz}$  时 5 级缓冲器的工作波形；(d) 功率时钟频率  $25\text{MHz}$  时 5 级缓冲器的能耗比较

Fig. 2 (a) PAL-2NF buffer/inverter circuit; (b) Sinusoidal clocks with  $90^\circ$  phase lag; (c) Waveforms of 5 bit shift register at  $100\text{MHz}$  VClk; (d) Energy dissipation of 5 bit shift register at  $25\text{MHz}$  VClk

表 1 不同时钟频率下的功耗比较  $\mu\text{W}$ 

Table 1 Power dissipation at different clock frequencies

	10MHz	25MHz	50MHz	100MHz	200MHz	400MHz
PAL-2N	4.068	5.805	12.46	28.02	77.59	270.0
PAL-2NF1	0.477	1.142	4.548	14.11	47.60	163.3
PAL-2NF2	0.292	0.806	3.758	13.78	51.35	186.6

从电路的输入输出波形图可以看出, PAL-2NF 电路的输出波形要明显好于 PAL-2N 电路, 基本消除 PAL-2N 电路的输出端悬空现象, 特别在输出为逻辑 1 时, 波形几乎无畸变, 而在输出为逻辑 0 时, 输出波形的畸变也极小, 这一点 PAL-2NF2 表现得尤其明显; 而 PAL-2NF1 电路由于输出级是图 1(b) 所示的电路, 因此在输出逻辑 0 的后期输出级电路的输出端处于悬空状态, 图 2(c) 很明显证明了这一点。能耗比较图和功耗比较表则显示了 PAL-2N 和 PAL-2NF 电路均具有较为明显的能量恢复功能, 同时 PAL-2NF1 和 PAL-2NF2 电路的功耗明显低于 PAL-2N 电路; 在频率较低时, PAL-2NF2 电路的功耗最小, 在功率时钟频率为 10MHz 时 PAL-2NF2 电路比 PAL-2N 电路有约 93% 的功耗节省, 而 PAL-2NF1 电路比 PAL-2N 电路也有约 88% 的功耗节省, 功耗节省非常明显。在频率较高时, PAL-2NF1 电路的功耗最小, 在功率时钟频率为 400MHz 时, PAL-2NF1 电路比 PAL-2N 电路仍有约 40% 的功耗节省, 而 PAL-2NF2 电路比 PAL-2N 电路也有约 30% 的功耗节省。

#### 4 PAL-2NF 电路的设计

PAL-2NF 电路的基本结构如图 3 所示, 它由两部分组成, 上面部分为主电路, 它的功能是实现电路应当实现的逻辑功能, 而下面部分则是反馈电路, 它实际上是由一级图 1(b) 所示的缓冲器/反相器电路所组成。其中主电路中的 F 和 FB 均由 NMOS 管组成, F 网络实现信号的原变量输出, 而 FB 网络实现信号的反变量输出。时钟信号 clkz 的相位落后于 clky 时钟  $90^\circ$ 。需要指出的是, 由于多级电路时钟相位之间的关系, 在实现多级复杂逻辑功能时电路中必然存在大量的缓冲器/反相器电路, 因此当设计具体电路时, 图 3 中电路下面部分的反馈缓冲器/反相器并非不可缺省的。当电路的下一级恰是一个缓冲

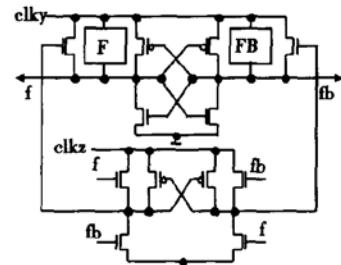


图 3 PAL-2NF 电路的基本结构

Fig. 3 Basic structure of PAL-2NF circuit

器/反相器时, 则这部分电路完全可以省略, 而改用下一级缓冲器/反相器的输出作为反馈信号, 就如前面讨论的移位寄存器一样。

用适当的 NMOS 网络代替图 3 中的 F 和 FB, 很容易设计出 PAL-2NF 的与/与非门、或/或非门、符合/异或门等电路。下面以一位二选一数据选择器为例来说明 PAL-2NF 电路的设计方法。若用  $in_1, in_{1b}, in_2, in_{2b}$  分别表示两个输入变量的原变量和反变量,  $s, sb$  分别表示选择控制信号的原变量和反变量, 数据选择器的输出信号用变量  $f$  和  $fb$  来表示, 则数据选择器的原变量输出函数可表示为:  $f = in_1 \cdot s + in_2 \cdot sb$ , 而反变量输出函数可表示为:  $fb = (in_{1b} + sb) (in_{2b} + s)$ , 由上两式可得一位二选一数据选择器的 PAL-2NF 电路实现, 如图 4(a) 所示。

利用  $1.2\mu\text{m}$  的 CMOS 工艺参数对 PAL-2N<sup>[4]</sup>, PAL-2NF 二选一数据选择器电路进行 PSPICE 模拟。模拟中采用正弦功率时钟, 其峰峰值为 5V, 直流偏移为 2.5V; 每一个输出节点的负载电容为  $20\text{fF}$ , 输入信号均采用钟控信号, 输入信号的时序如图 4(c) 所示。所有 MOS 管的  $W/L$  仍均取  $1.8\mu\text{m}/1.2\mu\text{m}$ 。模拟的结果如图 4(b)、表 2 和图 4(c) 所示。图 4(b) 是功率时钟频率在 20MHz 以上时的两种电路的功耗比较, 表 2 为功率时钟频率在 10MHz 以下时的两种电路的功耗比较, 图 4(c) 分别是功率时钟信号频率在 100MHz 时两种电路的输入与输出信号波形。

表 2 不同时钟频率下数据选择器的功耗比较  $\mu\text{W}$ 

Table 2 Power dissipation of multiplexers at different clock frequencies

电路	1MHz	2MHz	5MHz	10MHz
PAL-2N	1.128	1.371	1.996	3.035
PAL-2NF	0.092	0.187	0.499	1.030

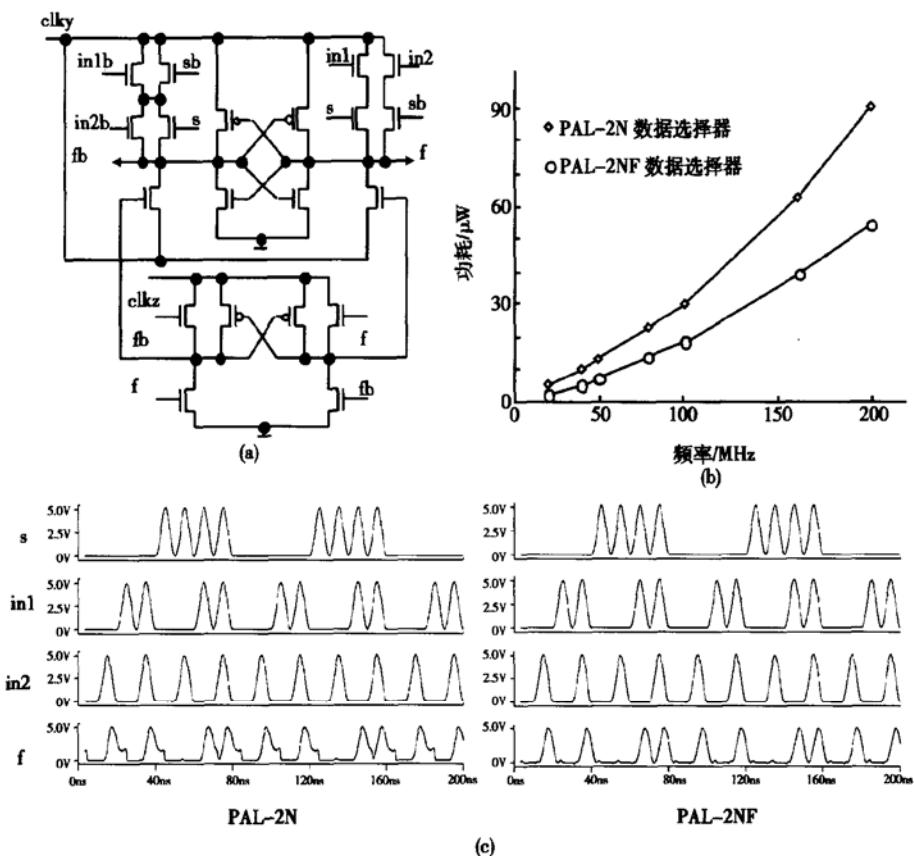


图 4 (a) PAL-2NF 二选一数据选择器; (b) 不同时钟频率下各种二选一数据选择器的功耗比较; (c) 100MHz 时钟频率时各种二选一数据选择器的工作波形

Fig. 4 (a) PAL-2NF 2:1 multiplexer; (b) Power dissipation for various 2:1 multiplexers at different clock frequencies; (c) Waveforms of various multiplexers at 100MHz clock frequency

从图 4(c) 中可以看出, 与 PAL-2N 相比较, PAL-2NF 结构的二选一数据选择器电路的输出波形有着明显的改善。同时, 由表 2 和图 4(b) 所示的功耗比较来看, PAL-2NF 电路的功耗也明显低于 PAL-2N 电路, 在功率时钟频率为 1MHz 时 PAL-2NF 二选一数据选择器电路的功耗比 PAL-2N 电路有 92% 的节省, 而在功率时钟频率为 200MHz 时, 节省功耗仍可达 40%, 因此功耗的节省是明显的。需要特别指出的是, PSPICE 的模拟证明, 在上述电路模拟的条件下, 当时钟频率达到 400MHz 时, PAL-2N 二选一选择器电路已经无法正常工作, 而 PAL-2NF 二选一选择器电路却仍有正确的输出信号。由此可见, PAL-2NF 电路可达到的最高工作频率要高于 PAL-2N 电路。

## 5 结论

本文在分析 PAL-2N 电路输出端悬空和输出波形产生畸变原因的基础上, 提出了一种具有反馈结构的 PAL-2NF 电路, 并讨论了该种电路的基本设计方法。与 PAL-2N 的同类电路相比, 这类电路的输出波形有了较明显的改善, 输出信号的畸变已经极小, 而且电路的输出端基本消除了悬空现象, 这有利于电路工作频率的提高。而这类电路与 PAL-2N 一样, 有着明显的能量恢复特征, 由于反馈信号的存在, 主电路基本上属于全绝热操作, 尽管反馈电路仍存在着非绝热功耗损失, 但由于它只驱动主电路的一对 NMOS 管, 故反馈电路的负载很小, 因此电路的功耗与 PAL-2N 相应电路相比有着较为明显的降低。尽管反馈信号来自电路反馈部分的一级

缓冲器/反相器的输出, 然而由于 PAL-2N 的特点使得电路中本身已经存在许多缓冲器/反相器, 因此并不是所有的电路都要增加这部分缓冲器/反相器电路, 在很多情况下可直接使用原电路中的缓冲器/反相器作为反馈信号, 以简化电路的结构.

## 参考文献

- [ 1 ] Li Xiaomin, Qiu Yulin, Chen Chaoshu. Design of low voltage charge recovery logic circuit. Chinese Journal of Semiconductors, 2001, 22(10): 1352 (in Chinese) [ 李晓民, 仇玉林, 陈潮枢. 低电压 Charge-Recovery 逻辑电路的设计. 半导体学报, 2001, 22(10): 1352]
- [ 2 ] Moon Y, Jeong D K. An efficient charge recovery logic circuit. IEEE J Solid-State Circuits, 1996, 31(4): 514
- [ 3 ] Wu Xunwei, Hang Guoqiang. Energy recovery circuits with cross-coupled structure. Chinese Journal of Circuits and Systems, 2000, 5(2): 1 (in Chinese) [ 吴训威, 杭国强. 具有交叉耦合结构的能量恢复型电路. 电路与系统学报, 2000, 5(2): 1]
- [ 4 ] Liu F, Lau K T. Pass-transistor adiabatic logic with NMOS pull-down configuration. Electron Lett, 1998, 34(8): 739
- [ 5 ] Oklobdzija V G, Maksimovic D, Lin Fengcheng. Pass-transistor adiabatic logic using single power-clock supply. IEEE Trans Circuits Syst II, 1997, 44(10): 842
- [ 6 ] Ye Yibin, Roy K. Quasi-static energy recovery logic. IEEE J Solid-State Circuits, 2001, 36(2): 239
- [ 7 ] Kim S, Papaefthymiou M C. True single-phase adiabatic circuitry. IEEE Trans Very Large Scale Integration (VLSI) Systems, 2001, 9(1): 52
- [ 8 ] Hang G, Wu X. Improved structure for adiabatic CMOS circuits design. Microelectron J, 2002, 33: 403
- [ 9 ] Li Xiaomin, Qiu Yulin, Chen Chaoshu. A type of bootstrapped charge-recovery logic circuit. Chinese Journal of Semiconductors, 2000, 21(9): 887 (in Chinese) [ 李晓民, 仇玉林, 陈潮枢. 一种利用自举效应的 Charge-Recovery 逻辑电路. 半导体学报, 2000, 21(9): 887]

## Pass-Transistor Adiabatic Logic Circuits with NMOS Pull-Down Configuration and Feedback Structure

Xie Xiaoping and Ruan Xiaosheng

(Department of Physics, Zhejiang University, Hangzhou 310031, China)

**Abstract:** Based on the causation analysis of shortage of PAL-2N circuits, one type of PAL-2NF circuits is proposed. For cascading purpose, four sinusoidal clocks with  $90^\circ$  phase lag are employed. The design method of PAL-2NF circuits is also discussed and circuits designed with this method are simulated by PSPICE at different clock frequencies using  $1.2\mu\text{m}$  CMOS technology. Functions of PAL-2NF circuits designed by this method are proved correct. For a 5bit shift register, a power savings for above 93% is achieved by PAL-2NF circuit, compared with PAL-2N circuit at 10MHz, and can reach 40% at 400MHz. Power dissipation of PAL-2NF circuits is obviously lower than that of PAL-2N homologous circuits. Floating output is eliminated and the “tri-state” problem of logic 0 is solved, so PAL-2NF circuits can work at higher clock frequency and have slighter distortion of their outputs.

**Key words:** energy recovery; low power design; adiabatic switching; CMOS

**PACC:** 1265A; 1265B; 2570D; 8360; 2560

**Article ID:** 0253-4177(2004)08-1024-06

Xie Xiaoping male, master graduate. He is engaged in the research on digital logic and design of low power digital integrate circuits.

Ruan Xiaosheng male, associate professor. He is engaged in the research on digital logic and design of low power digital integrate circuits.

Received 20 August 2003, revised manuscript received 2 January 2004

© 2004 The Chinese Institute of Electronics