

一种 CMOS 蓝牙无线发送器电路*

王方林 衣晓峰 崔福良 李丹 方晗 洪志良

(复旦大学微电子系集成电路设计实验室, 上海 200433)

摘要: 实现了一种低中频架构的 CMOS 蓝牙无线发送器, 提出一种漏极开路输出的功率放大器电路结构. 采用 $0.35\ \mu\text{m}$ 数字 CMOS 工艺制造. 测试结果表明: 该电路在 3.3V 电压下总静态电流为 19mA; 低频的二个 DAC, 二路低通滤波器和电压/电流转换电路均达到了设计指标; 在实现功率控制的同时, 完成射频信号的输出.

关键词: 无线发送器; 蓝牙; 互补金属氧化物半导体

EEACC: 6220; 6250; 6320; 6420B

中图分类号: TN836

文献标识码: A

文章编号: 0253-4177(2004)08-1030-06

1 引言

无线接发器是基带和天线之间的模拟前端接口, 主要工作在射频, 传统实现方法是采用 GaAs 射频器件混合集成, 其生产成本和功耗一直制约着无线通信产品的发展. 采用深亚微米 CMOS 工艺制造、单片集成的无线接发器具有低生产成本和低功耗的特点, 而且可以和 DSP 电路实现集成, 近年来成为国外的研究热点^[1,2].

蓝牙是一种工作在 2.4GHz 的低成本低功耗短距离无线通信技术, 本文基于蓝牙 1.1 标准, 设计了一种 $0.35\ \mu\text{m}$ CMOS 单片集成的无线接发器中发送器部分电路.

2 无线发送器架构选择

根据混频器的有无, 发送器电路架构可分为两大类. 第一类是环路发送器(loop transmitter)架构, 调制和上混频功能都在锁相环电路中实现^[3], 可以在输入参考时钟^[4]、VCO^[3]或分频器的分频系数^[5]上实现基带信号调制功能. 这类没有混频器的发送器架构的优点是集成度高, 功耗低, 但只适用于常包

络调制方式, 一般来说 PLL 的建立时间长, 相位噪声大, 而且 VCO 容易受到 PA 的牵引作用(injection pulling), 引起频率漂移. 第二类是使用混频器的发送器架构(mixer up-conversion transmitter), 可分为零中频(zero-IF)和低中频(low-IF)两种. 零中频架构中, 基带信号在混频器中直接调制本振信号, 电路硬件也很少, 同时没有低中频信号, 对镜像和杂散信号的抑制能力强, 但器件失配和本振信号泄漏等原因造成的直流失调以及低频 $1/f$ 噪声很容易和信号混叠在一起, 难以分离^[3]. 这些问题可以在低中频电路架构中得到解决, 方法是先将基带信号调制到一低频信号上, 再混频到射频载波, 可一级混频或多级混频. 低中频架构虽然同时需要锁相环和混频器, 但其结构设计具有很大的灵活性, 而且可以消除“injection pulling”现象, 是一种最常用的电路架构形式^[2,3].

本文采用了低中频电路架构, 如图 1 所示. GF-SK 电路产生两路正交 I/Q 信号, 分别通过数模转换器(DAC)和低通滤波器(LPF)再差分输出到上混频电路(mixer). Mixer 采用双平衡结构(double-balanced). 需要低频电路和锁相环同时提供四相正交信号, 混频后单边带输出到后级 AB 类 PA, PA 差分输入输出, 可以用平衡-不平衡转换器(balun)

* 上海市信息技术创新计划资助项目(合同号: 沪 CX20010018)

王方林 男, 1975 年出生, 博士研究生, 主要研究方向为模拟集成电路的设计与测试.

洪志良 男, 博士生导师, 从事集成电路的设计与研制工作.

2003-08-21 收到, 2003-12-23 定稿

来实现双端变单端. 低频载波频率的选取根据接收器中镜像抑制和信道选择滤波器 Q 值要求进行折衷, 本电路取为 2 MHz. Mixer 电路工作在小信号模

式下, 不会出现强高次谐波^[6], 后级的 AB 类 PA 也具有一定的线性度, 可以省去 PA 前的带通滤波器. GFSK 和 PLL 两个电路模块在本文中不作介绍.

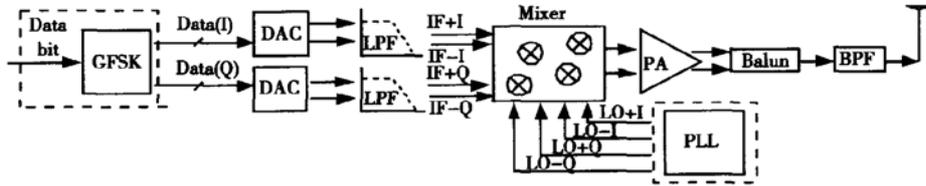


图 1 蓝牙发送器电路

Fig. 1 Bluetooth transmitter circuits

3 电路实现

所有电路模块都采用差分结构, 抑制来自衬底的噪声干扰, 同时每块电路都加了开关管, 使得发送器在不工作时关闭电路, 节省功耗.

3.1 电流驱动型数模转换器(DAC)

两个七位 DAC 分别用来转换 GFSK 输出的正交 I/Q 信号, 采样时钟为 20 MHz. 采用电流驱动型结构, 开关管控制的电流之和经过参考电压和电阻转换得到差分输出电压. 这种结构的特点是电路占用面积小, 速度快, 驱动能力强, 但要解决电流匹配性不稳定, 在数据翻转时会产生电流毛刺等问题. 低两位用二进制权重电流源, 高五位用 31 路单位电流源阵列, 同时在版图设计时提高电流源共栅管的面积, 让所有单位电流源在阵列中均匀分布, 这些措施都有利于将器件尺寸失配、工艺浓度梯度和温度等原因引起的误差平均化, 提高电流源匹配精度. 为了减小电流毛刺, 先对输入数据信号同步采样, 再通过 RS 反馈延时单元产生控制开关对管的双向交叠时钟信号, 抑制同步失真. 开关管上的电容耦合以及开关切换瞬间引起的沟道电荷注入也都会引起毛刺, 所以开关管取最短沟道长度, 并在保证电流切换速度的前提下, 尽可能减小开关管面积.

3.2 基于 G_m - C 的低通滤波器(LPF)

DAC 输出信号在时钟频率附近出现的镜像信号要通过 LPF 来滤除. 为了防止器件参数漂移并尽可能保证有用信号的频谱完整, 定义该 LPF 的 -3dB 频率点 $f_{\text{IF}-3\text{dB}}$ 为 4.5 MHz, 同时在 $f > f_{\text{IF}-3\text{dB}}$

应具备 $-30\text{dB}/十倍频$ 的衰减特性. 在集成有源连续时间滤波器中, G_m - C 滤波器具有低功耗、工作频率高和易于集成等优点, 所以本文采用了二阶 G_m - C 滤波器, 其传递函数为:

$$H(s) = \frac{G_m^2}{s^2 C_1 C_2 + s C_1 G_m + G_m^2} \quad (1)$$

由上式可得 $f_{\text{IF}-3\text{dB}} = G_m / \sqrt{C_1 C_2}$, 即可通过改变 G_m , C_1 和 C_2 来调整 $f_{\text{IF}-3\text{dB}}$. G_m 单元在使用时必须解决其线性度差的问题, 本文在输入对管的源极接了一对 NMOS 管作源极退化^[7], 该对管在输入对管的源极引入负反馈, 扩大了 G_m 的线性范围, 通过仿真可知在输入差模信号为 900mV 的范围内, G_m 变化不超过 2%.

3.3 双平衡结构混频器(double-balanced mixer)

Mixer 电路如图 2 所示, 这是一个双平衡结构的吉尔伯特结构, 四相正交的本振信号输入到 M1 ~ M8 的栅极, 而低频信号分别从 M9 ~ M12 的栅极输入. 这种电路一般要求本振信号为大信号, 使得射频管(M1 ~ M8)工作在开关状态, 这在射频条件下对 PLL 电路要求比较苛刻. 在本文电路中, 射频管工作在小信号放大的饱和状态, 只需 PLL 提供幅度为 350mV 的射频信号, 由于不存在高次谐波, 输出信号的线性度和噪声性能都大大提高^[6].

输出信号线性度和噪声性能还与低频输入信号有关. 图 2 中, 输出电流 $I_{\text{out}+} - I_{\text{out}-}$ 和低频管(M9 ~ M12)中的电流呈线性关系, 而 MOS 管中电流和其栅源电压成平方律关系, 即如果将低频电压信号输入到低频管的栅极, 则输出电流会出现三次谐波失真, 因此在该 Mixer 的低频管前增加了一种跨导单元, LPF 输出的两路正交差分电压信号先分别经过

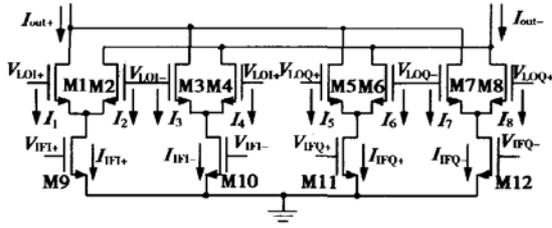


图 2 上混频电路

Fig. 2 Up-conversion mixer circuits

该跨导单元作 $V-I$ 转换后再输出到 Mixer, 这样 M9 ~ M12 中的电流和 LPF 输出的电压信号呈线性关系, 代价是降低了 Mixer 的转换增益.

设图 2 中 M9 的电流为: $I_{IF+} = I_{DC} + I_{IF} \times \cos(\omega_{IF}t)$, M1 的栅极电压为: $V_{LOI+} = V_{LO} \times \cos(\omega_{LO}t)$, 则 M1 中的电流为:

$$I_1 = I_{IF+} V_{LOI+} = [I_{DC} + I_{IF} \cos(\omega_{IF}t)] \times V_{LO} \cos(\omega_{LO}t) \quad (2)$$

根据输入信号的正交关系同样可以得到 $I_2 \sim I_8$ 的表达式. Mixer 总的输出电流为:

$$I_{sum} = I_{out+} - I_{out-} = \sum_{i=1}^8 (-1)^{i+1} I_i = 4V_{LO}I_{IF} \cos[(\omega_{LO} - \omega_{IF})t] \quad (3)$$

从(3)式可以看出, 双平衡结构的转换增益增加一倍, 同时实现了单边带选择功能.

3.4 AB 类功率放大器(PA)

PA 的功能是将射频信号放大, 使得片外 50Ω 负载可以得到强驱动电流^[8]. 功放电路设计成 AB 类形式, 这类功放的特点是功率转换效率相对较低, 但线性度好, 电路结构简单. 用温度计译码控制 31 路电流开关来同时改变前级电路的尾电流和后级电路栅极偏压, 对输出功率的强弱进行控制, 以满足现代无线通信中能够根据距离远近来调整发射功率大小和节省功耗的要求.

PA 电路如图 3(a) 所示, 左边是片上电路, 采用级联式的两级放大结构, 级联管用来提高电路的增益, 同时对输入输出信号进行隔离. 前级电路主要放大输入信号以给输出级提供较强的驱动, 后级输出电路采用漏极开路结构, 级联管直接输出到 PAD, 节省了两个片上电感. Mixer 电路输出的信号幅度只在 $50 \sim 120\text{mV}$ 之间, 可以对该电路进行小信号模型分析.

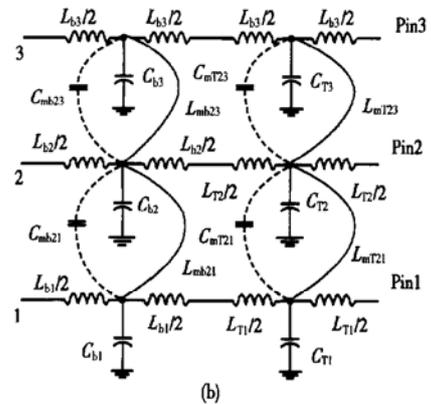
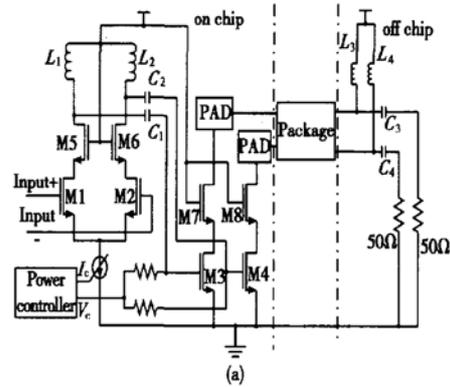


图 3 (a) 功率放大器; (b) 封装参数模型示意图

Fig. 3 (a) Power amplifier; (b) Package parameters model

片上电感 $L_1(L_2)$ 用来抵消下级电路的容性负载, 它必须和 M5(M6) 漏极的有效对地电容 C (包括电感 $L_1(L_2)$ 对地的寄生电容、M5(M6) 的漏极电容、 $C_1(C_2)$ 的衬底寄生电容与 M3(M4) 栅源电容 C_{gs}) 谐振在 2.4GHz . 级联管 M1M5(M2M6) 的跨导为:

$$G_{m1} = \frac{(g_{m1} + g_{mb1})r_{o1}[r_{o5}(g_{m5} + g_{mb5}) + 1]}{r_{o1}r_{o5}(g_{m5} + g_{mb5}) + r_{o1} + r_{o5}} \quad (4)$$

式中 $g_{m1}(g_{m5})$, $g_{mb1}(g_{mb5})$ 和 $r_{o1}(r_{o5})$ 分别是 M1(M5) 的跨导、衬偏跨导和漏源电阻. M5(M6) 的漏极对地电阻为 $R_1' = (1 + Q^2)R_1$, 这里 Q 和 R_1 分别是片上电感的品质因子和串联寄生电阻. 前级电路的单端增益即为 $G_{m1}R_1'$, 可见 Q 对该级电路的性能影响至关重要. 本文设计的三层金属并联的片上电感用 ASTIC 软件^[9] 仿真得到电感值为 5.6nH , Q 值为 6.2 .

前级电路信号交流耦合到后级, 后级两路级联管 M7M3 和 M8M4 提供功率放大, 漏极开路输出. 图 3(a) 中间是芯片封装器件, 右侧是片外负载, 通

过电感 L_3L_4 提供片上输出级级联管的直流偏置, 大电容 C_3C_4 用来隔直, 它们对射频信号的影响都可忽略. PAD 用三四层金属的并联, 可以等效为一对地电容 C_{pad} 和衬底电阻 R_{pad} 的串联, 根据工艺参数可以计算出该电容和电阻的值.

信号进出芯片都要经过封装器件, 在射频必须考虑封装器件参数对电路性能的影响. 封装模型可以简单地用图 3(b) 来表示, 该图中给出了三条相邻的从 PAD 到芯片引脚 (pin) 封装线, 该封装线可以分为两部分, 一是键合线 (bondwire), 另一部分是框架线 (frame trace), 即从键合线到 Pin 的部分. 图 3 (b) 中 $L_{bs}(C_{bs})$ 和 $L_{Ts}(C_{Ts})$ 分别表示键合线和框架线的自感 (对地寄生电容), 而 $L_{mb}(C_{mb})$ 和 $L_{mT}(C_{mT})$ 分别表示它们之间的互感 (耦合电容).

当两条平行线中流过差分电流时, 其互感为负值, 利用这一效应, 本文使用相邻的封装线作射频差分输出线, 而和它们两边相邻的两条封装线用作地

线. 地线中无激发变化磁场的电流, 和相邻封装线间不存在互感. 假定图 3(b) 中 2、3 两线用作射频差分信号线, 1 线为地线. 考虑 1, 3 线对 2 线的影响, 2 线的键合线参数可以化简如下:

$$L_b = L_{b2} - L_{mb23} \tag{5}$$

$$C_b = C_{b2} + 2C_{mb23} + C_{mb21} \tag{6}$$

L_b, C_b 分别是折合后 2 线键合线的自感和对地电容. 框架线参数可作同样简化, 得到 L_T 和 C_T . 本文使用的是 QFP100 封装, 根据封装厂家提供封装模型的参数^[10], 键合线和框架线间的互感大小分别约是其自感的 50% 和 60%. 利用差分信号线的互感效应, 可以将 L_b 和 L_T 分别减小到 1nH 和 1.5nH 以内.

用上述方法对图 3(a) 中的单侧输出级电路简化, 可以得到图 4 所示电路, 这里省略了片外的电感 L_3 (L_4) 和电容 C_3 (C_4). 设 M1M5 (M2M6) 的漏极对地阻抗为 $Z_0(s)$, 图 4 中的输出阻抗 $Z_{out}(s)$ 的表达式为:

$$Z_{out}(s) = sL_T/2 + \frac{1}{sC_T + \frac{1}{s(L_b + L_T)/2 + \frac{1}{sC_b + \frac{1}{sL_b/2 + \frac{1}{(sC_{pad} + 1/R_{pad}) + \frac{1}{Z_0(s)}}}}}} \tag{7}$$

设计中要尽可能使得 $Z_{out}(s)$ 在 2.4GHz 的虚部为零, 而实部为 50Ω. 若 (7) 式难以满足此要求, 可以在片外加一 π 型网络 (如图 4 右边虚框, 其中 Z_1 是电感, Z_2, Z_3 为电容) 来实现阻抗转换.

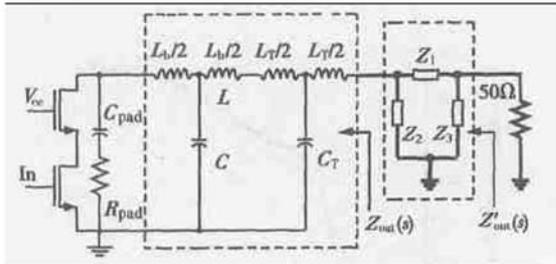


图 4 功率放大器输出级等效电路

Fig. 4 Equivalent circuits of PA output stage

4 测试及结果分析

整个接发器电路采用 0.35μm 1P4M CMOS 数字工艺进行了流片, 芯片上发送器部分的照片如图 5 所示 (右上角是部分 PLL 电路). 整个发送器电路的静态电流为 19mA.

在混频器的 $V-I$ 转换电路中增加了两个测试

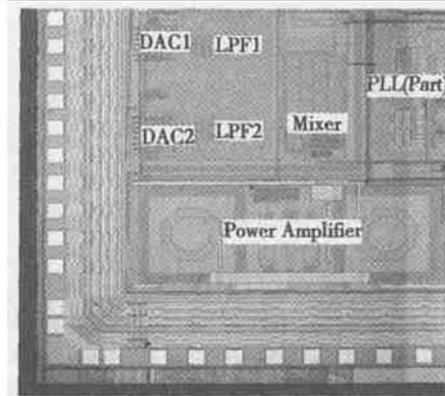


图 5 发送器版图

Fig. 5 Layout of the transmitter

用 NMOS 管, 其栅极分别接两跨导单元的输出 (图 2 中 M9 和 M10 栅极), 源极接地, 漏极开路输出到片外, 测试时外接电阻负载并形成对这两个 NMOS 管的偏置. 给 DAC 输入三角波, 在测试管漏极的瞬态输出波形如图 6(a) 和 (b) (其中 (b) 是 (a) 的部分放大) 所示. 由图可见, 输出波形的台阶随着输入数字信号均匀递增, 即 DAC 达到了 7 位分辨率, 但是

在输入码的两侧(0~ 7 和 120~ 127)出现了截止现象,这主要是因为 DAC 中电流到电压转换的输出电阻偏大,导致输出信号幅度增大,超过了混频器中 $V-I$ 转换电路的动态输入范围,实际应用时可以适当减小输入信号幅度来解决这个问题.图 6(c)是 DAC 的 DNL 测试结果,它保持在 ± 0.5 LSB 的范围内.

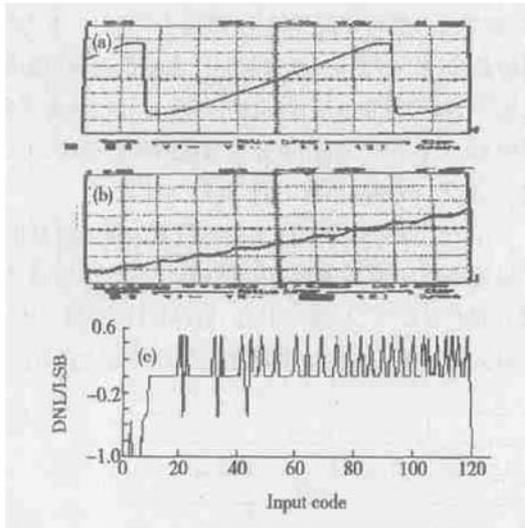


图 6 DAC 测试结果

Fig. 6 Test results of DAC

结合测试结果和电路分析,LPF 的 f_{IF-3dB} 为 4.8MHz,衰减- 33dB/十倍频,达到了设计要求.发送器的射频输出需要有两路正交的低中频信号和四路正交本振信号作为输入.初步测试时只给一个 DAC 输入信号,另一 DAC 输入一固定数字.四路正交本振信号由同一芯片上的 PLL 电路产生,由于设计时 VCO 的谐振电容偏小,该 PLL 产生的射频信号比设计高约 460MHz,即 2.86~ 2.94GHz,所以能测试的输出功率只在该频率范围内.同时实际测试时没有使用 balun,只测 PA 的单端输出功率.根据这些测试条件,可以作如下分析:仿真结果显示 PA 在 2.4GHz 和 2.9GHz 的增益比约为 10 倍(见图 7 (a));根据公式(3)计算可知在低中频信号只有单端输出时,Mixer 单边带的增益下降一半;PA 单端的输出功率为总输出功率的一半.考虑上述三种因素,可以推算工作条件正常时,该发送器在 2.4GHz 比 2.9GHz 的输出功率要高约 30dBm.

用频谱分析仪测到的单端输出功率谱如图 7 (b)所示,输出功率随控制字的变化特性如图 8 所示.可见,发送器成功实现功率控制,可控范围约

- 93~ - 32.95dBm.根据前面的分析,可推知如果 PLL 的输出频率能够下降到 2.4GHz,而且电路处于正常工作条件时,PA 的最大输出功率应达到- 3dBm 以上.测试时还发现当 PLL 输出频率在 2.86GHz 时,PA 的输出功率比在 2.935GHz 要高 10dBm,大致验证了这一推算.可以通过提高输出端的阻抗匹配度和印刷线路板上微带线的精度来增大输出功率.图 7(b)中频谱的带外抑制可以通过外接带通滤波器得到改善.降低 VCO 频率到 2.4GHz 和改进片上阻抗匹配的设计工作正在进行,有望在下一代流片中得到改进.

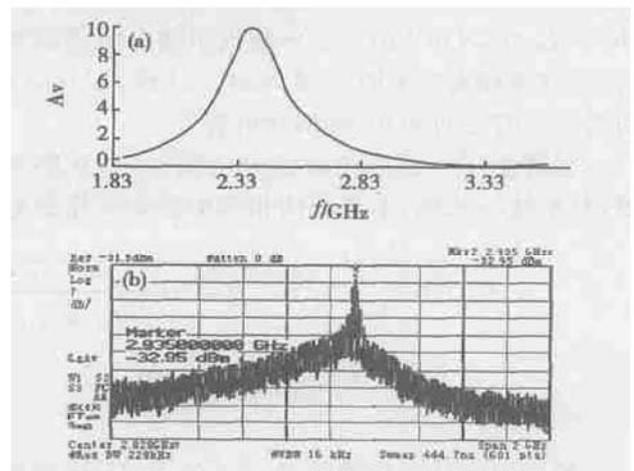


图 7 (a) 功放电压增益; (b) 输出功率谱

Fig. 7 (a) Voltage gain of PA; (b) Output power spectrum

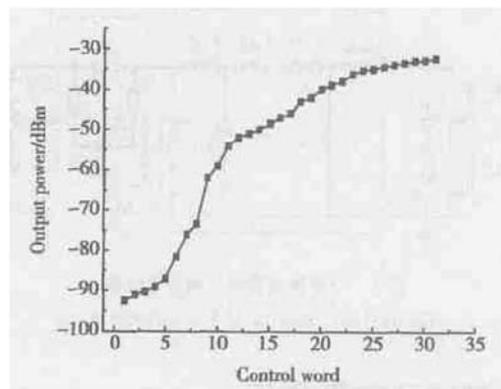


图 8 输出功率控制特性

Fig. 8 Controllable output power character

5 结论

采用了低中频电路架构,对发送器中各个电路模块的设计作了详细介绍.测试结果表明,该发送器

的低频部分电路达到了设计要求, 实现了高频信号输出和功率可控功能. 通过改进测试方法和印刷线路板的设计, 该芯片的输出功率在 2.4GHz 能达到蓝牙输出功率范围的要求.

参考文献

- [1] Darabi H, Khorram S, Chien H M, et al. A 2.4-GHz transceiver for bluetooth. *IEEE J Solid-State Circuits*, 2001, 36(12): 2016
- [2] Zolfaghari A, Razavi B. A low-power 2.4-GHz transmitter/receiver CMOS IC. *IEEE J Solid-State Circuits*, 2003, 38(2): 176
- [3] <http://www.rfdesign.com>
- [4] Razavi B. RF transmitter architectures and circuits. *Custom integrated Circuits Conference*, 1999: 197
- [5] Perrott M, Tewksbury T, Sodini C. A 27-mW CMOS fractional-N synthesizer using digital compensation for 2.5Mb/s GFSK modulation. *IEEE J Solid-State Circuits*, 1997, 32(12): 2048
- [6] Terrovitis M, Meyer R G. Noise in current-commutating CMOS mixers. *IEEE J Solid-State Circuits*, 1999, 34(6): 772
- [7] Liu Hong, Dong Zaiwang. A tunable transconductor with high linearity. *Acta Electronica Sinica*, 2002, 30(9): 1282 (in Chinese) [刘弘, 董在望. 一种可调高线性度跨导器. *电子学报*, 2002, 30(9): 1282]
- [8] Ye Jinghua, Chen Yihui, Guo Gan, et al. A transmitter for high-speed serial data communication. *Chinese Journal of Semiconductors*, 2003, 24(7): 763 (in Chinese) [叶菁华, 陈一辉, 郭淦, 等. 一种适用于高速串行数据通信的发送器. *半导体学报*, 2003, 24(7): 763]
- [9] Niknejad A, Meyer R G. Analysis, design, and optimisation of spiral inductors and transformer for Si RF IC's. *IEEE J Solid-State Circuits*, 1998, 33(10): 1470
- [10] Yang V. Electrical simulation report. SPI Co Ltd, TaiWan, 2003

A CMOS Bluetooth Wireless Transmitter*

Wang Fanglin, Yi Xiaofeng, Cui Fuliang, Li Dan, Fang Han and Hong Zhiliang

(Department of Microelectronics, Fudan University, Shanghai 200433, China)

Abstract: A Bluetooth wireless transmitter of low-IF architecture is implemented, and a power-amplifier topology with drain-output is presented. The circuits are fabricated in 0.35 μ m digital CMOS process. The test result shows that the total static current is 19mA under 3.3V power supply; the performance of low-frequency circuits, dual DAC, LPF, and $V-I$ conversion, meets the requirements; and the radio-frequency signals can be transmitted with controllable output power.

Key words: wireless transmitter; bluetooth; CMOS

EEACC: 6220; 6250; 6320; 6420B

Article ID: 0253-4177(2004)08-1030-06

* Project supported by Shanghai Information Technology Innovation Plan(No. 沪 CX20010018)

Wang Fanglin male, was born in 1975, PhD candidate. He is majoring in the analog integrated circuit design and test.

Hong Zhiliang male, professor. His research interest is integrated circuit design.

Received 21 August 2003, revised manuscript received 23 December 2003

©2004 The Chinese Institute of Electronics