

# Pt 基埋栅势垒 GaAs 基增强型 InAlAs/InGaAs 改性高电子迁移率晶体管

陈效建 吴 旭 李拂晓 焦 刚

(南京电子器件研究所, 南京 210016)

**摘要:** 讨论了采用埋栅结构实现 GaAs 基改性高电子迁移率晶体管(MHEMT)增强型模式工作的有关问题, 提出了增强型 MHEMT 的设计与实现方法。通过不同金属(Al, Pt, Ti)/InAlAs Schottky 势垒系统的实验比较研究, 确定在增强型 MHEMT 工艺中采用具有最高势垒高度的 Pt Schottky 埋栅结构; 并进行了以最佳“推栅”温度为重点的器件工艺的深入研究。在此基础上通过实验研制的原理性  $1.0\mu\text{m} \times 100\mu\text{m}$  Pt 栅增强型 MHEMT 的特性获得了夹断电压为  $+0.12\text{V}$ , 跨导为  $470\text{mS/mm}$  及截止频率为  $50\text{GHz}$  的测试结果, 优于使用同一外延片制作的 D-MHEMT。

**关键词:** MHEMT; 增强型; Pt 基埋栅势垒; 稳定性

**EEACC:** 2560S

中图分类号: TN325<sup>+</sup>.3

文献标识码: A

文章编号: 0253-4177(2004)09-1137-06

## 1 引言

在众多的以二维电子气(2DEG)沟道工作的异质器件中, InP 基晶格匹配 InAlAs/InGaAs HEMT 由于更大的导带不连续性以及消除了恼人的 Al-GaAs 引起的 DX 中心问题, 在高频性能上比 GaAs 基 AlGaAs/GaAs HEMT 及 AlGaAs/InGaAs PHEMT 优越, 其截止频率已突破  $400\text{GHz}$ <sup>[1]</sup>。但是 InP 材料固有的低机械强度(易碎)及单晶生长技术的相对不成熟(直径、缺陷)一直制约着器件性能的充分发挥, 尤其是 InP 功率 HEMT(击穿电压低)。1992 年问世的改性高电子迁移率晶体管(MHEMT)使用 GaAs 衬底, 通过改性层的生长克服 GaAs 与 InAlAs 之间的晶格不匹配, 生长出高 In 组分的 InAlAs/InGaAs HEMT 结构, 在 GaAs 衬底上做出了过去只能在 InP 基片上实现的晶格匹配 InAlAs/InGaAs HEMT。此后, 这种器件的研究发展迅速, 目前在毫米波高端 MHEMT 已显示出极

好的性能,  $0.13\mu\text{m}$  栅器件的最高振荡频率也已突破  $350\text{GHz}$ <sup>[2]</sup>。

为了克服传统耗尽型 MESFET, PHEMT 工作时需要双极性电源的不便, 增强型 PHEMT 的研究在过去几年中取得了很大进展; 目前在移动通信使用的微波频率低端已形成产品。但是迄今为止鲜有对于增强型 MHEMT 的研究, 在一定程度上限制着这类新器件在微波频率高端的应用潜力。本文在对增强型 MHEMT 结构分析与数值模拟的基础上, 着重开展了用推栅工艺实现增强型 MHEMT 的实验研究及器件稳定性研究, 给出了令人信服的器件实验结果。

## 2 增强型 MHEMT 的特点与数值模拟

对于 HEMT 类型的异质结 FET 由于栅下的势垒层及 spacer 层在工作时不存在游离电荷, 器件的工作原理接近 MOSFET, 因此 MHEMT 的夹断电

陈效建 男, 1938 年出生, 研究员, 目前的研究领域为 RF 与微波化合物半导体异质结构器件与单片集成电路。

吴 旭 男, 1974 年出生, 工程师, 从事 Si 基及 GaAs 基器件与集成电路研究。

李拂晓 男, 1963 年出生, 研究员, 从事 RF 与微波化合物半导体异质结构器件与单片集成电路的研究。

2003-10-18 收到, 2004-05-17 定稿

© 2004 中国电子学会

压  $V_p$  可用下式表示:

$$V_p = \phi_b - \frac{\Delta E_c}{q} - \phi_f - \phi_s - \frac{qN_d d_a^2}{2\epsilon_s} \quad (1)$$

式中  $\phi_b$  是栅金属与 InAlAs 的 Schottky 势垒高度;  $\Delta E_c$  为 InAlAs/InGaAs 异质结的导带不连续性;  $N_d$  是  $\delta$  损杂浓度;  $d_a$  是栅下 i-InAlAs 势垒层的厚度;  $\epsilon_s$  为它的相对介电常数;  $\phi_f$  是 2DEG 的等效 Fermi 电势;  $\phi_s$  是实际器件栅区包括各种表面态效应在内的表面电势。

根据上述分析, 材料及器件结构一旦决定(异质材料系统、异质层浓度、厚度及势垒金属)后, 能引起  $V_p$  改变的主要因素是式中最后两项  $d_a$  及  $\phi_s$ 。栅电极附近的表面电势  $\phi_s$  仅在 i-InAlAs 真实表面与理想状态有较大差别时(工艺所致)才起作用, 因此控制栅下到 2DEG 层的距离  $d_a$  是改变 MHEMT  $V_p$  的主要手段。在耗尽型 MHEMT 中最常用的办法是栅区腐蚀(干法或湿法)挖槽工艺。

增强型工作的判据是器件在栅源电压接近 0 时源漏饱和电流减为 0, 进入截止状态。计人异质结效应的 FET 类器件特性的数值分析须采用 Schroedinger 方程与器件方程的联立求解<sup>[3~5]</sup>。本文采用图 1(a)和(b)所示的材料层结构与器件结构进行 MHEMT 特性的数值模拟, 可以得到 MHEMT 源漏饱和电流  $I_{ds}$  与栅槽腐蚀深度的理论关系, 如图 2 所示。可以看出: 随腐蚀加深( $d_a$ )的减

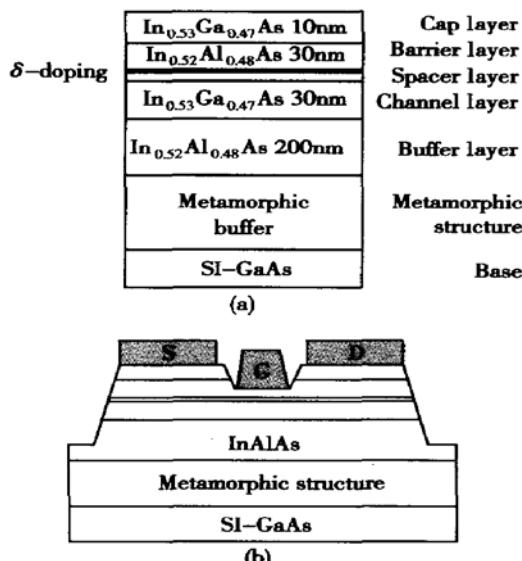


图 1 增强型 MHEMT 的异质材料层结构与器件几何结构示意  
(a) 异质层结构; (b) 器件几何结构

Fig. 1 Scheme of hetero-layer structure (a) and geometric structure (b) of typical enhanced MHEMT

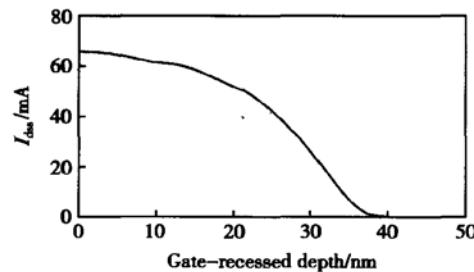


图 2 MHEMT 的源漏饱和电流  $I_{ds}$  与栅挖槽腐蚀深度关系的模拟结果

Fig. 2 Theoretical simulation of  $I_{ds}$  vs gate-recessed depth curve for MHEMT

小),  $I_{ds}$  减少; 从某一值  $d_{d0}$  开始, 进入截止。对于图 1 的 MHEMT 层结构, 模拟得到  $V_p=0$  V 时的  $d_a$  值为 3.2 nm。

但是上述在 HFET(包括耗尽型 MHEMT)制造中通用的栅沟道挖槽控制 i-InAlAs 势垒层的厚度方法并不适用于增强型 MHEMT, 这可由图 3 的器件栅区附近结构示意图来分析。由于必然存在的横向腐蚀, 腐蚀栅槽的宽度比栅条金属截面的宽度(即栅长  $L_g$ )大, 两侧有未被覆盖的缺口  $L_1$  及  $L_2$ 。由图 3 可知, MHEMT 的源端及漏端寄生串联电阻  $R_s$

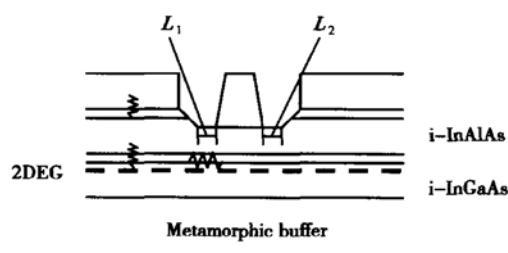


图 3 栅挖槽 MHEMT 栅区结构中影响  $R_s$  及  $R_D$  的寄生电  
阻示意图

Fig. 3 Effect of the existed parasitic resistors around the recess-gate region of MHEMT

及  $R_D$  近似地可由(2)式表示:

$$R_s(\text{或 } R_D) = R_{\text{contact}} + R_{\text{series}} + R'_{\text{channel}} \quad (2)$$

其中  $R_{\text{contact}}$  是源、漏欧姆金属的接触电阻(与接触电阻率有关);  $R_{\text{series}}$  为源、漏欧姆金属电极下部异质层结构的串联电阻; 这两项可以通过选择合适的欧姆金属厚度及合金步骤大大降低。 $R'_{\text{channel}}$  是与  $L_1$  (或  $L_2$ ) 对应的 2DEG 层的横向串联寄生电阻, 可表示为:

$$R'_{\text{channel}} = \frac{L_1(\text{or } L_2)}{qW_g \int_{\text{notch}} \mu(x) n(x) dx} \quad (3)$$

其中  $\mu(x)$  是 2DEG 层的迁移率;  $n(x)$  是与缺口位置对应的下方沟道内 2DEG 浓度;  $x$  沿垂直于外延生长方向取向。如果只依靠挖槽深度确立增强型工作, 则表面电势的作用就会使沟道的  $L_1$  或  $L_2$  部分在栅电压为 0 时即处于截止状态; 即便在栅电压处于正向时, 由于栅下电势的变化仍难以完全影响到此部位, 从而形成器件内很大的寄生串联电阻。对于图 1(b) 的器件结构, 我们采用异质结方程对(3)式进行数值模拟的结果如图 4 所示。图中同时给出了器件的源(漏)寄生电阻以及夹断电压  $V_p$  随挖槽深度的变化。可以看出: 挖槽过程中栅槽缺口引起的耗尽型工作区对应的寄生电阻大致保持在  $0.3\Omega$  左右; 但当器件进入由耗尽型向增强型转化时突然变大, 在  $V_p$  由  $-0.20V$  提高为  $+0.10V$  时, 缺口寄生电阻由  $1.2\Omega$  变为  $20.6\Omega$ , 增大了 16 倍。显然, 如此大的源区及漏区寄生串联电阻, 不仅使得这种“增强型”MHEMT 的饱和漏电流  $I_{dss}$ 、跨导  $g_m$  等主要直流参数变坏, 也将导致器件微波参数全面劣化( $f_T$ ,  $f_{max}$  及微波增益等)。因此为实现真正的增强型工作, 必须消除很大的源漏区寄生电阻效应。为解决此问题, 可有几种办法。我们的工作表明, 埋置栅 MESFET 应是可供选择的方法之一。

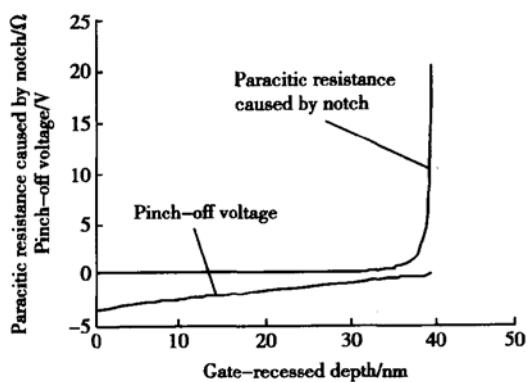


图 4 简单挖槽引起的源(漏)区寄生电阻效应的数值模拟

Fig. 4 Simulated additional resistance of the parasitic resistors caused by gate-recess procedure

### 3 增强型 MHEMT 制备工艺与分析

采用推栅工艺制作埋栅结构增强型 FET 的方法由来已久<sup>[6]</sup>, 并曾在 GaAs 基 HEMT/PHEMT 技

术中成功地得到应用: 将耗尽型 PHEMT 的金属栅通过高温退火使得栅金属层前沿向 2DEG 层推进, 使有效  $d_d$  减小, 器件进入增强型工作。由于栅推进过程中栅挖槽深度保持不变, 源漏区寄生电阻与正常的 D-M HEMT 一样, 仍然保持很小, 从而这种方法消除了前述简单栅挖槽方法带来的问题。原则上此法也可用于增强型 MHEMT 的研究, 关键是选择合适的具有足够大  $\Phi$  值的 Schottky 金属/InAlAs 势垒系统。对于 InAlAs 上金属 Schottky 势垒的性质, 已经进行过不少研究<sup>[7~9]</sup>, 但是得到的结果不太一致, 这与研究者的实验条件有很大关系。为此本文进行了几种金属(Ti, Al, Pt)/InAlAs 系统的相应实验, 结果表明, Pt 在 InAlAs 上的 Schottky 势垒特性(势垒高度  $\Phi$ 、理想化因子  $n$  值)最好, 达到  $0.75V$ , 明显高于 Ti(0.55V) 及 Al(0.48V)。

原理性器件的研究使用的 MBE 外延材料的异质层结构如图 1(a) 所示。在半绝缘 GaAs 衬底片上完成改性层生长后依次进行 i-InAlAs 缓冲层、i-InGaAs 沟道层及 InAlAs 阻隔层的生长; 其上是  $\delta$ -掺杂层与 i-InAlAs 势垒层, 最后为  $n^+$ -InGaAs 接触层。各层的组分与厚度如图所示。器件的基本结构是: 栅长  $L_g = 1.0\mu m$ , 栅宽  $W_g = 100\mu m$ , 源漏间距  $L_{sd} = 4.0\mu m$ 。制造工艺中, 采用  $H_3PO_4 : H_2O_2 : H_2O$  溶液湿法腐蚀完成器件的台面隔离。源漏欧姆接触金属为 AuGeNi/Au,  $N_2$  气氛下低温快速合金; 栅势垒金属使用了 Pt 基系统(由 Pt/Ti/Pt/Au 组成), 全部采用电子束顺序蒸发。栅工艺中使用了厚度可控的湿法腐蚀栅挖槽; 经过后续的栅蒸发及电极布线, 完成耗尽型 MHEMT 的制备。随后的推栅过程在  $N_2$  气氛下进行。依靠湿法腐蚀及推栅的综合效果, 最后获得增强型 MHEMT 特性。图 5(a) 和 (b) 是一个实验 MHEMT 器件推栅前后的  $I-V$  特性对比。可以看出: 器件在  $I_{dss}$  基本不变的情况下  $V_p$  由  $-1.4V$  变为  $-0.2V$ , 基本实现由耗尽型向增强型的转变, 且  $g_m$  明显增加。

为了进一步了解推栅过程对器件特性的影响, 在挖槽深度固定的条件下进行了不同温度的推栅处理(条件: 不同温度;  $N_2$  气氛下快速合金退火炉中处理 60s), 相应的器件特性变化如图 6 和 7 所示。从图 6 看出, 在  $250\sim 400^\circ C$  处理范围内, 推栅对于提高 MHEMT 的夹断电压作用明显,  $300^\circ C$  时已基本进入增强型模式。与此同时, 在  $300^\circ C$  及以下, 推栅对于  $I_{dss}$  基本无影响; 但当超过此范围, 器件表现出

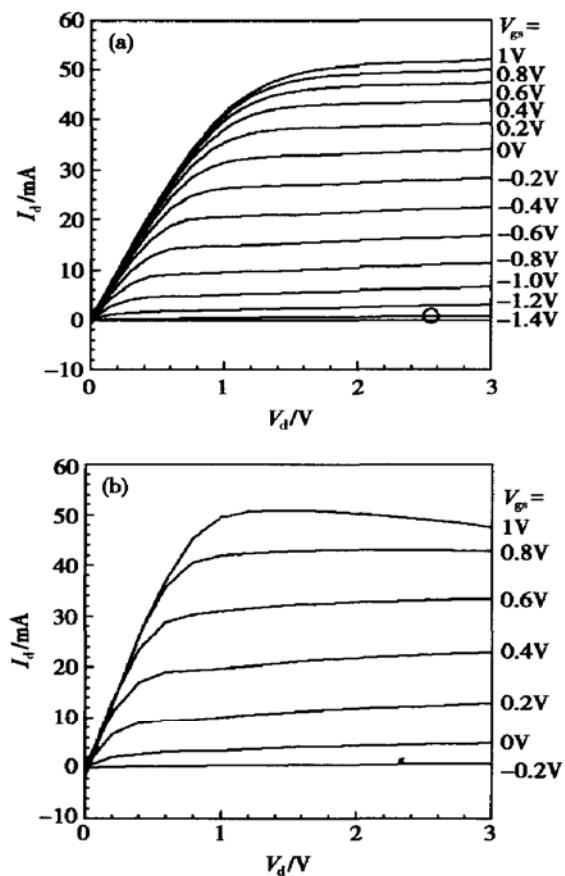


图 5 推栅前后 MHEMT 的  $I$ - $V$  特性的比较 (a) 推栅前(耗尽型);(b) 推栅后(增强型)

Fig. 5  $I$ - $V$  characteristic comparison of MHEMT (a) Before gate-pushing; (b) After gate-pushing

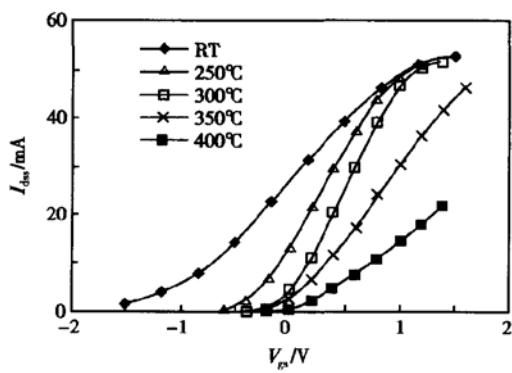


图 6 不同推栅温度下 MHEMT 的  $I_{dss}$  转移特性

Fig. 6  $I_{dss}$  transfer characteristics of MHEMTs under different gate-pushing temperatures

$I_{dss}$  下降, 跨导减小, 并且栅特性变坏, 如图 7 所示。从两图还可看出 400°C 推栅造成器件特性严重变坏 ( $I_{dss}$  急剧减小, Pt 势垒  $n$  值变得很大, 接近 3)。这种现象说明过高的推栅温度并非必要; 另一方面也可

能与 Pt 势垒金属的厚度(实验中为 5nm)较薄有关: 绝大部分势垒金属深入 i-InAlAs 层内, 表面处的 Pt 膜已不足以形成正常的电连接。实验中还发现推栅操作会引起器件的击穿电压  $BV_{DS}$  缓慢降低。这与  $d_d$  减小使得 MHEMT 的击穿电压必然降低的结论是一致的。

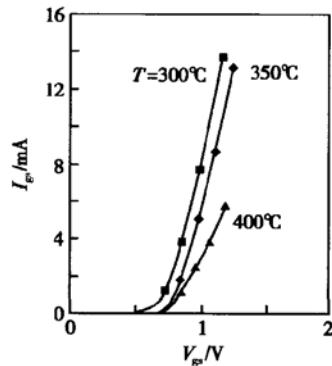


图 7 不同推栅温度下的栅势垒特性

Fig. 7 Pt Schottky barrier characteristics under different gate-pushing temperatures

综上所述, 对于推栅增强型 MHEMT 的研究, 除了可利用异质 FET 方程的数值模拟决定最佳的器件设计参数, 还必须对挖槽深度及推栅温度条件结合各种物理效应进行综合考虑优化, 以充分减小各种寄生影响。不但如此, Pt 势垒金属的厚度也应合理选择。根据上述原则, 可以确定合适的器件制备方法与工艺条件。

#### 4 器件结果

工艺优化后得到的增强型 MHEMT 的实验结果如图 8~10 所示。增强型 MHEMT 的典型  $I$ - $V$  曲线如图 8 所示; 图 9 是其转移特性; 图 10 为相应的微波特性的测试结果。从测试结果得到: 栅长  $1.0\mu\text{m}$  的增强型 MHEMT 饱和漏电流为  $230\text{mA}/\text{mm}$ , 最大跨导为  $470\text{mS}/\text{mm}$ , 夹断电压为  $+0.12\text{V}$ 。微波测试的截止频率为  $50\text{GHz}$ , 最高振荡频率为  $70\text{GHz}$ 。此结果优于采用同片外延材料及相同结构制备的 D-MHEMT(饱和漏电流  $280\text{mA}/\text{mm}$ , 最大跨导  $400\text{mS}/\text{mm}$ , 夹断电压  $-0.85\text{V}$ , 微波测试的截止频率  $30\text{GHz}$ <sup>[10]</sup>)。

测试器件的最高振荡频率明显低于理论预期值, 表明存在某些寄生效应, 可能是外延材料 Buffer

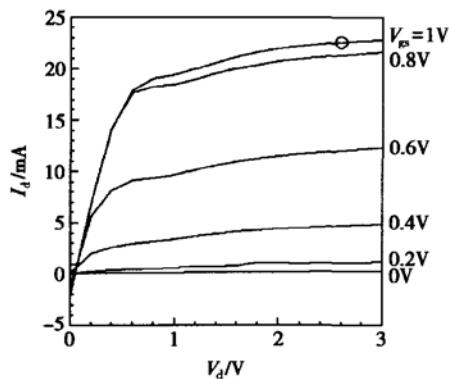
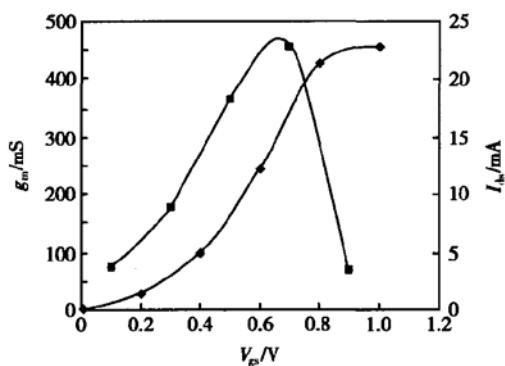
图 8 增强型 MHEMT 的  $I-V$  特性Fig. 8 Measured  $I-V$  characteristic of E-MHEMT

图 9 增强型 MHEMT 的转移特性

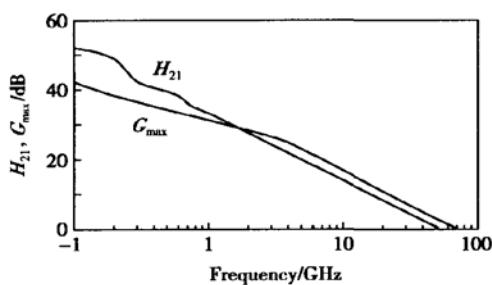
Fig. 9 Measured  $I_{ds}$  and  $g_m$  transfer characteristic of E-MHEMT

图 10 增强型 MHEMT 的截止频率与最高振荡频率

Fig. 10 Measured cutoff frequency and the highest oscillating frequency of E-MHEMT

层的纯度与质量所造成的。此外，在片测试时的夹具可能也存在未完全校正的寄生效应从而导致出现最高振荡频率测试值偏低的问题。

## 5 结论

对于 FET 类平面器件，埋栅技术在调整器件的阈值电压参数方面具有控制精确、方便易行的独到优点，尤其是对于设计结构层厚达到纳米级的异质结 FET 来说更是如此，因此在 GaAs 及 InP 基众多异质微波增强型 FET 的研究中已获得很好的实效。但是，势垒金属系统的选择、挖槽与高温推栅工艺条件的综合、势垒系统的长期工作稳定性，对于 GaAs 基增强型 InAlAs/InGaAs 改性高电子迁移率晶体管而言，仍是尚未认真研究的问题。本文的工作较好地就上述诸方面进行了有益探讨，并取得了性能良好的器件结果。

**致谢** 作者对南京电子器件研究所 GaAs MMIC 中心的同事们在本研究中给予的鼎力帮助表示衷心的谢意。

## 参考文献

- [1] Yamashita Y, Endoh A. Ultra-short 25nm gate lattice matched InAlAs/InGaAs HEMTs within the range of 400GHz cutoff frequency. IEEE Electron Device Lett, 2001, 22: 367
- [2] Chertouk M, Heiss H. Metamorphic InAlAs/InGaAs HEMT's on GaAs substrates with a novel composite channels design. IEEE Electron Device Lett, 2001, 22: 273
- [3] Anholt R. Electrical and thermal characterization of MESFETs, HEMTs, and HBTs. Artech House Inc, 1995
- [4] Chen X J, Liu J, Zheng X F. Computer optimization and device experimental result of hetero-layer-structure for AlGaAs/InGaAs power PHEMTs. Research & Progress of Solid State Electronics, 1995, 15: 133 (in Chinese) [陈效建, 刘军, 郑雪帆. AlGaAs/InGaAs 功率 PHEMT 用异质材料的计算机优化与器件实验结果. 固体电子学研究与进展, 1995, 15: 133]
- [5] Chen X J. CAD optimization and experimental result of hetero-layer-structure for Ka-band AlGaAs/InGaAs low noise PHEMTs. Acta Electronica Sinica, 1998, 26: 120 (in Chinese) [陈效建. Ka-波段 AlGaAs/InGaAs 低噪声 PHEMT 异质材料结构的计算机优化与实验结果. 电子学报, 1998, 26: 120]
- [6] Harada N, Kuroda S, Katakami T, et al. Pt-based gate enhancement-mode InAlAs/InGaAs HEMT's for large-scale integration. Proc 3rd Int Conf InP and Related Materials, 1991: 377
- [7] Sadwick L, Kim C, Tan K, et al. Schottky barrier heights of n-type and p-type Al<sub>0.48</sub>In<sub>0.52</sub>As. IEEE Electron Device Lett,

1997, 18: 626

- [ 8 ] Mahajan A, Arafa M, Fay P, et al. Enhancement-mode high electron mobility transistors (E-HEMT's) lattice-matched to InP. *IEEE Trans Electron Devices*, 1998, 45: 2422
- [ 9 ] Fricke A, Stareev G, Kummetz T, et al. 1.09eV Schottky barrier height of nearly ideal Pt/Au contacts directly deposited on n<sup>-</sup> and p<sup>+</sup> n<sup>-</sup> Al<sub>0.48</sub>In<sub>0.52</sub>As layers. *Appl Phys Lett*, 1994,

65: 755

- [ 10 ] Wu X, Chen X J, Li F X, et al. Design optimization and experimental results of metamorphic high electronic mobility transistor (MHEMT). *Research & Progress of Solid State Electronics*, to be published (in Chinese) [ 吴旭, 陈效建, 李拂晓, 等. GaAs 基改性高电子迁移率晶体管(MHEMT)的设计与实验结果. 固体电子学研究与进展, 待发表]

## GaAs-Based Enhanced-Mode Metamorphic High Electron Mobility Transistor by Using Buried Pt-Schottky Gate

Chen Xiaojian, Wu Xu, Li Fuxiao and Jiao Gang

(Nanjing Electronic Devices Institute, Nanjing 210016, China)

**Abstract:** The design and implementation related to GaAs-based enhanced-mode metamorphic high electron mobility transistor (E-MHEMT) by using buried-gate technique are discussed. Based on experimental comparison of various metal/InAlAs Schottky barrier characteristics among Al, Pt, and Ti, Pt is deployed as E-MHEMT buried-Schottky gate due to its highest barrier height and easy to bury into InAlAs layer. Emphasized on determination of the optimized temperature of Pt-gate ‘pushing’, process investigations are made. Upon these techniques, the prototype E-MHEMTs fabricated with 1.0μm×100μm buried-Pt gate has the measured result: pinch-off voltage + 0.12V, trans-conductance 470mS/mm, and cutoff frequency 50GHz. It is better than the contrasted D-MHEMTs made from the same wafer.

**Key words:** MHEMT; enhanced-mode; Pt buried-gate barrier; thermal stabilization

**EEACC:** 2560S

**Article ID:** 0253-4177(2004)09-1137-06

Chen Xiaojian male, was born in 1938, professor. His current research area is focused on RF and microwave compound heterostructure devices and MMICs.

Wu Xu male, was born in 1974, engineer. He is engaged in the research on Si and GaAs devices and ICs.

Li Fuxiao male, was born in 1963, professor. His research area is focused on microwave compound heterostructure devices and MMICs.

Received 18 October 2003, revised manuscript received 17 May 2004

© 2004 The Chinese Institute of Electronics