

低功耗自适应跨导-电容带通滤波器电路实现

马德群 崔福良 何 捷 黄 林 洪志良

(复旦大学集成电路设计实验室, 上海 200433)

摘要: 采用单层多晶硅 3.3V, 0.35μm CMOS 数字工艺, 实现了用于蓝牙系统的自适应带通滤波器, 其中心频率为 2MHz, 带宽为 1.2MHz, 功耗为 12mW。并对滤波器 PLL 自适应电路中压控振荡器(VCO)的谐振条件进行了研究, 分析了 VCO 中运放寄生参数对谐振频率的影响。同时, 用一种简单的跨导运放结构作为 VCO 中的负阻抗, 解决了 VCO 振荡幅度限幅问题。

关键词: 跨导-电容滤波器; 锁相环; 自适应电路

EEACC: 1285; 1270E; 1205

中图分类号: TN432 **文献标识码:** A **文章编号:** 0253-4177(2004)09-1186-07

1 引言

随着大规模集成电路的发展, 滤波器的集成变得越来越重要^[1~3]。低功耗集成滤波器的研究从 20 世纪 90 年代以来成为热门。连续时间的跨导-电容 (G_m -C) 滤波器由于功耗低, 适用频率高, 在无线通信中获得了广泛应用^[1]。然而同其他有源滤波器相比, G_m -C 滤波器的线性度差^[3], 许多技术方法被用来提高滤波器的线性度^[4~6], 但代价是增加总功耗。同时由于电容的绝对精度低, 加上温度和工作电源电压的波动, 使得滤波器的频响曲线变化非常大。滤波器的自适应电路设计成为必要^[5, 7~9]。

本文研究并设计实现了用于蓝牙接收器的低功耗自适应带通滤波器。

2 滤波器设计

滤波器及其自适应电路的整体结构如图 1 所示。其中, 压控振荡器(VCO)和带通滤波器(BPF)中的运放跨导值 G_m 相同, 电容 C 匹配。VCO 产生的振荡信号, 经锁相环(PLL)环路锁频至参考频率

f_{ref} 。理想情况下, $f_{ref} = \frac{1}{2\pi}\sqrt{\frac{G_m^2}{C^2}}$, 因而可以通过选定参考频率 f_{ref} 确定滤波器中各积分单元的时间常数, 确定滤波器的传输函数。

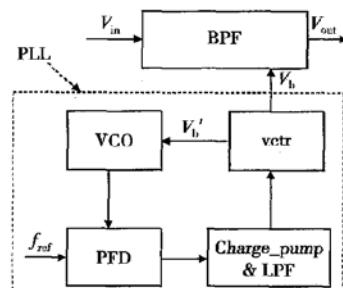


图 1 滤波器整体结构图

Fig. 1 Block diagram of BPF

图 1 中模块 vctr 是一组高阻抗、大输出摆幅的镜像电流源, 输出电压 V_b' 和 V_b 以相同的电压值分别偏置 VCO 和 BPF 中的跨导运放。带通滤波器中由于运放数目很多, 被 V_b 偏置的 MOS 管的栅电容总和很大。偏置电压 V_b' 和 V_b 通过镜像输出, 可以避免大的栅电容影响 PLL 环路的稳定性。

马德群 男, 1971 年出生, 博士研究生, 主要研究方向为模拟集成电路设计。Email: madequn@sohu.com

崔福良 男, 1973 出生, 博士研究生, 主要研究方向为模拟集成电路设计。

洪志良 男, 博士, 教授, 博士生导师, 从事集成电路设计和研制工作。

2003-09-26 收到, 2003-12-01 定稿

© 2004 中国电子学会

2.1 跨导运放 G_m 的设计

由于蓝牙系统要求低功耗, 采用图 2 所示结构, 可兼顾功耗和线性度的关系^[10].

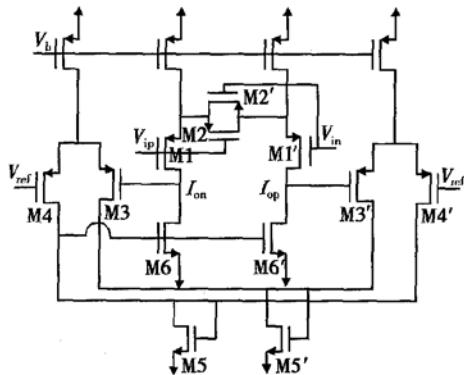


图 2 滤波器中的跨导运放 G_m

Fig. 2 Schematic diagram of G_m used in BPF

其原理是采用 MOS 管源极负反馈结构, 该结构跨导值为:

$$G_m = \frac{g_{m1}}{1 + \beta_1/(4\beta_2)} \quad (1)$$

其中 $\beta_i = \mu_p C_{ox} \frac{W_i}{L_i}$, W_i 和 L_i 为 MOS 管 M_i 的几何尺寸. 当 β_1/β_2 的取值为 6~10 时, 跨导的线性度最好^[11]. $M3 \sim M6$ 和 $M3' \sim M6'$ 构成共模反馈回路.

2.2 带通滤波器的设计

在所设计的蓝牙体系结构中, 接收机采用低中频接收结构. 射频信号通过混频电路降为中心频率为 2 MHz 的低中频信号, 经镜像抑制后, 由带通滤波器将谐波信号和其他杂波信号滤掉. 按系统设计要求, 选定带通滤波器中心频率为 2 MHz, 带宽为 1.4~2.6 MHz, 过渡带为 1.0~1.4 MHz 和 2.6~3 MHz, 阻带衰减大于 -20 dB. 为了减少通带纹波对信号的干扰, 采用 14 阶巴特沃思滤波器, 无源网络和有源实现电路分别如图 3(a), (b) 所示.

用有源器件实现滤波器时, 无源网络中的接地电感(如图 3(a) 中的 L_1 所示)和浮接电感(如图 3(a) 中的 L_2 所示), 需用跨导运放和接地电容等效, 等效值分别为:

$$L_1 = \frac{C_1}{G_{m1}G_{m2}} \quad (2)$$

$$L_2 = \frac{C_2}{G_{m3}G_{m4}} \quad (3)$$

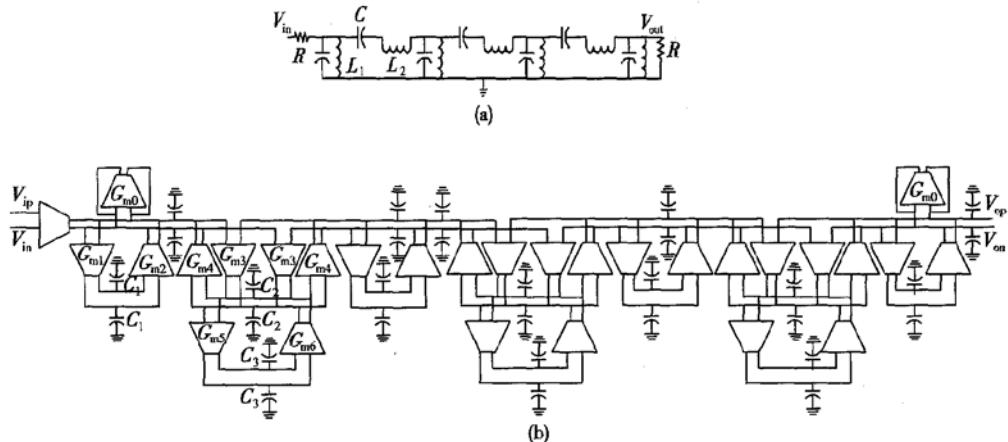


图 3 14 阶巴特沃思带通滤波器实现电路 (a) 无源网络; (b) 有源电路

Fig. 3 (a) Passive prototype of fourteenth-order butterworth bandpass filter; (b) G_m-C filter derived from (a)

由于采用单层多晶硅数字工艺, 为了消除电容下极板较大的寄生效应, 无源网络中的浮接电容(如图 3(a) 中的 C 所示)也需转换成接地电容, 等效值为:

$$C = \frac{G_{m3}G_{m4}C_3}{G_{m5}G_{m6}} \quad (4)$$

端接电阻 R (见图 3(a))等效成由跨导运放接

成负反馈形式, 其值为 $R = \frac{1}{G_{m0}}$.

电路设计时, 为通过自适应电路准确确定滤波器中各积分单元的时间常数, BPF 中所有跨导运放取值 G_m 或其倍数, 综合考虑滤波器功耗和占用的芯片面积, G_m 取值 $15\mu A/V$, 电容取值范围 $C_{max}/C_{min} = 4.16$, 总电容为 89.5pF .

有源替换后的 14 阶巴特沃思带通滤波器电路如图 3(b) 所示。

3 滤波器频率自适应电路设计

由于集成 G_m-C 滤波器中的跨导运放和电容受工艺偏差和环境变化(如温度、电源电压等)的影响,需要自适应电路确定滤波器中各积分单元的时间常数。目前研究比较多的方法是:

(1) 用滤波器阶跃信号瞬态响应调整滤波器的中心频率^[2]。此方法需要产生阶跃信号,在滤波器非工作期间对其调整,并且需要高精度的比较器,功耗很大。

(2) 压控滤波器 (voltage controlled filter, VCF) 自适应技术^[9]。设计方法相对容易,但是要求输入的参考信号为正弦波,并且存在环路增益较低和环路直流失调的问题^[10]。

(3) 使用 PLL 自校准。用 PLL 自校准的优点是不受低环路增益和环路直流失调的影响。缺点是 PLL 中 VCO 不易振荡, VCO 的振幅要求限幅^[12]。

在蓝牙芯片中,要求集成的滤波器功耗低,同时保证没有谐波的正弦波的输入有一定困难。因此本滤波器的自适应电路采用 PLL 自校准。对于自适应电路中 VCO 存在的缺点,下面将重点研究探讨。

3.1 VCO 振荡条件及参数的影响

用 G_m-C 构成的 VCO 一般采用图 4(a) 电路结构。用两个积分器接成环路,构成谐振回路,同时为保证 VCO 在恒定的幅度振荡,用 G_{m1}, G_{m2} 分别构成负阻和正阻。运放 G_m, G_{m1}, G_{m2} 的跨导值分别为 g_m, g_{m1} 和 g_{m2} 。

由图 4(a) 可以推得:

$$v_0 = -g_m v_0 \times \frac{1}{sc} \times g_m \times \frac{1}{sc - g_{m1} + g_{m2}} \quad (5)$$

化简后得到其特征方程:

$$s^2 c^2 + (g_{m2} - g_{m1}) sc + g_m^2 = 0 \quad (6)$$

由公式(6)得到 VCO 振荡频率:

$$\omega_0 = \sqrt{\frac{g_m^2}{c^2}} \quad (7)$$

根据信号理论,为使该电路在时间域的冲激响应为增幅正弦振荡,应有一对位于 S 右半平面内的

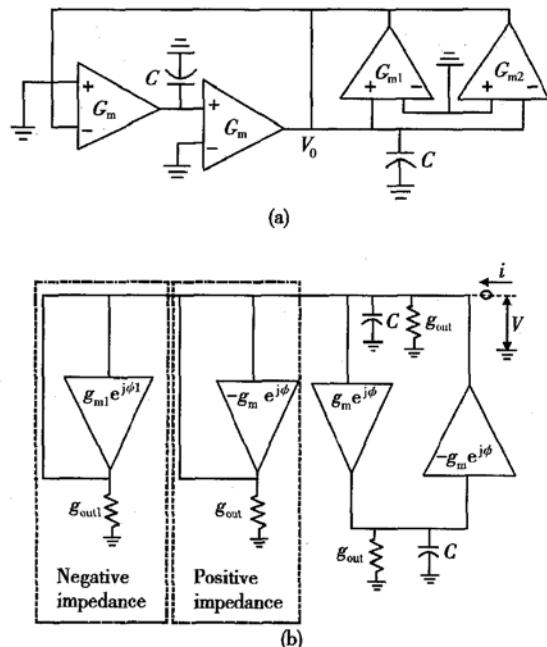


图 4 (a) 用 G_m-C 构成的 VCO; (b) 考虑跨导运放输出阻抗和内部极点的 VCO 模型

Fig. 4 (a) VCO constituted of G_m-C ; (b) Model of VCO considering the output impedance and parasitic pole of G_m

共轭极点,对应特征方程有一对共轭复根。

由此推出该电路振荡时需:

$$-2g_m < g_{m2} - g_{m1} < 0 \quad (8)$$

电路设计时,为设计方便,运放 G_{m2} 和 G_m 相同,即 $g_{m2} = g_m$, 可得振荡条件为

$$g_m < g_{m1} < 3g_m \quad (9)$$

公式(8)是在理想的情况下推出的该类型 VCO 的振荡条件,即认为跨导运放 G_m, G_{m1} 的输出阻抗和直流增益无穷大及无内部极点。实际上,VCO 电路中运放的有限输出阻抗及次主极点的存在,会使振荡条件和谐振频率发生变化。图 4(b) 中构成 VCO 各跨导运放的输出阻抗、内部极点的影响均被考虑。其中, $g_m e^{j\phi}$, $g_{m1} e^{j\phi_1}$ 分别为跨导运放 G_m, G_{m1} 考虑内部极点的跨导值, g_{out}, g_{out1} 分别为其输出导纳。经计算简化后,其单端策动点网络导纳为:

$$Y(s) = \frac{i}{v} = G_1 + sc + g_{out} + G_2 \quad (10)$$

其中 $G_1 = g_m - g_m j\phi - g_{out} + g_{out1} - g_{m1} + g_{m1} j\phi$, $G_2 = \frac{g_m^2 e^{-2j\phi}}{g_{out} + sc}$ 。

当 VCO 等幅振荡时:

$$-\omega^2 c^2 + (g_m \phi_c - g_{m1} \phi_c) \omega + g_m g_{out} + g_{out1} g_{out} + g_m^2 - g_{m1} g_{out} = 0 \quad (11)$$

设计 VCO 中跨导运放时, 可令其次主极点频率远大于谐振频率, 则 ϕ_c 很小, 可推得仅考虑跨导运放输出阻抗影响的 VCO 谐振频率:

$$f_0 = \frac{\omega_0}{2\pi} = \sqrt{\frac{g_m^2 + g_m g_{out} + g_{out1} g_{out} - g_{m1} g_{out}}{c^2 4\pi^2}} \quad (12)$$

由公式(12)可以看出, g_{out1}, g_{out} 对 f_0 有影响, 图 5 给出了变化曲线(图中, 实线是公式(12)的计算曲线, 离散点是 VCO 的谐振频率仿真数据). 当运放 G_m, G_{m1} 的输出阻抗为无穷大, 即 g_{out1}, g_{out} 为零时, 公式(12)简化成理想条件下 VCO 谐振频率公式(7). 当减小 g_{out} 时, $g_{out}, g_{out1}, g_{m1}$ 的变化对谐振频率影响都会减小, 但是 g_{out} 的减小会使运放 G_m 的输出摆幅减小, 从而影响带通滤波器的动态范围. 因此只能减小 g_{out1} (即增大 G_{m1} 输出阻抗), 使其对 VCO 的谐振频率影响减小.

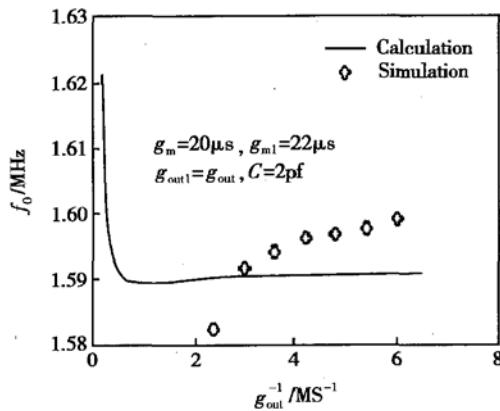


图 5 VCO 谐振频率 f_0 随 g_{out} 的变化

Fig. 5 Resonant frequency f_0 affected by factor g_{out} in VCO

由公式(12)还可得到 VCO 的等幅振荡条件:

$$g_{m1} \approx g_m + g_{out1} - \omega_0^2 \frac{c^2}{g_{out}} + \frac{g_m^2}{g_{out}} \quad (13)$$

由公式(13)可以看出, g_{m1} 的取值受运放跨导值 g_m 、输出导纳 g_{out} , g_{out1} 和谐振频率 ω_0 的影响.

3.2 VCO 的振荡幅度

由于构成 VCO 的运放 G_m 的 $I-V$ 特性曲线的非线性, VCO 振幅最好限制在其 $I-V$ 特性曲线 70% 的线性范围内^[10]. 目前较为常用的是采用幅值比较器^[8]. 这种方法的缺点是需要消耗较大的功率,

同时电路也较为复杂.

一种 VCO 限幅电路结构如图 6 所示, 其原理是利用图 4 中运放 G_{m1} 的线性范围小于运放 G_m 的线性范围^[10]. 该电路结构存在缺点: M3, M3'管(作为 G_{m1} 输入管)与 M1-M2, M1'-M2'管(作为 G_m 输入管)共用一个上部电流源. 一方面调整 G_{m1} 参数时计算烦琐, 另一方面跨导运放 G_{m1}, G_m 的输出阻抗比较小, 即公式(12)中的 g_{out1}, g_{out} 很大, 对 ω_0 的影响较大. 共用电流源采用 cascode 结构, 可以解决 g_{out1}, g_{out} 对 ω_0 的影响, 但是会直接影响滤波器的动态范围.

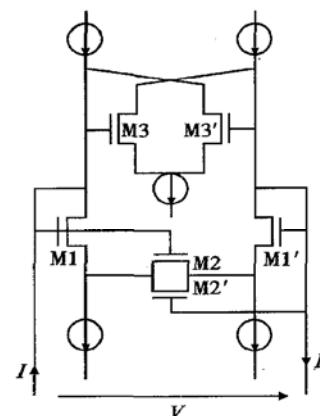


图 6 用于 VCO 的非线性限幅电路

Fig. 6 Nonlinear amplitude limiting circuit used in VCO

为了解决上述问题, 将图 6 所示 VCO 限幅电路中 G_{m1} 和 G_m 分开, 运放 G_{m1} 采用新的结构, 如图 7(a) 所示.

图 7(a) 中运放跨导值为 $G_{m1} = g_{m4} + g_{m2}$, 输出阻抗为高阻抗 $g_{m2}/(g_{ds1}g_{ds2}) \parallel (g_{m4}/(g_{ds3}g_{ds4}))$, 共模输入范围为 $0 \sim V_{dd}$, 共模输出范围为 $V_{dd} - V_{thp} - V_{ds3} \sim V_{thn} + V_{ds2}$, 工作时, 输入输出如图 7(a) 中虚线所示相连.

同图 6 相比, 该运放的优点是:(1)输出阻抗大, 由公式(12)可知: 运放 G_{m1} 的输出阻抗 $1/g_{out1}$ 增大, 会减小对 VCO 谐振频率的影响;(2)结构简单, 可在不影响正阻的情况下, 灵活调整负阻, 使设计难度大大降低;(3)线性范围窄, 振荡幅度大时, M2 或 M4 管会进入线性区, 运放跨导降低, VCO 振幅减小.

另一个优点是: 如果由于工艺、温度的变化, 使得 VCO 中负阻过大时, 最大振荡幅度不会超出 V_{dd} .

$-V_{thp}-V_{ds3} \sim V_{thn}+V_{ds2}$ 的范围。同图 6 结构的最大振幅 $V_{dsn}+V_{thn} \sim V_{dd}-V_{dsp}$ 相比会更小, 从而使运放 G_m 工作于更好的线性范围内。

图 7(b) 为图 7(a) 所示运放 G_{m1} 构成的负阻和由滤波器跨导运放 G_m 构成的正阻并联时的 $I-V$ 特性仿真曲线。可以看出, 当横坐标表示的 VCO 振幅从 0 变化时, 电流一开始为负值, 电阻表现为负阻

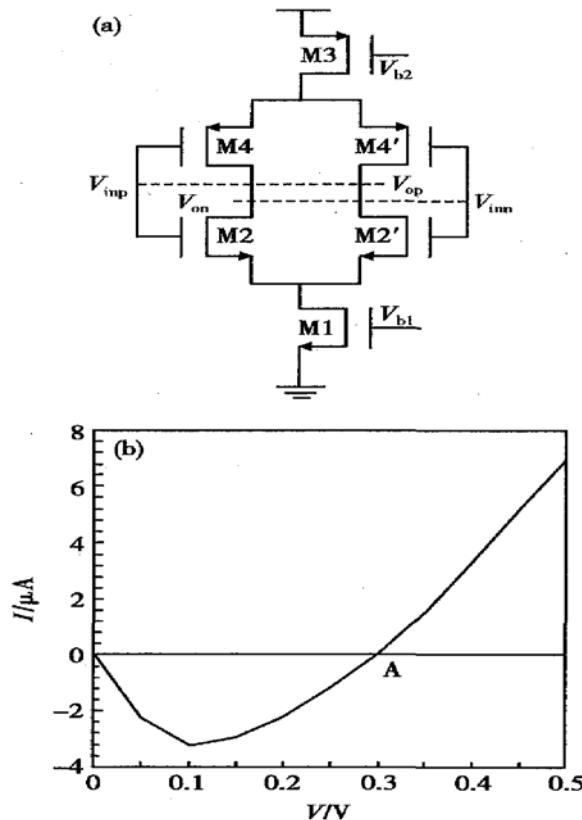


图 7 (a) 用作 VCO 中负阻的跨导运放 G_{m1} ; (b) 构成 VCO 的正阻和负阻并联时的 $I-V$ 特性曲线

Fig. 7 (a) G_{m1} acted as negative impedance in VCO; (b) $I-V$ characteristics of negative impedance parallel connected by positive impedance used in VCO

抗, 如果此时的 VCO 满足振荡条件, 振幅将增大; 当 VCO 振幅大于 A 点时, 电流为正值, 此时电阻表现为正阻抗, 振幅减小。在 A 点时, 电流为 0, VCO 的振幅为常数。设计时, 改变作为负阻的运放 G_{m1} 的跨导值, 可以灵活调整 VCO 振幅幅值, 使其处于跨导运放 G_m 的线性范围内。

利用新设计的运放 G_{m1} 和 G_m 等元器件构成 PLL, 去自校准 BPF, 在不同工艺条件下 BPF 幅频响应仿真曲线如图 8 所示。由于自适应电路的存在, 很好地消除了电源电压变化、温度变化和工艺抖动

等因素对 BPF 性能的影响。

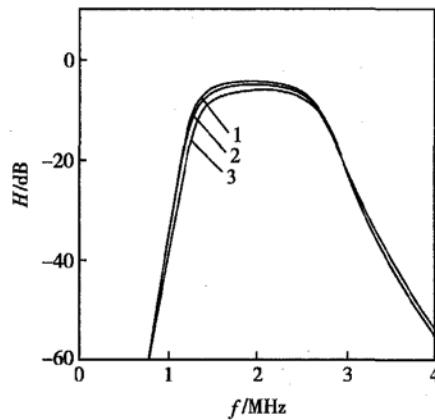


图 8 带通滤波器在三种工艺条件下仿真的幅频响应 1. ff 工艺角, 电源电压 3.6V, 温度 0℃; 2. tt 工艺角, 电源电压 3.3V, 温度 75℃; 3. ss 工艺角, 电源电压 3.0V, 温度 125℃

Fig. 8 Simulated amplitude transfer function of band-pass filter under variable process conditions 1. ff process corner based on 3.6V, 0℃; 2. tt process corner based on 3.3V, 75℃; 3. ss process corner based on 3V, 125℃

4 实验结果及版图

本文设计的带通滤波器作为蓝牙体系结构中的一个功能模块, 与其他模块一起, 采用 TSMC 单层多晶硅 3.3V, 0.35μm CMOS 数字工艺, 集成于一个芯片。版图设计时, 为了避免工艺容差, 将 VCO 中积分运放和电容阵列布置在与带通滤波器中积分运放和电容阵列相近的地方, 以保证单个运放跨导值相同, 单位电容匹配。由于采用单层多晶硅数字工艺, 为了减小电容所占面积, 用金属 1 做上极板, 多晶硅和金属 2 连接做下极板。

带通滤波器的芯片照片如图 9 所示, 占用芯片面积为 $1.88\mu\text{m}^2$, 功耗为 12mW。

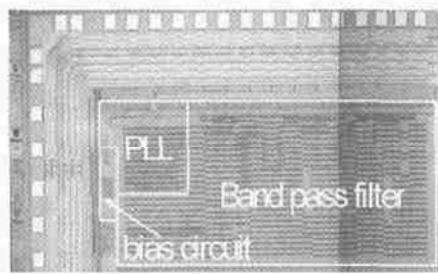


图 9 带通滤波器的芯片照片

Fig. 9 Microphotograph of bandpass filter

图 10 为带通滤波器的幅频特性曲线, 中心频率

为 2MHz, 带宽为 1.2MHz。这表明: 本文改进的 VCO 工作正常, 自适应电路能克服工艺失配对带通滤波器中心频率的影响。由于带通滤波器处于测试

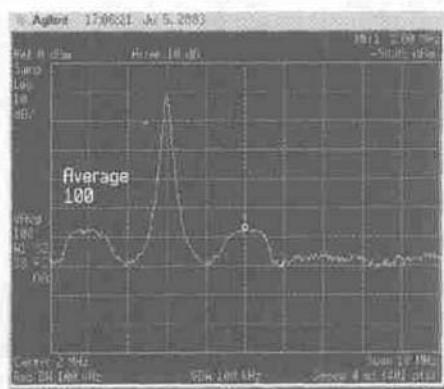


图 10 带通滤波器的幅频特性曲线

Fig. 10 Measured amplitude transfer function of the bandpass filter

模式时, 其输入测试端存在设计问题, 芯片外输入信号在进入带通滤波器前被大幅度衰减。因此图 10 幅频特性曲线没有反映出通带衰减。为了能够估计出带通滤波器的通带衰减, 在芯片测试中, 从与带通滤波器直流耦合的前级模块-镜像抑制模块输入 2.083MHz 正弦信号, 测试镜像抑制模块的输出(即为带通滤波器的输入, 此时带通滤波器处于正常工作模式)和带通滤波器的输出, 结果如图 11 所示, 镜

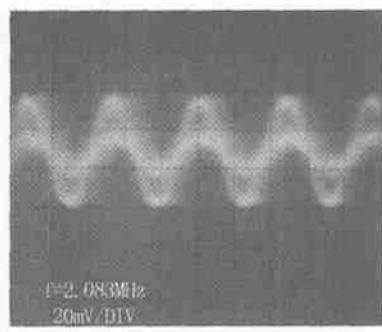


图 11 带通滤波器 2.083MHz 输入输出信号对比

Fig. 11 2.083MHz output signal compared with input of BPF

像抑制模块输出约为 60mV, 带通滤波器输出约为 20mV, 因而结合图 10 可估算出带通滤波器的通带衰减约为 -9.5dB。由图 9 可以看出, 即使在测试输入端存在设计问题的情况下, 滤波器阻带衰减仍大于 -12dB。在滤波器处于工作模式的情况下, 测得

滤波器阻带衰减大于 -20dB, 可以满足设计要求。

5 结论

本文探讨了滤波器 PLL 自适应电路中 VCO 的谐振条件, 分析研究了 VCO 中运放寄生参数对谐振频率和谐振条件的影响。用一种简单的跨导运放作为 VCO 的负阻抗, 使 VCO 的限幅电路设计简单容易。在蓝牙系统带通滤波器模块的设计中采用了这种结构, 测试结果表明, 此种结构的 VCO 自适应功能正确。实现的带通滤波器中心频率为 2MHz, 带宽为 1.2MHz, 功耗为 12mW。

参考文献

- [1] Jiang J G, He Y G, Wu J. Realization of fully differential fourth-order bessel filter with accurate group delay. Chinese Journal of Semiconductors, 2003, 24(9): 927
- [2] Yamazaki H, Oishi K, Gotoh K. An accurate center frequency tuning scheme for 450-kHz CMOS G_m -C bandpass filters. IEEE J Solid-State Circuits, 1999, 34(12): 1691
- [3] Silva-Martinez J, Steyaert M, Sansen W. High-performance CMOS continuous-time filters. Boston: Kluwer Academic Publishers, 1993
- [4] Chang Z Y, Haspelagh D, Verfaillie J. A highly linear CMOS G_m -C bandpass filter with on-chip frequency tuning. IEEE J Solid-State Circuits, 1997, 32(3): 388
- [5] Silva-Martinez J, Steyaert M, Sansen W. A 10.7-MHz 68-dB SNR CMOS continuous-time filter with on-chip automatic tuning. IEEE J Solid-State Circuits, 1992, 27(12): 1843
- [6] Huang Q T. A MOSFET-only continuous-time bandpass filter. IEEE J Solid-State Circuits, 1997, 32(2): 147
- [7] Lindfors S, Jussila J, Halonen K, et al. A 3-V continuous-time filter with on-chip tuning for IS-95. IEEE J Solid-State Circuits, 1990, 34(8): 1150
- [8] Khouri J M. Design of a 15-MHz CMOS continuous-time filter with on-chip tuning. IEEE J Solid-State Circuits, 1991, 26(12): 1988
- [9] Gopinathan V, Tsividis Y P, Tan K S, et al. Design considerations for high-frequency continuous-time filters and implementation of an antialiasing filter for digital video. IEEE J Solid-State Circuits, 1990, 25(6): 1368
- [10] Krummenacher F, Joehl N. A 4-MHz CMOS continuous-time filter with on-chip automatic tuning. IEEE J Solid-State Circuits, 1988, 23(3): 750
- [11] Wang Y T, Abidi A A. CMOS active filter design at very high frequencies. IEEE J Solid-State Circuits, 1990, 25(6): 1562
- [12] Yoo C, Lee S W, Kim W. A 1.5-V, 4-MHz CMOS continu-

ous-time filter with a single-integrator based tuning. IEEE J Solid-State Circuits, 1998, 33(1): 18

Design Considerations and Implementation for Low Power Transconductance-Capacitance Filter with On-Chip Automatic Tuning

Ma Dequn, Cui Fuliang, He Jie, Huang Lin and Hong Zhiliang

(IC Design Laboratory, Fudan University, Shanghai 200433, China)

Abstract: Based on 3.3V, 0.35 μ m, and single-poly CMOS digital process, a bandpass filter(BPF) with on-chip automatic tuning system used in bluetooth system is presented. The center frequency of the filter is 2MHz. The bandwidth is 1.2MHz and its power consumption is only 12mW. The resonant condition of voltage controlled oscillator (VCO) in phase locked loops, which is used in auto-tuning circuit of integrated filter, is analyzed. The effect of operational transconductance amplifiers' parasitic parameters on VCO's resonant frequency is studied as well. By using a simple operational transconductance amplifier (OTA) as a negative impedance used in VCO, the problem of confining VCO's oscillation to a desired range is solved.

Key words: G_m -C filter; PLL; auto-tuning circuit

EEACC: 1285; 1270E; 1205

Article ID: 0253-4177(2004)09-1186-07

Ma Dequn male, was born in 1971, PhD candidate. His research interests include analog integrated circuit design.

Cui Fuliang male, was born in 1973, PhD candidate. His research interests include analog integrated circuit design.

Hong Zhiliang male, PhD, professor. His research interests include analog integrated circuit design.