

单节拍浮点运算神经元的组合逻辑设计*

王守觉 李卫军 陈旭

(中国科学院半导体研究所 神经网络实验室, 北京 100083)

摘要:介绍了通用神经计算机 CASSANDRA-II 中单节拍浮点运算神经元的硬件设计方法。基于通用超曲面神经元模型, 以组合电路与 EPROM 查表分别实现浮点数加法、乘法及 p 次幂运算, 从而实现了单节拍内完成浮点运算 $|W(X - Y)|^p$ 的神经元组合逻辑设计。该设计使通用神经计算机硬件具有更强的适应能力和更好的网络性能。

关键词: 单节拍浮点运算; 超曲面神经元; 通用神经计算机; 组合逻辑设计

EEACC: 1265B; 1295 CCACC: 1230D

中图分类号: TP183 文献标识码: A 文章编号: 0253-4177(2004)11-1505-05

1 引言

目前, 各种数字信号处理器及通用处理器中, 浮点运算部件大多采用多节拍的时序电路设计^[1~4], 通过划分流水级的方式来提高系统的浮点运算频率。然而, 对于以简单的运算单元(神经元)互联构成的人工神经网络硬件来说, 由于其分布式并行计算的特性, 这种设计不能有效提高其浮点运算性能。对于通用神经计算机的设计, 设计者通常采用处理器阵列的构造方式, 每个处理器模拟一个或多个神经元^[5,6]。显然, 对于这种神经计算机的编程相当复杂, 性能价格比低。

本文提出了一种单节拍浮点运算神经元的组合逻辑设计方法。基于通用神经元模型^[7]——通用超曲面神经元模型, 分别采用组合电路设计和 EPROM 查表技术实现浮点数加法、乘法及 p 次幂运算电路, 使硬件神经元能够在单节拍内完成浮点运算 $|W(X - Y)|^p$ 。而且, 通过对 p 值的选择, 该硬件神经元可以模拟各种特性的神经元模型。以这种神

经元为基本单元构造的通用神经网络硬件, CASSANDRA-II, 与 CNAPS 和 SYNAPSE-I^[5,6]相比, 具有更强的适应能力和更好的网络性能。

本文介绍了单节拍浮点运算 $|W(X - Y)|^p$ 神经元的组合逻辑设计方法, 并对通用超曲面神经元及 CASSANDRA-II 神经计算机硬件加以简单介绍。

2 单节拍浮点运算电路设计

单节拍浮点运算电路的系统结构如图 1 所示, 其中 W, X, Y 均为 16 位浮点数, 格式为:

$$\text{Float} = (1 - 2S)(1 + A/512) \times 2^{(B-31)}$$

式中 S 为符号位, “0”为正; A 为 9 位尾数; B 为 6 位指数数。

电路中, 浮点数加法部分以组合逻辑电路实现, 而浮点数乘法及 p 次幂运算分别以 EPROM 查表的方式实现。整个电路中不包含任何时序电路, 可以单节拍实现 $|W(X - Y)|^p$ 的浮点运算。而且, 由于浮点数 p 次幂运算的查表方式设计, 用户仅需要重

* 国家自然科学基金资助项目(批准号: 60076020)

王守觉 男, 1925 年出生, 中国科学院院士, 现从事半导体超高速电路与人工神经网络算法、模型、硬件和应用研究。Email: wsjue@red.se-mi.ac.cn

李卫军 男, 1975 年出生, 博士研究生, 研究方向为图像处理、人工神经网络硬件和应用研究。

陈旭 女, 1978 年出生, 博士研究生, 研究方向为图像处理、人工神经网络硬件、算法和应用研究。

2003-10-18 收到, 2004-01-12 定稿

©2004 中国电子学会

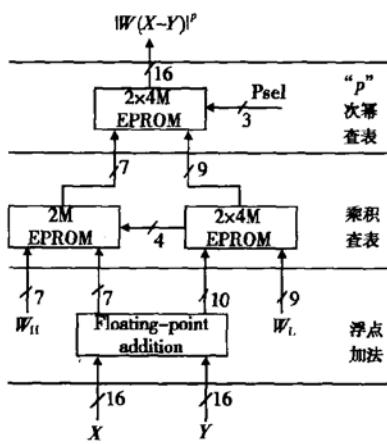


图 1 单节拍浮点运算电路系统结构图

Fig. 1 System chart of single-cycle floating-point arithmetic circuits

新刷写 EPROM 的内容, 就可以方便地配置电路以实现任意 p 值的幂运算.

2.1 浮点数加法的组合逻辑设计

浮点数加法 $X - Y$ 运算电路的系统结构如图 2 所示, 其中:

$$X = (1 - 2S_1)(1 + A_1/512) \times 2^{(B_1-31)}$$

$$Y = (1 - 2S_2)(1 + A_2/512) \times 2^{(B_2-31)}$$

$$X - Y = (1 - 2S_{SP})(1 + A_{SP}/512) \times 2^{(B_{SP}-31)}$$

根据数据流的流向, 浮点数加法运算电路可以分为如下三个部分: (1) 指数比较与尾数对齐电路; (2) 浮点加法电路; (3) 浮点数规则化调整电路. 下面依次就这三个部分的设计进行详细论述.

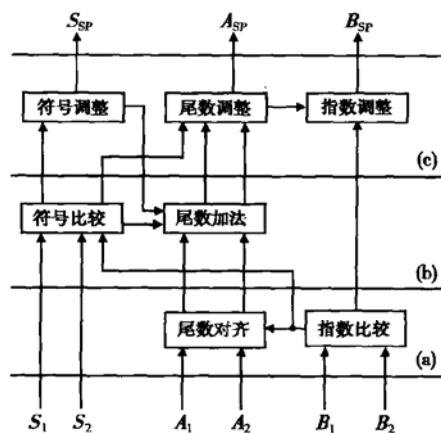


图 2 浮点数加法的组合电路设计系统框图

Fig. 2 System chart of floating-point addition circuits

2.1.1 指数比较与尾数对齐电路

指数比较与尾数对齐电路如图 3 所示, 加法器 1 实现两个浮点数(X, Y)指数的比较, 以确定 B_1, B_2 的大小以及需要进行移位操作的尾数(A_1 或 A_2). 加法器 2 确定尾数移位操作的位数. 移位电路以多路选择器构成, 由于 CASSANDRA-II 神经计算机中所用的 16 位浮点数格式与 IEEE 754 标准格式相似, 其尾数最高位缺省为 “1”, 所以在尾数移位前, 应先将 A_1, A_2 扩展为 10 位表示, 最高位补 “1”.

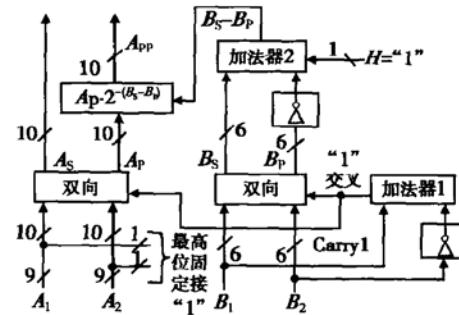


图 3 指数比较与尾数对齐电路

Fig. 3 Exponent-comparison/mantissa-alignment circuits

2.1.2 尾数加法电路

由于 X, Y 均为有符号浮点数, 因此要实现 $X - Y$ 的运算, 实际上需要根据 X, Y 的符号, 对 X, Y 的绝对值进行加法或减法操作. 为了简化电路, 用一个加法器实现尾数的加减运算, 作者用一个 10 位异或门构成逻辑取反/保持电路, 其工作原理如下:

$$(A_{PP}) \text{ XOR } (0) = A_{PP}, (A_{PP}) \text{ XOR } (1) = \overline{A_{PP}}$$

当两浮点数的符号相同时, 将其中一个操作数算术取反后求和; 符号相异时, 直接求和. 整个尾数加法电路结构如图 4 所示, 逻辑取反/保持电路与加法器一起构成隐含符号位的 10 位二进制加法运算电路, 其工作原理如表 1 所示.

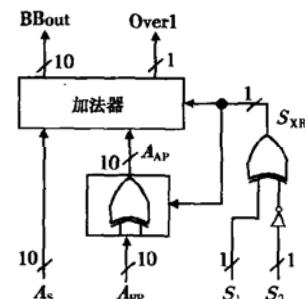


图 4 尾数加法电路

Fig. 4 Mantissa-addition circuits

表1 加法实现有符号二进制数减法运算

Table 1 Signed-binary addition/subtraction

待实现操作	S_1	S_2	S_{XR}	A_{AP}	电路实现
$(-1)^{S_1} A_S -$	0	0	1		$A_S + (-A_{PP})$
$(-1)^{S_2} A_{PP}$	0	1	0		$(-1)^{S_1'} (A_S + A_{PP})$
$(S_1' = S_1, S_2' = S_2)$	1	0	0	$(A_{PP}) \text{XOR}(S_{XR})$	$(-1)^{S_1'} (A_S + A_{PP})$
or					$(-1)^{S_1'} (A_S + (-A_{PP}))$
$S_1' = S_2, S_2' = S_1$	1	1	1		$(-1)[A_S + (-A_{PP})]$

2.1.3 浮点数规则化调整电路

浮点数规则化调整电路如图5所示, 加法器1和异或门组成绝对值运算电路($SSout = |BBout|$), 根据 $BBout$ (尾数加法电路的运算结果)的符号 S_{BO} 对其进行算术取反/保持操作.

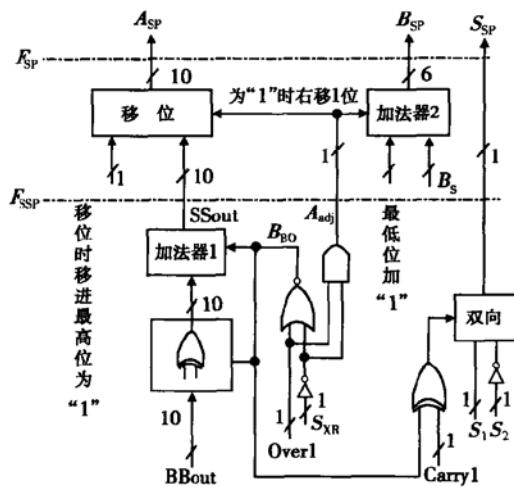


图5 指数和尾数调整电路

Fig. 5 Exponent/mantissa adjustment circuits

若 $S_{BO} = 0$:

$$SSout = (BBout) \text{XOR}(0) = BBout$$

否则:

$$SSout = (BBout) \text{XOR}(1) + 1 = -BBout$$

这样, F_{SSP} 所在位置电路的浮点数运算结果为:

$$\begin{aligned} F_{SSP} &= (1 - 2S_{SSP}) M_{SSP} \times 2^{E_{SSP}} \\ &= (1 - 2S_{SP}) (2A_{adj} + SSout/512) \times 2^{(B_{S-31})} \end{aligned}$$

由上式不难看出, 当 $A_{adj} = 1$ 时, $M_{SSP} = (2 + SSout/512) \geq 2$; 当 $A_{adj} = 0$ 时, $0 \leq M_{SSP} = (SSout/512) < 2$ (包括 $0 \leq M_{SSP} < 1$ 的情况).

当 $M_{SSP} \geq 2$ 时, 移位电路和加法器2对浮点运算结果调整如下:

$$\begin{aligned} F_{SP} &= (1 - 2S_{SP}) (A_{SP}/512) \times 2^{(B_{SP-31})} \\ &= (1 - 2S_{SP}) (1 + SSout/1024) \times 2^{(B_{S+1-31})} \end{aligned}$$

当 $0 \leq M_{SSP} < 2$ 时, 电路不对运算结果作规则化调整, 输出结果为:

$$\begin{aligned} F_{SP} &= (1 - 2S_{SP}) (A_{SP}/512) \times 2^{(B_{SP-31})} \\ &= (1 - 2S_{SP}) (SSout/512) \times 2^{(B_{S-31})} \end{aligned}$$

2.2 浮点数乘法及 p 次幂查表

浮点数乘法及 p 次幂运算采用 EPROM 查表的方式实现. 图1中 Psel 对应机内预定的 8 种不同 p 值的幂运算, 通过对 EPROM 的重新编程操作, 可以配置电路实现其他任意 p 值的浮点数幂运算.

如图1所示, 作者在浮点数乘法及 p 次幂查表设计中, 采用了分块查表的方法实现. 当然, 也可以将浮点数乘法及 p 次幂运算部分, 以一块EPROM 进行统一寻址查表实现, 但那样的表容量需求高达 $2^{16+16+3} \times 16 = 512\text{Gbit}$. 而分块查表, 仅需要 18M bit 的 EPROM, 大大提高了电路实现的性能价格比, 而且在很大程度上减轻了重新配置神经元模型所需的 EPROM 编程量.

3 通用超曲面神经元模型及 CASSANDRA-III 神经计算机

通用超曲面神经元模型基本计算式如下:

$$Y = f \left[\sum_{j=1}^n \left(\frac{W_{ji}(X_j - W'_{ji})}{|W_{ji}(X_j - W'_{ji})|} \right)^s \times \left| W_{ji}(X_j - W'_{ji}) \right|^p - \theta \right]$$

基于通用超曲面神经元基本数学模型, 研制了同时适用于传统 BP 网络、RBF 网络以及各种高阶超曲面神经元网络通用的 CASSANDRA-II 神经计算机硬件.

其通用计算式如下:

$$O_{mi}(t+1) = F_{ki} \{ \lambda_i [C_i(\mathbf{R}) - \theta_i] \}$$

其中:

$$\begin{aligned} \mathbf{R} = & \left[\sum_{j=1}^n \left(\frac{W_{ji}(I_{mj} - W'_{ji})}{|W_{ji}(I_{mj} - W'_{ji})|} \right)^s \left| W_{ji}(I_{mj} - W'_{ji}) \right|^p + \right. \\ & \left. \sum_{g=1}^n \left(\frac{W_{gi}(O_{mg} - W'_{gi})}{|W_{gi}(O_{mg} - W'_{gi})|} \right)^s \left| W_{gi}(O_{mg} - W'_{gi}) \right|^p \right] \end{aligned}$$

当 p 取各种不同的值时, CASSANDRA-II 神经计算机可以模拟含有各种不同特性神经元的(包括超平面, 超球面以及各种超椭球面和超立方体等)任意结构的神经网络.

CASSANDRA-II 神经计算机机内运算时数据采用与 IEEE754 标准类似的 16 位浮点数机内数据

格式,以保证足够的动态范围. 16位浮点数的最高位(MSB)为符号位,“0”为正,“1”为负. 从最高第2位起至第7位共6位为指数位,该6位数的值(0~63)以 B 代表其值,而第8位至第16位 LSB)共9位为尾数位,以 A 代表其值(0~511),则该浮点数的绝对值为 $(1 + \frac{A}{512}) \times 2^{B-31}$.

在 CASSANDRA-II 的硬件神经元设计中,实现了本文提出的单节拍浮点运算 $|W(X - Y)|^p$ 电路的组合逻辑设计,使通用神经计算机具有更好的网络性能和计算性能. 另一方面,CASSANDRA-II 机内预定了8种神经元模型以供选择,如果需要模拟含有其他各种不同特性神经元的任意结构的神经网络,用户只需对 EPROM 重新编程即可实现. 与 Neal^[8]的设计相比,这种方法使神经计算机具有更强的适应能力.

4 结论

在美国 IEEE 1992 年出版的《神经网络理论基础与分析论文集》的引言^[9]中对“人工神经网络”所作的定义如下:“用大量简单的‘神经元’计算并行叠联而成的任何计算结构”,即“神经网络”,更确切地说是“人工神经网络”. 其发展的驱动力主要来自这样一个事实,即在图像识别、模式识别方面,人类的能力远远高于任何数字计算机”.

本文基于通用超曲面神经元模型提出并实现的单节拍浮点运算神经元组合逻辑设计,使通用神经计算机硬件具有更强的适应能力和更好的网络性

能,为深入研究人工神经网络理论及其应用提供了物质基础.

参考文献

- [1] Qian Gang, Li Li, Shen Xubang, et al. The design of a 32bit floating-point RISC microprocessor. International Conference on ASIC, 2001: 760
- [2] Zhou Xu, Tang Zhimin. A fast floating-point multiplier architecture. Journal of Computer Research and Development, 2003, 40(6): 879(in Chinese)[周旭, 唐志敏. 一种快速的浮点乘法器结构. 计算机研究与发展, 2003, 40(6): 879]
- [3] Chen C, Chen L A, Cheng J R. Architectural design of a fast floating-point multiplication-add fused unit using signed-digit addition. IEEE Proc Comput Digit Tech, 2002, 149(4): 113
- [4] Oberman S F, Flynn M J. Reducing the mean latency of floating-point addition. Theoretical Computer Science, 1998, 196: 201
- [5] Liao Yihua. Neural networks in hardware: A survey. www-csif.cs.ucdavis.edu/~liaoy/research/Nnhardware.pdf
- [6] Ramacher U. SYNAPSE-I: a high-speed general purpose parallel neurocomputer system. 9th International Parallel Processing Symposium, Santa Barbara, CA, 1995: 774
- [7] Wang Shoujue, Li Zhaozhou, Chen Xiangdong, et al. Discussion on the basic mathematic model of neurons in general purpose neurocomputer. Acta Electronica Sinica, 2001, 29(5): 577(in Chinese)[王守觉, 李兆洲, 陈向东, 等. 通用神经网络硬件中神经元基本数学模型的讨论. 电子学报, 2001, 29(5): 577]
- [8] Neal M J. An analog VLSI design for a neuron with a choice of learning rules. Neurocomputing, 2000, 30: 185
- [9] Clifford Lau. Neural networks: theoretical foundations and analysis. IEEE Press, 1992

Logical Design of Hypersurface Neuron for Single-Cycle Floating-Point Arithmetic Operation^{*}

Wang Shoujue, Li Weijun and Chen Xu

(Institute of Semiconductors, The Chinese Academy of Sciences, Beijing 100083, China)

Abstract: A logical design method of hypersurface neuron for single-cycle floating-point arithmetic operation is presented. With combinational logical design method and EPROM table look-up technology combined, the hardware neuron designed is able to complete floating-point arithmetic operation $|W(X - Y)|^p$ within one single cycle, and can be flexibly configured to simulate kinds of neuron architecture.

Key words: floating-point arithmetic; hypersurface neuron; neurocomputer; logical design

EEACC: 1265B; 1295 **CCACC:** 1230D

Article ID: 0253-4177(2004)11-1505-05

* Project supported by National Natural Science Foundation of China (No. 60076020)

Wang Shoujue male, was born in 1925, academician of the Chinese Academy of Sciences. He major in the fields of super-high speed integrated circuits and ANN algorithm, model, hardware and application.

Li Weijun male, was born in 1975, PhD candidate. He is engaged in the research on ANN hardware and its application, image processing.

Chen Xu female, was born in 1978, PhD candidate. She is engaged in the research on image processing and ANN hardware, algorithm, and its application.