

能量回收阈值逻辑电路*

杨 蕲 周润德

(清华大学微电子学研究所, 北京 100084)

摘要: 通过把阈值逻辑应用在能量回收电路中, 提出了一种新的电路形式——能量回收阈值逻辑电路(energy recovery threshold logic, ERTL). 阈值逻辑的应用, 使 ERTL 电路的门复杂度大大降低, 同时进一步降低了功耗. 分别以 ERTL 电路和静态 CMOS 电路设计了 4 位超前进位加法器, 两个加法器采用相同的结构. ERTL 加法器逻辑电路的晶体管数目只占静态 CMOS 加法器的 63%, 与现有的能量回收电路相比, 硬件开销减少. 设计使用的是 TSMC 0.35 μm 工艺, 分别在 3V 和 5V 工作电压下对电路进行 Spice 仿真. 仿真结果显示, 在实际的工作负载和工作频率范围内, ERTL 电路的能耗只有静态 CMOS 电路的 14%~58%.

关键词: 能量回收; 低功耗; 阈值逻辑; CMOS 电路

EEACC: 1265A; 2560; 2570D

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2004)11-1515-06

1 引言

随着集成电路频率和集成度不断提高, 降低功耗已经成为集成电路设计中主要考虑的因素. 尤其在便携式应用和航天航空领域, 降低功耗更是首先考虑的问题. 随着电路电压的不断降低, 通过降低工作电压来降低功耗的方法已经接近极限. 目前在集成电路的低功耗设计方法中, 能量回收电路受到了越来越多的重视, 已有很多文献提出了多种不同结构的能量回收电路. 能量回收电路在中低速的应用中, 与静态 CMOS 电路相比, 具有极低的功耗. 能量回收电路的特点是采用交叉耦合的存储器结构, 利用互补信号完成电荷回收, 在每个功率时钟周期都要对电路节点充电和回收, 需要多相位的功率时钟, 并且同时需要实现正逻辑和互补逻辑^[1~3]. 已提出的能量回收电路结构多采用串联开关逻辑(cascade voltage switch logic, CVSL) 实现逻辑功能, 其实现相同的逻辑, 硬件开销略高于静态 CMOS 电路. 当实现复杂逻辑电路时, 这种结构的能量回收电路不

但硬件代价增加, 而且由于串联管子的增多, 功耗也急剧增加, 因而不适于实现复杂逻辑功能.

阈值逻辑与传统的与或非逻辑相比, 可以大大减少逻辑电路的深度和逻辑门的数目. 阈值逻辑门的定义是: n 个输入 X_1, X_2, \dots, X_n , 一个输出 Y , 每个输入 X_i 对应一个权重 w_i , 每个逻辑门对应一个阈值 T ; 如果 $\sum_{i=1}^n w_i X_i \geq T, Y = 1$, 否则 $Y = 0$. 选择不同的权重 w_i 和阈值 T , 其中 $w_i > 0, T > 0$, 就可以实现不同的布尔函数. 而且 2 级或 2 级以上的阈值逻辑门就可以实现任意的布尔函数^[4]. 阈值逻辑实现可以利用电容耦合作用, 这与开关逻辑相比, 可大大降低逻辑门的复杂度^[5].

把阈值逻辑与能量回收电路结合起来, 不但可以减少能量回收电路的硬件开销, 而且可以进一步降低能量回收电路的功耗. 提出了一种新型的能量回收电路: 能量回收阈值逻辑电路(energy recovery threshold logic, ERTL). 该电路不但使门复杂度降低, 而且使功耗大大降低. 文中设计了一个 4 位的 ERTL 加法器, 与相同结构的静态 CMOS 加法器进行比较. 通过 Hspice 仿真表明, ERTL 加法器在 5V

* 国家自然科学基金资助项目(批准号: 59995550-I)

杨 蕲 男, 1977 年出生, 博士研究生, 从事 CMOS 低功耗集成电路研究.

周润德 男, 1945 年出生, 教授, 博士生导师, 从事低功耗集成电路与嵌入式系统的研究.

2003-11-09 收到

© 2004 中国电子学会

和 3V 电压下都可以正常工作, 而且在实际的工作负载和工作频率范围内, 与静态 CMOS 电路相比, 有较低的功耗.

2 ERTL 电路

图 1 是 ERTL 电路结构, 采用 4 相位功率时钟, 对应的 ERTL 电路也有 4 种工作状态: 求值, 保持, 回收(能量回收), 等待. ERTL 电路利用电容耦合作用完成阈值逻辑功能, 输入信号和功率时钟通过耦合电容在 n_3 和 n_4 的栅极形成耦合电压. 输入 $X_j \wedge \Phi_{i-1}$ 表示: $X_j = 0$ 时, 输入 0; $X_j = 1$ 时, 输入与 Φ_{i-1} 相同的脉冲. 输入 $X_j \wedge \Phi_{i-1}$ 通过耦合电容 C_j , 在 n_3 栅极形成耦合电压, 其相位与 Φ_{i-1} 相同, 幅度 $V_L = V_{dd}(\sum_{i=1}^n C_i X_i) / C_L$, C_L 是 L 点所有电容的和(包括栅漏极电容, 寄生电容, 及各耦合电容), C_i / C_L 相当于权重 w_i . 同样, Φ_{i-1} 通过耦合电容 C_{r1} 和 C_{r2} , 在 n_4 栅极形成耦合电压, 其相位与 Φ_{i-1} 相同, 幅度 $V_R = V_{dd}C_{r1}/C_R$, C_R 是 R 点所有电容的和(包括栅漏极电容, 寄生电容, 及 C_{r1}, C_{r2}), V_R 相当于阈值 T . 通过改变 C_{r1} 和 C_{r2} 的值, 可以改变阈值 V_R , 完成不同的逻辑功能. Φ_{i+2} 通过耦合电容 C_f 在 n_5, n_6 的栅极产生耦合电压, 其相位与 Φ_{i+2} 相同, 幅度 $V_F = V_{dd}C_f/C_F$, C_F 是 F 点所有电容的和. 其中各功率时钟的相位关系见图 2. n_5, n_6 的作用是在求值初始阶段开启, 在输出 Y 和 Y_b 建立一定的电压差, 使 p_1, p_2, n_1, n_2 构成的灵敏放大器可以形成稳定正反馈产生正确的输出, 同时为了减少直流功耗, 当 p_1, p_2, n_1, n_2 形成正反馈后, n_5, n_6 需要关闭.

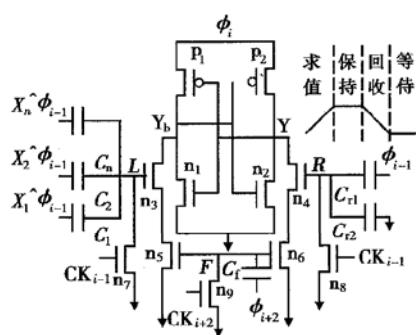


图 1 ERTL 电路结构和 4 相位功率时钟

Fig. 1 ERTL structure and 4-phase power-clock

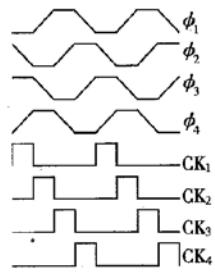


图 2 功率时钟和辅助时钟的相位关系

Fig. 2 Phase relation of power-clock and auxillary-clock

图 1 电路工作过程如下. 等待阶段: Φ_i 为 0, n_3 和 n_4 的栅极分别产生耦合电压 V_L, V_R , n_5, n_6 栅极产生耦合电压 V_F , n_5, n_6 开启, Y 和 Y_b 的电压为 0. 求值阶段: 功率时钟 Φ_i 开始上升, 不妨设 $V_L > V_R$, n_3 的导通电阻小于 n_4 的导通电阻, 由于 n_5, n_6 导通, 一段时间后在 Y 和 Y_b 形成初始电压差, 经过 p_1, p_2, n_1, n_2 形成的正反馈, Y_b 电压变为 0, Y 电压跟随 Φ_i 上升; 同时随着 Φ_i 上升, Φ_{i+2} 开始下降, F 点电压也随着下降, 当 F 电压低于阈值电压时, n_5, n_6 关闭, 不再产生直流功耗; F 电压幅度 V_F 的大小对于电路的功能和功耗影响很大; 如果 V_F 太小, Y 和 Y_b 还没来得及形成必要的电压差, n_5, n_6 就已经关闭, 电路不能正常工作; 如果 V_F 太大, 则在 p_1, p_2, n_1, n_2 形成稳定正反馈后, n_5, n_6 仍然导通, 则会在 n_3 支路或者 n_4 支路有直流通过, 产生不必要的直流功耗; 所以在实际电路中, 应该根据负载大小和功率时钟的频率, 调整耦合电容 C_f 的大小, 选择合适的 V_F 大小. 保持阶段: n_5 和 n_6 已经关闭, n_5, n_6 的栅极电压为 0, 辅助时钟 CK_{i+2} 使 n_9 开启, F 与地相连, 避免 F 浮空, 造成电荷积累; n_3 和 n_4 的栅极电压随着 Φ_{i-1} 下降而减小, n_3 和 n_4 逐步关闭; Φ_i 保持在 V_{dd} , Y_b 保持在 0, Y 保持在 V_{dd} . 其中辅助时钟与功率时钟的相位关系见图 2. 能量回收阶段: Y 随着 Φ_i 下降而下降, Y 电荷被功率时钟 Φ_i 回收; n_3 和 n_4 的栅极电压为 0, 辅助时钟 CK_{i-1} 使 n_7 和 n_8 导通, L 和 R 与地相连, 避免浮空, 造成电荷积累.

辅助时钟 CK_i 的作用只是避免 L, R 和 F 浮空, 所以辅助时钟的电压幅度可以远小于电源电压 V_{dd} , 略高于阈值电压即可, 而且 n_7, n_8 和 n_9 可以取最小尺寸, 因此辅助时钟产生的额外功耗与整个电路功耗相比可以忽略.

3 ERTL 加法器设计与仿真

在数字电路系统中,加法器是基本的算术单元。在本节分别用 ERTL 电路和静态 CMOS 电路设计一个 4 位的加法器,比较它们的性能和功耗。它们采用相同的超前进位加法器结构(carry-lookahead adder, CLA),见图 3。不同之处在于,ERTL 加法器插入了一些 buffer,其中输入端的 buffer 用于将电平输入信号转换为 ERTL 所需的脉冲信号;输出端 buffer 为了使电路的非绝热损失不受负载影响,降低功耗;中间的 buffer 是为了使每级电路的输入相位同步,可以按流水线工作。而静态 CMOS 加法器是组合电路,不需要插入 buffer。另外,ERTL 电路输入与输出都是互补信号,静态 CMOS 只输入输出正信号。静态 CMOS CLA 的和产生电路,全加器电路,超前进位产生电路,采用文献[6]中的电路。

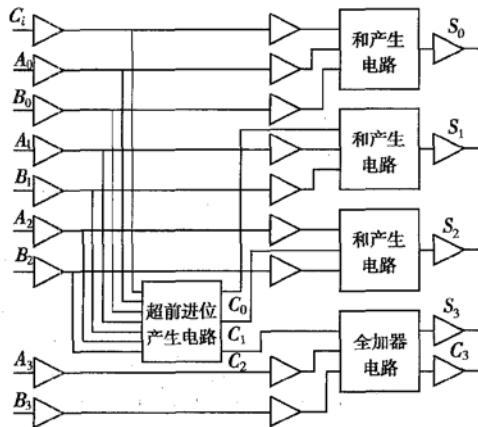


图 3 4 位超前进位加法器

Fig. 3 4-bit carry lookahead adder

3.1 ERTL 加法器单元电路设计

加法运算具有对称性^[6]:

$$S = A \oplus B \oplus C_i$$

$$S_b = A_{ib} \oplus B_{ib} \oplus C_{ib}$$

$$C_o = AB + BC_i + AC_i$$

$$C_{ob} = A_{ib}B_{ib} + B_{ib}C_{ib} + A_{ib}C_{ib}$$

其中 A, B 是加法器输入; C_i 是进位输入; S 是和输出; C_o 是进位输出,下标 b 表示互补信号。将问题一般化,对于超前进位运算,设进位输入 C_i ,加法器输入 $A_0, A_1, \dots, A_n, B_0, B_1, \dots, B_n$,进位输出 C_n 。如果 $C_n=1$,则 $\sum_{j=0}^n (A_j + B_j) 2^j + C_i \geq 2^{n+1}$,同时 C_{nb}

$= 0$,由加法运算的对称性,应该有 $2^{n+1} > \sum_{j=0}^n (A_{jb} + B_{jb}) 2^j + C_{ib}$ 。所以如果 $C_n=1$,则有 $\sum_{j=0}^n (A_j + B_j) 2^j + C_i > \sum_{j=0}^n (A_{jb} + B_{jb}) 2^j + C_{ib}$;反之 $C_n=0$, $\sum_{j=0}^n (A_{jb} + B_{jb}) 2^j + C_{ib} > \sum_{j=0}^n (A_j + B_j) 2^j + C_i$ 。根据该关系,ERTL 加法器的进位电路采用互补输入,对称的 ERTL 电路结构,见图 4。图 4 的电路形式与图 1 相近,不同之处在于,其左右电路对称。这是由于利用了加法运算的对称性。对称的电路形式,可以减少耦合电容的失配,有利于版图的规整。图 4 中 $1C$ 代表一个单位的耦合电容,在 $0.35\mu\text{m}$ 工艺中, $1C$ 可取 $1\text{fF}-2\text{fF}$ 。图 4 中, n 分别取 0, 1 和 2, 就分别得到 C_0 和 C_3 的进位产生电路, C_1 和 C_2 的超前进位产生电路。

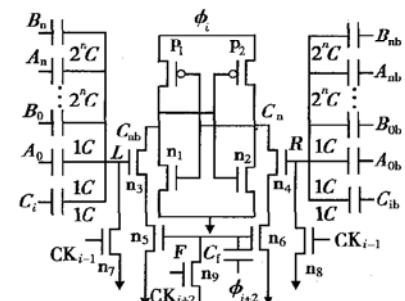


图 4 ERTL 加法器进位电路

Fig. 4 Carry circuit of ERTL

类似地,ERTL 加法器的和产生电路也采取对称的 ERTL 电路形式,见图 5。图 5 中左右各增加一

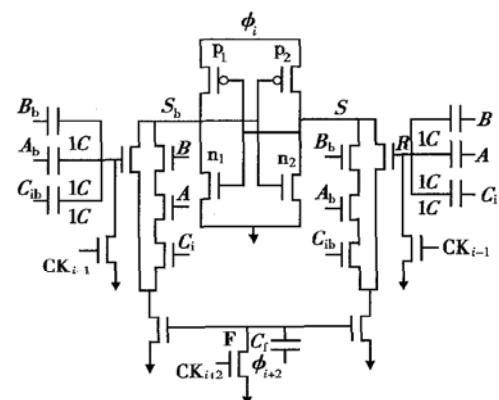


图 5 ERTL 加法器和产生电路

Fig. 5 Sum circuit of ERTL

由 3 个串联 n 管组成的支路, 左边支路当 $A = B = C_i = 1$ 时导通, 当其导通时把 S_b 拉低, 使 S 输出为 1. 右边支路作用类似, 只是当 $A_b = B_b = C_{ib} = 1$ 时导通, 使 S 输出为 0.

3.2 ERTL 加法器中的 buffer 及其作用

ERTL 加法器中的 buffer 电路如图 6 所示. 该 buffer 的工作过程如下: 当 Φ_{i+1} 处于等待状态时, Φ_i 通过 n_1 对输入 in 采样. 如果 $in = 0$, $in_b = V_{dd}$, 则 $a = 0$, 当 Φ_{i+1} 开始求值时, n_2 关闭, n_3 导通, $out = 0$; 如果 $in = V_{dd}$, $in_b = 0$, 则采样结束时 $a = V_{dd} - V_{th}$, 当 Φ_{i+1} 开始求值时, n_1 和 n_3 处于关闭状态, 它们保持该状态到 Φ_i 下一次对输入采样. 由于 Φ_{i+1} 求值与能量回收时, n_1 关闭, 在 a 点会产生自举效应. 由自举效应, 当 n_2 和 n_1 的大小满足文献[7]中的条件时, Φ_{i+1} 对 out 的求值和能量回收过程不会产生非绝热损失. 为了减少体效应对 n_2 管阈值电压的影响, n_2 管的衬底与源级相连.

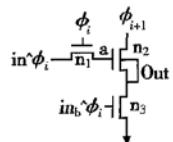


图 6 ERTL 加法器中 buffer

Fig. 6 Buffer in ERTL adder

能量回收电路的能耗损失包括绝热损失和非绝热损失. 绝热损失与功率时钟频率成正比, 降低频率可以减少绝热损失^[8]. 而非绝热损失与功率时钟频率无关. 在低频下, 能量回收电路的主要能耗是非绝热损失. 在输出端插入图 6 的 buffer, 使对负载的求值和能量回收中不会产生非绝热损失. 于是其非绝热损失只与内部节点电容大小有关, 而通常外部负载电容大于内部结点电容, 所以在输出端插入 buffer 降低了 ERTL 加法器的能耗.

另外, 由于对负载的求值和能量回收中, n_1 关闭, 起到隔离的作用, 减少了输入端噪声对输出的影响. ERTL 电路是利用电容耦合作用工作的, 对外部噪声比较敏感. 通过在输入端插入 buffer, 不但将电平信号转换为脉冲信号, 也减少了外部噪声对电路的影响.

3.3 ERTL 加法器的性能

由于采用图 3 的 CLA 结构, 4 位 ERTL 加法器

完成一次运算只需要 4 个相位, 即一个功率时钟周期, 与静态 CMOS 电路相同.

不包括 buffer, 4 位 ERTL CLA 只需 112 个晶体管, 计入 buffer, 需要 250 个晶体管. 静态 CMOS 电路需要 178 个晶体管. 而现有的能量回收电路, 逻辑电路部分(不包括 buffer)的晶体管数目通常略高于静态 CMOS 电路. ERTL CLA 的逻辑电路部分晶体管数目只是静态 CMOS 电路的 63%. 这是因为 ERTL 电路采用阈值逻辑, 使电路的硬件开销减小. 当用 ERTL 电路实现更加复杂的逻辑时, 它这方面的优势会更加明显.

3.4 电路仿真结果

为了比较 ERTL 电路和静态 CMOS 电路的性能和功耗, 用 HSpice 对 3.2 小节中的超前进位加法器电路进行仿真. 仿真的工艺参数是 TSMC 0.35μm 的工艺器件参数. 设计中最小管子尺寸取 1μm/0.35μm. 静态 CMOS 加法器所有管子都用最小尺寸. 对于 ERTL 加法器, 单位耦合电容取 2fF. 在不同频率下, 调整耦合电容 C_f , p_1 和 p_2 管的大小使电路的功耗达到最小(见图 4, 5).

图 7 比较了 ERTL 与静态 CMOS 4 位 CLA 分别工作在 3V 和 5V 电压下, 能耗随频率的变化, 其中 ERTL 电路没有考虑功率时钟产生电路的能耗. 横坐标是 ERTL 功率时钟的频率, 纵坐标是 CLA

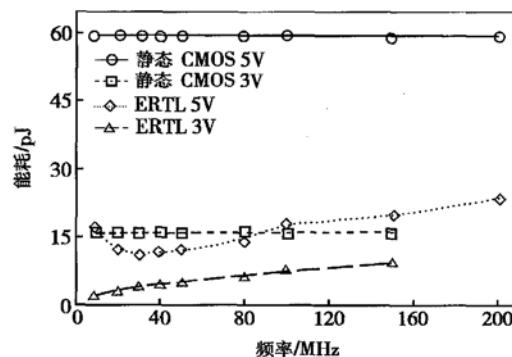


图 7 ERTL 与静态 CMOS 4 位 CLA 能耗比较

Fig. 7 Energy loss comparison of 4-bit ERTL and static CMOS adder

工作 4 个周期的能耗, 其中电路负载取 100fF. 由于静态 CMOS 电路的功耗与输入数据的变化概率成正比, 而能量回收电路每周期都几乎消耗固定的能耗, 与输入数据的变化概率无关. 所以输入数据的变化概率大小对比较结果影响很大. 仿真是在输入数

据变化概率最大的情况下对电路进行比较, 即每个周期输入数据都发生变化。

图 7 的曲线显示, ERTL 电路并不是频率越低, 功耗越低。因为 ERTL 电路在求值的过程中有直流功耗产生, 随着频率的降低, 求值过程延长, 直流功耗会相应增加。同时, 由于绝热能耗与功率时钟频率成正比, 随着频率增加, 绝热能耗也会相应增加。所以 ERTL 电路存在一个能耗最低的频率点。图 7 的曲线中, 在 5V 电压下, 30MHz 时, ERTL 电路的能耗最低, 只占静态 CMOS 电路的 19%。当电压降低时, 最低频率点向低频移动。在 3V 电压下, ERTL 电路在 10MHz 时能耗最低, 只占静态 CMOS 电路的 14%。所以 ERTL 电路在 5V 和 3V 电压下都可以正常工作, 并且相对于静态 CMOS 电路都有较低的能耗。在 5V, 200MHz 下, ERTL 电路能耗是静态 CMOS 的 39%; 在 3V, 150MHz 下, ERTL 电路能耗是静态 CMOS 电路的 58%。随着频率增加, ERTL 能耗增加主要有两个因素。首先是绝热损失的增加, 因为其与频率成正比。另外, 当频率增加时, ERTL 求值的时间减少, 为了能在缩短的时间内完成求值, 需要加大通过 p_1, p_2, n_5, n_6 的电流(见图 1), 因此 p_1, p_2 的宽长比和耦合电容 C_f 随着频率提高需要相应增加, 导致直流功耗的增加。

综上所述, ERTL 电路在 5V 和 3V 工作电压下都可以正常工作, 并且在实际的负载下和频率范围内, 相对于静态 CMOS 电路都有较低的功耗。

4 结论

提出了一种新的电路形式 ERTL, 其把阈值逻辑应用到能量回收电路中。ERTL 工作需要 4 相位功率时钟, 利用电容耦合作用实现阈值逻辑。由于使用阈值逻辑, ERTL 逻辑门复杂度大大降低, 硬件开销减少, 进一步降低了功耗。设计了相同结构的 4 位

ERTL CLA 和静态 CMOS CLA。ERTL CLA 逻辑电路部分只占静态 CMOS CLA 的 63%。Spice 仿真结果表明, 在 3V 和 5V 电压下, ERTL CLA 都有较低的功耗。在 100fF 外部负载下, 10~200MHz 的频率范围内, ERTL CLA 的能耗只有静态 CMOS 的 19%~58%。仿真结果说明, ERTL 电路是一种低硬件开销, 低能耗的电路。

未来的工作之一是, 设计低功耗, 低相位偏差的 4 相位功率时钟产生电路。因为功率时钟影响整个 ERTL 电路的效率。

参考文献

- [1] Moon Y, Jeong D K. Efficient charge recovery logic. IEEE Symp VLSI Circuits Dig Tech Papers, 1995: 129
- [2] Hang Guoqiang, Wu Xunwei. Non-floating output adiabatic CMOS circuits adopting two-phase power-clock. Chinese Journal of Semiconductors, 2001, 22(3): 366(in Chinese) [杭国强, 吴训威. 采用二相功率时钟的无悬空输出绝热 CMOS 电路. 半导体学报, 2001, 22(3): 366]
- [3] Kramer A, Denker J S, Flower B, et al. 2nd order adiabatic computation with 2N-2P and 2N-2N2P logic circuits. Proc Int Symp on Low Power Design, 1995: 191
- [4] Muroga S. Threshold logic and its application. New York: Wiley, 1971
- [5] Celinski P, Lopez J F, Al-Sarawi S, et al. Low power, high speed, charge recycling CMOS threshold logic gate. Electron Lett, 2001, 37(17): 1067
- [6] Rabaey J M. Digital integrated circuits: a design perspective. New York: Prentice Hall, 1996
- [7] Lim J, Kim D G, Chae S I. Reduction in energy consumption by bootstrapped nMOS switches in reversible adiabatic CMOS circuits. IEEE Proceedings: Circuits, Devices & Systems, 1999: 327
- [8] Athas W, Svensson L, Koller J, et al. Low power digital systems based on adiabatic-switching principles. IEEE Trans VLSI Syst, 1994, 2(4): 398

Energy Recovery Threshold Logic^{*}

Yang Qian and Zhou Runde

(Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

Abstract: A new energy recovery logic style (energy recovery threshold logic, ERTL) based on threshold logic is presented. With threshold logic, ERTL has very low power dissipation and low gate complexity. 4-bit ERTL carry lookahead adder (CLA) and static CMOS CLA are designed respectively with the same architecture. The transistor counts of ERTL CLA logic circuits is only 63% of static CMOS CLA. Compared to previous energy recovery logic designs, ERTL has low hardware cost. The adders are designed using 0.35μm TSMC CMOS technology. The circuit is simulated at 3V and 5V. Based on the results of Hspice simulation, for a practical load and a practical range of frequencies, ERTL dissipates only 14%~58% of the energy of the static CMOS.

Key words: energy recovery; low power; threshold logic; CMOS circuits

EEACC: 1265A; 2560; 2570D

Article ID: 0253-4177(2004)11-1515-06

* Project supported by National Natural Science Foundations of China (No. 59995550-I)

Yang Qian male, was born in 1977, PhD candidate. His research interests are low power CMOS circuits design.

Zhou Runde male, was born in 1945, professor and advisor of PhD candidate. His research interests are low power IC design and embedded system structure.