

二种 EPAL 绝热开关电路

谢小平 阮晓声

(浙江大学物理系, 杭州 310031)

摘要: 研究和设计了两种低功耗的 EPAL (efficient PAL) 绝热开关电路。这两种电路均采用逐级相位落后 90° 的四相正弦功率时钟。讨论了 EPAL 电路的设计方法, 并在不同时钟频率和不同的负载条件下用 $1.2\mu\text{m}$ 的 CMOS 工艺参数对所设计的电路进行 PSPICE 模拟。模拟结果表明这两类电路均能完成正确的逻辑功能。两种 EPAL 的五级反相器/缓冲器电路在功率时钟频率为 10MHz 时都比相应的 PAL-2N 电路节省 80% 以上的功耗, 在 400MHz 时功耗节省也分别可达 23% 和 50%。EPAL 电路可以工作于更高的时钟频率, 有更强的驱动负载能力和更低的输出波形畸变。

关键词: 能量恢复; 低功耗设计; 绝热开关; CMOS

EEACC: 1265A; 1265B; 2570D

中图分类号: TN432 **文献标识码:** A **文章编号:** 0253-4177(2004)11-1526-06

1 引言

近年来, 集成电路技术得到了很大的发展, 电路集成度越来越高, 工作速度越来越快, 这两方面的提高都会造成电路功耗的急剧增长。能耗的增加影响到电路工作的稳定性、可靠性, 因此降低集成电路的功耗至关重要。传统 CMOS 电路信号值的变化是由直流电源通过电路节点电容的充、放电来实现的, 虽然降低电源电压和减小节点电容可以降低电路的功耗, 然而传统静态 CMOS 电路无法克服自身的固有缺点, 即电路节点的每一次充放电过程都要消耗 $CV_{dd}^2/2$ 的能量。能量恢复电路或绝热电路以崭新的低功耗工作原理受到了广泛的重视^[1~9]。根据不同的工作方式, 绝热电路可分为完全绝热电路和部分绝热电路两类。完全绝热电路的典型例子是 SCRL 与 RERL 电路, 只能实现可逆逻辑, 电路十分复杂且工作频率较低, 但可达到很高的能量恢复效率^[1]。半绝热电路结构简单, 并可将电路的大部分能量回收, 是较为实用的能量恢复电路。典型的半绝热电路

有 ECRL^[2], 2N-2N2P^[3], PAL-2N^[4] 等。尽管与传统的静态 CMOS 电路相比, 这些电路的功耗都较低, 但或是由于电路的输出波形失真严重, 输出端存在悬空现象和中间电平现象, 或是由于电路功率时钟之间关系过于复杂, 电路的实现较为困难, 这些都将影响复杂电路的工作。

本文在讨论了 PAL-2N 电路缺陷的基础上, 提出两种 EPAL (efficient PAL) 电路。与 PAL-2N 相比, 该二类电路输出信号波形有着明显的改善, 使电路可以工作于更高的频率; 同时该二类电路的功耗也有显著的下降并有较好的驱动负载能力。最后介绍了二类 EPAL 电路的基本设计方法。

2 PAL-2N 电路的工作原理及其缺陷

PAL-2N 电路^[4]是采用四相功率时钟的绝热电路。图 1 是 PAL-2N 的反相器/缓冲器电路及其理想的工作波形。该电路的工作原理为: 在①时, $\text{clk}_y = 0$, 输出信号 y 和 y_b 均处于 0 电位, NM3, NM4, PM1 和 PM2 均截止, x 从 0 电位开始上升至

谢小平 男, 硕士, 目前主要从事数字逻辑和低功耗数字集成电路设计的研究。

阮晓声 男, 副教授, 目前主要从事数字逻辑和低功耗数字集成电路设计的研究。

2003-10-12 收到, 2004-05-19 定稿

©2004 中国电子学会

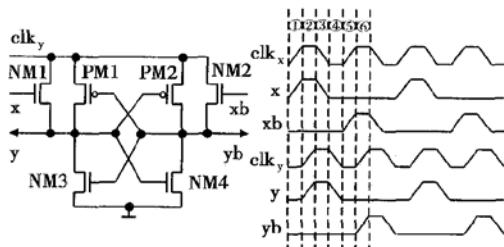


图 1 PAL-2N 反相器/缓冲器电路及工作波形

Fig. 1 PAL-2N inverter/buffer circuit and its operation waveforms

$V_{clk_{max}}$, NM1 导通, 而 $x_{b}=0$, NM2 截止, 输出端 y_b 处于悬空状态. 在②时, $x=1$, NM1 导通, y 随 clk_y 信号上升, 当其上升到 V_{thp} 电平时, PM1 导通, 而上升到 V_{thn} 电平时, NM4 导通, 保证 $y_b=0$, 维持 PM1 导通; 在 PM1 的作用下, y 继续随 clk_y 信号上升至最大值, 其间当 y 上升到 $V_{clk_{max}} - V_{thn}$ 时, NM1 截止. 在③时, x 开始下降, 由于 clk_y 保持在高电平, $y_b=0$, 保证 PM1 的导通, y 保持与 clk_y 信号相同的高电平, 电路处于相对稳定的时期. 在④时, clk_y 信号开始下降, 开始时 PM1 仍导通, y 信号随 clk_y 信号开始下降, 当其下降到 V_{thn} 电平时, NM4 开始截止, 但由于节点电容 y_b 仍保持为 0, 当 clk_y 信号继续下降到 V_{thp} 电平时, PM1 截止, 由于此时 NM1 仍截止, y 信号已不能随 clk_y 信号下降而一直保持在该电平附近. 在⑤时, $clk_y=0$, PM1 和 PM2 均截止, $x=0$, NM1 截止, 输入信号 x_b 开始上升, 当它达到 V_{thn} 电平时, NM2 开始导通, y_b 保持与 clk_y 信号相同的 0 电平, NM3 截止, 故 y 信号一直保持在 V_{thp} 电平附近. 直到⑥时, 由于 y_b 随 clk_y 信号上升到 V_{thn} 电平而使 NM3 导通, y 节点上的电荷才放电而使 $y=0$. 然而若在⑥时有一和 y 节点邻近的 i 节点电平由 0 上升到 V , 则该信号的变化将通过耦合电容 C_i 对 y 信号产生影响, 若输出节点的等效电容为 C_y , 则在最坏的情况下将使 y 的电平抬高 $\Delta V_y^{[8]}$.

$$\Delta V_y = \frac{C_i}{C_y + C_i} \times V \quad (1)$$

这时, y 的电平将变为:

$$V_y = \frac{C_i}{C_y + C_i} \times V + |V_{thp}| \quad (2)$$

V_y 电压将导致 NM4 进入弱导电状态, 由于此时 x_b 为高电平, NM2 导通, 因此通过 NM2 和 NM4,

功率时钟与地之间形成了直接通路, 从而产生了较大的非绝热功耗.

3 EPAL 电路的基本结构及能耗分析

由 PAL-2N 电路的工作波形可知, y 信号由 1 → 0 的过程中, x_b 的相位比 y_b 超前 90°, 若用 x_b 控制 NMOS 管可使 y 节点提前放电, 于是得到二类 EPAL1 和 EPAL2 电路. 图 2(a) 是二类 EPAL 的反相器/缓冲器电路. 与 PAL-2N 电路一样, 多级 EPAL 电路使用逐级相位落后 90° 的四相功率时钟, 如图 2(b) 所示.

3.1 EPAL 电路的模拟

利用 $1.2\mu m$ 的 CMOS 工艺参数^[10] 对五级 PAL-2N^[4], EPAL1 和 EPAL2 反相器/缓冲器电路进行 PSPICE 模拟. 模拟中采用逐级相位落后 90°, 峰峰值为 5V, 直流偏移为 2.5V 的四相正弦功率时钟; 并采用 LEVEL3 模型的 MOS 管, W/L 为 $1.8\mu m/1.2\mu m$; 电路输出级的每一个节点都接上 $20fF$ 的负载电容; 输入信号采用 0101…序列的传统电平信号. 模拟结果如图 2 所示. 图 2(c) 是 $200MHz$ 功率时钟时三种电路的输入/输出波形, 图 2(d) 是 $25MHz$ 功率时钟时三种电路的能耗比较图. 表 1 为不同频率功率时钟时三种电路的功耗比较. 表 2 为 $200MHz$ 功率时钟时三种电路在不同负载时的功耗比较.

表 1 不同时钟频率下的功耗比较

 μW

Table 1 Power dissipation at different clock frequencies

 μW

Circuit	10MHz	25MHz	50MHz	100MHz	200MHz	400MHz
PAL-2N	4.13	6.8	12.3	27.8	77.9	267.9
EPAL2	0.72	2.2	5.1	14.7	44.2	135.8
EPAL1	0.70	2.4	6.4	19.8	64.0	205.5

表 2 时钟频率 $200MHz$ 时不同负载下的功耗比较 μW Table 2 Power dissipation with different load at $200MHz$ clock μW

Circuit	0fF	10fF	20fF	40fF	50fF	60fF
PAL-2N	36.5	52.8	77.9	160.0	222.3	294.0
EPAL2	21.4	29.8	44.2	87.2	114.3	144.0
EPAL1	35.0	46.8	64.0	110.9	139.5	170.4

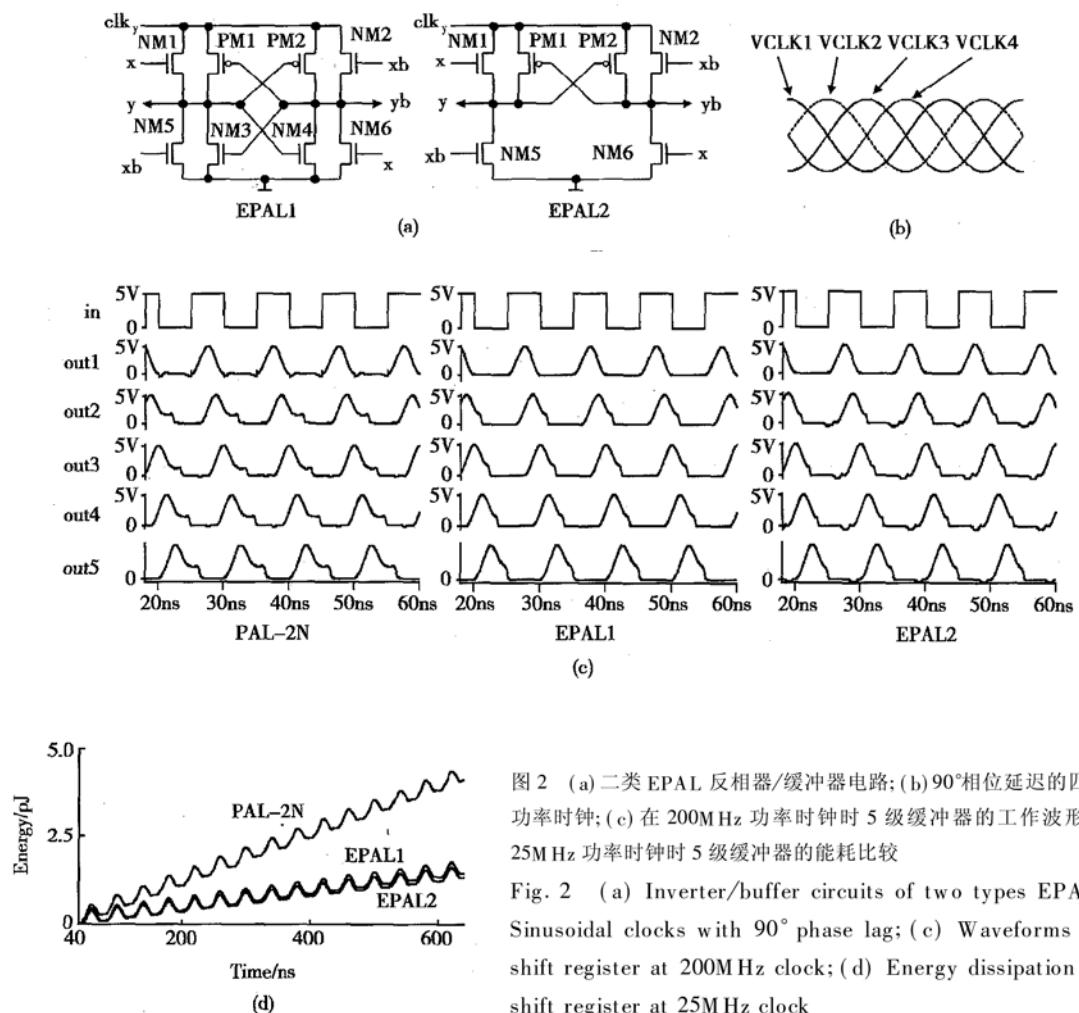


图 2 (a) 二类 EPAL 反相器/缓冲器电路; (b) 90°相位延迟的四相正弦功率时钟; (c) 在 200MHz 功率时钟时 5 级缓冲器的工作波形; (d) 在 25MHz 功率时钟时 5 级缓冲器的能耗比较

Fig. 2 (a) Inverter/buffer circuits of two types EPAL; (b) Sinusoidal clocks with 90° phase lag; (c) Waveforms of 5bit shift register at 200MHz clock; (d) Energy dissipation of 5bit shift register at 25MHz clock

从模拟结果可以看出,在电路的波形方面,EPAL1 和 EPAL2 电路的输出波形畸变明显小于 PAL-2N 电路。在功耗方面,在 10MHz 功率时钟时 EPAL1 电路比 PAL-2N 电路有约 83.1% 的功耗节省,EPAL2 电路的功耗节省也达 82.6%;400MHz 功率时钟时,EPAL2 电路比 PAL-2N 电路仍有约 50% 的功耗节省,EPAL1 电路的功耗节省也达 23%。需要指出的是,功率时钟频率达到 800MHz 时,20fF 电容负载的 PAL-2N 电路输出级已经不能正常工作,而同样负载的 EPAL1 和 EPAL2 电路仍有正确的输出。电路的负载特性方面,EPAL1 和 EPAL2 电路的负载能力都要强于 PAL-2N 电路;尤其是 EPAL2 电路,在 200MHz 时钟频率时各种负载电容的条件下均比 PAL-2N 电路有超过 40% 的功耗节省。因此无论从输出信号的波形,电路的功耗、最高工作频率还是负载能力,EPAL1 和 EPAL2 电路都要明显强于 PAL-2N 电路,电路性能的提高

是明显的。

3.2 PAL-2N 与 EPAL 电路的能耗分析比较

PAL-2N 反相器/缓冲器电路的能耗主要由三个部分组成。

(1) 绝热能耗部分

当采用梯形功率时钟时,一个时钟周期内,PAL-2N 电路的绝热能耗部分可用(3)式表示。

$$E_{ad} = 2(C_y R/T) C_y V^2 \quad (3)$$

其中 C_y 为节点 y 的电容; R 为 MOS 管的等效电阻; V 为时钟信号的逻辑摆幅; T 是功率时钟信号的周期。这部分能耗只占了电路能耗的极小部分。

(2) 直通状态时的非绝热能耗 E_d

前面已经指出,在工作波形⑥时存在一段时间,由于 NM4 弱导通而 NM2 导通,造成功率时钟直接通地,这种状态一直持续到 y_b 上升到 V_{thn} 时由于 NM3 的导通, y 点通过 NM3 放电而结束。事实上,

这部分能耗是比较大的, 功率时钟频率较低时对 PAL-2N 电路总的能耗产生很大的影响。以五级反相器/缓冲器电路为例, 图 3 是在 10MHz 功率时钟时电路的实际工作波形。从图中不难看出, 当 NM4 弱导通时, 它的电流最大可达 $25\mu A$, 而且持续了较长的时间, 因此产生很大的非绝热能耗。在一个时钟周期内由于直通在 NM4 和 NM2 上产生的能耗高达 356fJ。

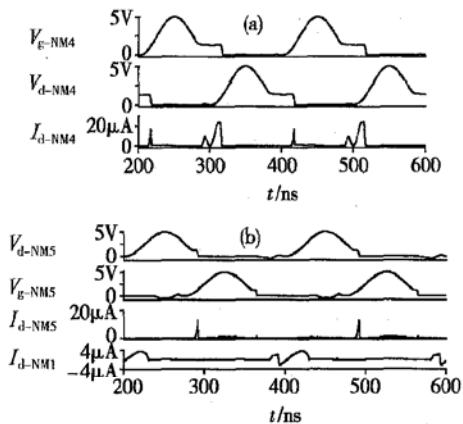


图 3 PAL-2N (a) 和 EPAL (b) 电路 MOS 管的实际工作波形

Fig. 3 MOS transistor actual operating waves of PAL-2N (a) and EPAL circuit (b)

(3) 节点 y 放电时的非绝热能耗

当 NM3 导通时, 由(2)式可知此时 y 节点的电位为 V_y , 它通过 NM3 放电时电路消耗的能量为:

$$E_n = \frac{1}{2} C_y V_{thp}^2 \quad (4)$$

模拟中, 一个时钟周期内电路的这部分能耗为 48fJ, 由此可得 PAL-2N 电路总的能耗为:

$$E_{PAL-2N} = E_{ad} + E_d + E_n \quad (5)$$

对于 EPAL 的反相器/缓冲器电路, 绝热能耗部分与 PAL-2N 电路基本相同。由于 NM5 和 NM6 的存在, EPAL2 电路第二部分的能耗 E'_d 有明显的减小。由图 3 可知, 除了节点放电时产生的电流外, NM5 几乎不存在 PAL-2N 电路中的直通电流。然而 NM1 在 y 上升沿到来之前还存在很小的电流, 这是由于 x 的上升沿到来前, xb 在变为 0 过程中, y 处于悬空状态, 通过寄生电容使 y 略有下降, 当 x 上升时 NM1 将提前导通, y 不能立刻随时钟变化, 于是 NM1 产生了非绝热能耗。模拟中这部分功耗仅 38fJ。由于 NM3 和 NM4 的存在, EPAL1 的这种现象轻微得多, 这部分能耗极小, 模拟中小于 10fJ。

EPAL2 电路 y 节点的放电是通过 NM5 实现的, 因此 y 节点放电时电路消耗的能量为:

$$E_{nE} = \frac{1}{2} C_y V_{thp}^2 \quad (6)$$

由于 $|V_{thp}| < V_y$, 故 $E_{nE} < E_n$, 模拟中电路的这部分能耗为 28fJ。由于 NM3 和 NM4, EPAL1 电路的节点电容比其他两类电路稍大, 模拟中这部分能耗达到 50fJ。这样, EPAL 电路总的能耗为:

$$E_{EPAL} = E_{ad} + E'_d + E_{nE} \quad (7)$$

比较(5)和(7)式, 不难看出 EPAL 电路比 PAL-2N 的相应电路有明显的能耗节省。

4 EPAL 电路的设计

EPAL 电路的基本结构如图 4(a) 所示。其中 N1, N2, N3, N4 网络均由 NMOS 管所组成。N1 网络实现原变量输出的 1, N2 网络实现原变量输出的 0, 而 N3 网络实现反变量输出的 1, N4 网络实现反变量输出的 0, 由原变量和反变量的关系不难得到 N1, N4 网络具有相同的电路结构, 同样 N2, N3 网络也具有相同的电路结构。用适当的 NMOS 网络来取代 N1, N2, N3, N4 网络即可得到与/与非门、或/或非门等电路。

以一位二选一数据选择器为例来说明 EPAL 电路的设计方法。若用 $in_1, in_{1b}, in_2, in_{2b}$ 分别表示两个输入变量的原变量和反变量, s, sb 分别表示选择控制信号的原变量和反变量, 则数据选择器的原变量输出函数可表示为: $f = in_1 \cdot s + in_2 \cdot sb$, 而反变量输出函数可表示为: $f_b = (in_{1b} + sb)(in_{2b} + s)$, 由上两式可得一位二选一数据选择器的 EPAL1 和 EPAL2 电路, 图 4(b) 所示的是 EPAL2 结构的一位二选一数据选择器电路。

利用 $1.2\mu m$ 的 CMOS 工艺参数^[10] 对 PAL-2N^[4], EPAL1 和 EPAL2 二选一数据选择器电路进行 PSPICE 模拟。模拟条件与前面基本相同。输入钟控信号的时序如图 4(c) 所示。图 4(c) 为在 100MHz 功率时钟时三种电路的输入与输出信号波形, 图 4(d) 是不同频率功率时钟时的功耗比较。

模拟结果表明, 与 PAL-2N 电路比, 输出信号从 $1 \rightarrow 0$ 时, EPAL1 和 EPAL2 电路的输出波形有着明显的改善; 在电路的功耗方面, 10MHz 功率时钟频率时 EPAL2 电路的功耗有 59.8% 的节省,

EPAL1 电路的功耗有 60.1% 的节省, 而在 200MHz 功率时钟频率时, EPAL2 电路节省功耗 39.7%,

EPAL1 电路节省功耗 28.9%, 因此功耗的节省也是明显的。

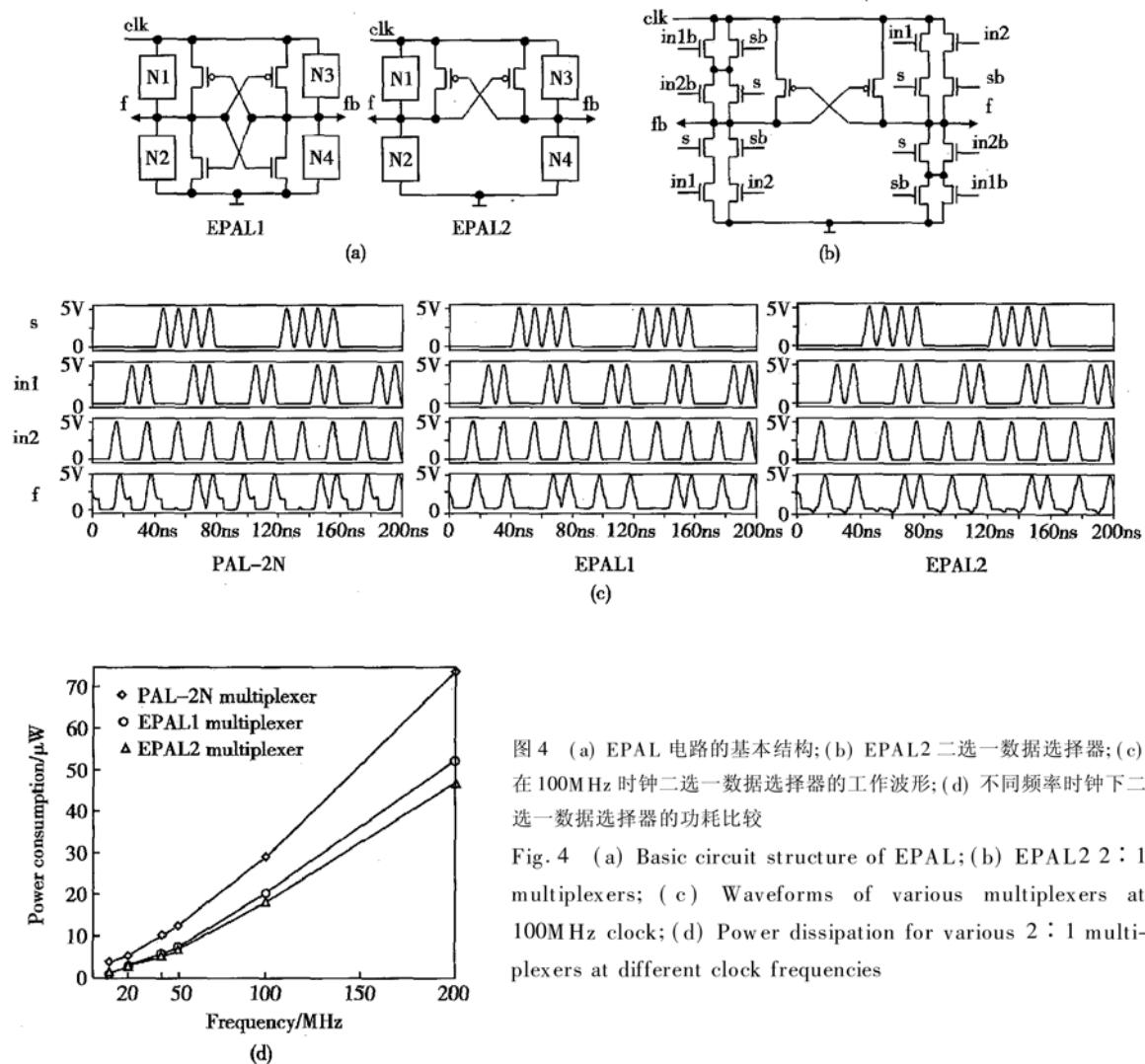


图 4 (a) EPAL 电路的基本结构; (b) EPAL2 二选一数据选择器; (c) 在 100MHz 时钟二选一数据选择器的工作波形; (d) 不同频率时钟下二选一数据选择器的功耗比较

Fig. 4 (a) Basic circuit structure of EPAL; (b) EPAL2 2 : 1 multiplexers; (c) Waveforms of various multiplexers at 100MHz clock; (d) Power dissipation for various 2 : 1 multiplexers at different clock frequencies

5 结论

本文提出了两种 EPAL 电路, 并讨论了两种电路的基本设计方法。这两类电路的输入信号不仅可以用传统的电平信号(即矩形波信号), 也可以采用钟控信号。与 PAL-2N 的同类电路相比, 这两类电路的输出波形有了较明显的改善, 有利于电路工作频率的提高。与 PAL-2N 一样, 这两类电路有着明显的能量恢复特征, 电路的功耗有着较为明显地降低, 同时有更好的驱动负载能力。

需要指出的是, 与 EPAL1 电路相比, EPAL2 电路由于缺少了两个 NMOS 管 NM3 和 NM4, 因此

在输出信号为 0 时的后半段由于 NM5 或 NM6 的截止会出现一小段时间的悬空现象, 但由于此时电路恰好处于恢复期, 因此由于寄生电容的作用使得输出信号向低于 0V 的方向变化, PSPICE 的模拟证明了这一点。由于两个 NMOS 管 NM3 和 NM4 的存在, EPAL1 电路基本上消除这种输出端的悬空现象。因此可以预见, 该电路的抗干扰性应该要好于 EPAL2 电路。

参考文献

- [1] Li Xiaomin, Qiu Yulin, Chen Chaoshu. Design of low voltage charge recovery logic circuit. Chinese Journal of Semiconductors, 2001, 22(10): 1352 (in Chinese) [李晓民, 仇玉林, 陈潮

- 枢. 低电压 Charge-Recovery 逻辑电路的设计. 半导体学报, 2001, 22(10): 1352]
- [2] Moon Y, Jeong D K. An efficient charge recovery logic circuit. IEEE J Solid-State Circuits, 1996, 31(4): 514
- [3] Wu Xunwei, Hang Guoqiang. Energy recovery circuits with cross-coupled structure. Chinese Journal of Circuits and Systems, 2000, 5(2): 1(in Chinese) [吴训威, 杭国强. 具有交叉耦合结构的能量恢复型电路. 电路与系统学报, 2000; 5(2): 1]
- [4] Liu F, Lau K T. Pass-transistor adiabatic logic with NMOS pull-down configuration. Electron Lett, 1998, 34(8): 739
- [5] Oklobdzija V G, Maksimovic D, Lin Fengcheng. Pass-transistor adiabatic logic using single power-clock supply. IEEE Trans Circuits Syst-II, 1997, 44(10): 842
- [6] Ye Yibin, Roy K. Quasi-static energy recovery logic. IEEE J Solid-State Circuits, 2001, 36(2): 239
- [7] Kim Suhwan, Marios C. Papaefthymiou. True single-phase adiabatic circuitry. IEEE Trans Very Large Scale Integr (VLSI) Syst, 2002, 9(1): 52
- [8] Hang Guoqiang, Wu Xunwei. Adiabatic CMOS switching circuits adopting two-phase power-clock supply and avoiding floating output. Chinese Journal of Semiconductors, 2001, 22(3): 366(in Chinese) [杭国强, 吴训威. 采用二相功率时钟的无悬空输出绝热 CMOS 电路. 半导体学报, 2001, 22(3): 366]
- [9] Li Xiaomin, Qiu Yulin, Chen Chaoshu. A type of bootstrapped charge-recovery logic circuit. Chinese Journal of Semiconductors, 2000, 21(9): 887(in Chinese) [李晓民, 仇玉林, 陈潮枢. 一种利用自举效应的 Charge-Recovery 逻辑电路. 半导体学报, 2000, 21(9): 887]
- [10] Li Shutao, He Yigang, Wu Jie. A CMOS low-voltage and low-power high-pass filter with tunable cut-off frequency. Journal of China Institute Communications, 1997, 18(9): 62(in Chinese) [李树涛, 何怡刚, 吴杰. 截止频率可调的 CMOS 低电压低功率高通滤波器. 通信学报, 1997, 18(9): 61]

Two Types EPAL Adiabatic Logic Circuits

Xie Xiaoping and Ruan Xiaosheng

(Department of Physics, Zhejiang University, Hangzhou 310031, China)

Abstract: Based on the causation analysis of shortage of PAL-2N circuits, two types of EPAL circuits are proposed. For cascading purpose, four sinusoidal clocks with 90° phase lag are employed. The design method of EPAL circuits is also discussed and the circuits designed by this method are simulated by PSPICE at different clock frequencies and loads using 1.2μm CMOS technology. Simulation results show that functions of EPAL circuits designed by this method are proved correct. For a 5bit shift register, power savings above 80% are achieved by two types of EPAL circuits, compared with PAL-2N circuit at 10MHz, and can reach 23% and 50% respectively at 400MHz. The power dissipations of EPAL circuits are obviously lower than that of PAL-2N homologous circuits. EPAL circuits can work at higher clock frequency and have larger load capacity and slighter distortion of their outputs.

Key words: energy recovery; low power design; adiabatic switching; CMOS

EEACC: 1265A; 1265B; 2570D

Article ID: 0253-4177(2004)11-1526-06

Xie Xiaoping male, master. He is engaged in the study of digital logic and design of low power digital integration circuits.

Ruan Xiaosheng male, associate professor. He is engaged in the study of digital logic and design of low power digital integration circuits.

Received 12 October 2003, revised manuscript received 19 May 2004

©2004 The Chinese Institute of Electronics