

CMOS/SOI 64Kb 静态随机存储器

刘新宇¹ 韩郑生¹ 周小茵¹ 海潮和¹ 刘忠立² 吴德馨¹

(1 中国科学院微电子研究和发展中心, 北京 100029)

(2 中国科学院半导体研究所, 北京 100083)

摘要: 对一种 CMOS/SOI 64Kb 静态随机存储器进行了研究, 其电路采用 $8K \times 8$ 的并行结构体系. 为了提高电路的速度, 采用地址转换监控 (Address-Translate-Detector, ATD)、两级字线 (Double-Word-Line, DWL) 和新型的两级灵敏放大等技术, 电路存取时间仅 40ns; 同时, 重点研究了 SOI 静电泄放 (Electrostatic-Discharge, ESD) 保护电路和一种改进的灵敏放大器, 设计出一套全新 ESD 电路, 其抗静电能力高达 4200—4500V. SOI 64Kb CMOS 静态存储器采用 $1.2\mu\text{m}$ SOI CMOS 抗辐照工艺技术, 芯片尺寸为 $7.8\text{mm} \times 7.24\text{mm}$.

关键词: ATD 电路; DWL 技术; SOI ESD 电路; 两级灵敏放大器

EEACC: 2570D; 2570F

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2001)01-0047-06

1 引言

九十年代以来, 随着航天航空事业的高速发展, 对大容量、高速、高可靠性、抗辐照的静态存储器需求越来越多. 国内、外各大公司分别推出了体硅的 1Mb、4Mb、64Mb 甚至 256Mb 的静态存储器. 由于体硅材料和器件结构的限制, 在辐照条件下, 电路性能急剧恶化, 无法满足航天航空事业的需求. 这样, 就迫切需要研制出具有优良辐照性能的材料和电路.

绝缘体上的硅(SOI)技术^[1-3], 以其独特的材料结构有效地克服体硅材料的不足, 充分发挥了硅集成技术的潜力, 它被称为“二十一世纪的硅集成电路技术”. SOI 技术与体硅技术相比具有如下特点: 无闩锁效应; 源、漏寄生电容小; 易于形成浅结和全介质隔离; CMOS 工艺更为简单; 较好地抑制短沟道效应; 低压低功耗; 优良的抗辐照能力. 这些特性都决定 SOI 技术将是研究和开发高速度、低功耗、高可靠性的深亚微米级超大规模集成电路和超高速集

成电路的重要技术. 特别在抗辐照领域, SOI 技术由于其材料结构的特点, 器件仅制做在很小的硅岛上, 源漏结构面积小且存在背栅调控作用, 这些都有利于 SOI 技术在抗辐照加固领域的应用.

1991 年, 美国 Harris 公司推出 $8K \times 8$ SOS CMOS/ SRAM^[4], 其存取时间为 50ns, 抗 SEU $< 1 \times 10^{-12}$ Errors/Bit-Day, 抗剂量率 $> 1 \times 10^{11}$ Rad(Si)/s; 1996 年, Brady^[5] 等研制出 1Mb 全耗尽(FD) SOI SRAM; 1998 年, Liu^[6] 等研制出抗总剂量加固的 256K SOI SRAM. 为了满足我国宇航和国防事业的飞速发展, 我们选择 SOI 64Kb SRAM 电路作为研究的重点和突破点. 该电路采用 $1.2\mu\text{m}$ SOI CMOS 抗辐照工艺技术, 其六管存储单元尺寸较小, 为 $12.8\mu\text{m} \times 8.4\mu\text{m}$, 芯片尺寸为 $7.8\text{mm} \times 7.24\text{mm}$.

2 CMOS/SOI 64Kb 静态随机存储器设计

2.1 电路结构

CMOS/SOI 64 Kb 静态随机存储器采用 $8K \times$

刘新宇 男, 1973 年出生, 博士研究生, 现从事 PD/FD SOI 工艺、电路和抗辐照特性研究.

韩郑生 男, 1965 年出生, 高级工程师, 现从事 PD/FD SOI 电路设计和工艺研究.

吴德馨 女, 中国科学院院士, 长期从事体硅、SOI 和 GaAs 工艺及电路研究.

2000-03-15 收到, 2000-05-07 定稿

8 并行结构体系. 图 1 为它的电路功能图, 从图中可见 CMOS/SOI 64 Kb 静态存储器由外围电路和存储单元两大部分组成. 外围电路主要包括地址缓

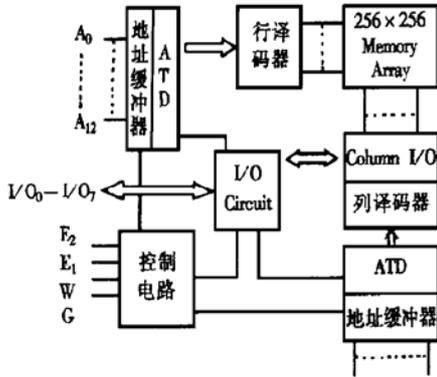


图 1 CMOS/SOI 64Kb 静态存储器电路功能图

FIG. 1 Functional Diagram of CMOS/SOI 64Kb SRAM

冲器、I/O 缓冲器、ESD (Electrostatic Discharge) 电路、ATD (Address-Translate-Detector) 电路、预译码器和控制电路等, 它共有 27 个端口, 分布在芯片的上下端, 其中 A_0 — A_{12} 为地址端, DQ_0 — DQ_7 为数据双向口, E_1 、 E_2 、 G 和 \bar{W} 为控制端. 其状态真值表见表 1. SOI 64Kb CMOS 静态存储器采用 DWL (Double-Word Line)^[7] 结构 (见图 2), 它由三级字译码器 (预译码器、主字译码器和区字译码器) 和两

表 1 SOI 64Kb 静态存储器真值表

Table 1 Truth Table of CMOS/SOI SRAM

E_1	E_2	\bar{G}	\bar{W}	MODE
×	0	×	×	Low Power Standby
1	1	×	×	Disable
0	1	1	1	Enable
0	1	0	1	Read
0	1	×	0	Write

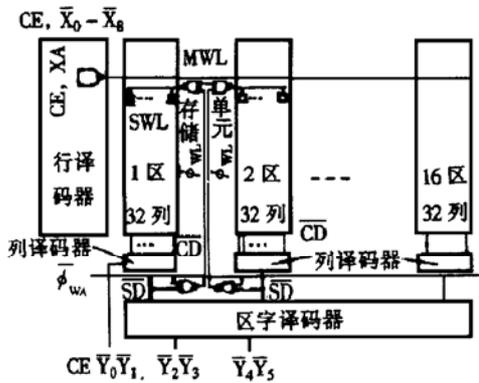


图 2 SOI 64Kb 静态存储器电路结构图

FIG. 2 Schematic Diagram of Circuit of SOI 64Kb SRAM

级字线 (主字线 (Main Word Line, MWL) 和区字线 (Section Word Line, SWL)) 组成. 地址信号 XA ($X_0, X_1, \bar{X}_0, \bar{X}_1$) 经预译码器驱动放大后, 进入主字译码器, 产生主字选信号驱动主字线, 主字线贯穿整个芯片, 它并不直接驱动 64×4 存储单元, 仅驱动 4 位区字译码器; 为了降低字线延迟, 主字线采用一次金属线; 主字选信号和区选信号经区字译码器译码产生区字选信号, 它仅直接驱动 16 个存储单元, 负载极大地降低, 电路速度得以提高. 同时, 采用 DWL 结构, 电路每次仅有 16 个存储单元被激活, 电路功耗得以降低. 内部存储电路由 265 行 \times 265 列单元组成, 它包括 8 个相同的 128×64 单元块、行译码器和主字译码器, 每单元块分为 4 个单元区、区选择电路和主灵敏放大器, 每区由 128 列 \times 16 行单元电路、预充电电路、写电路和第一级主灵敏放大器等组成. CMOS/SOI 64Kb 静态存储器的存储单元采用六管单元结构, 单元尺寸较小, 为 $12.8 \mu\text{m} \times 8.4 \mu\text{m}$, 其版图见图 3.

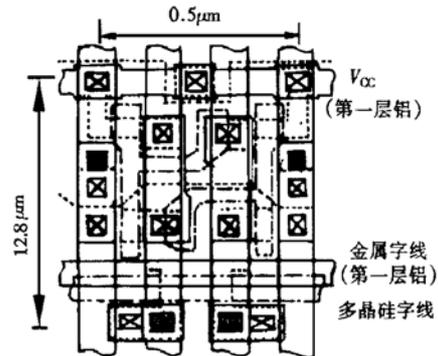


图 3 存储单元版图

FIG. 3 Layout of Storage Cell

在 SOI CMOS 静态存储器中, 采用了 ATD、DWL 和两级灵敏放大等技术, 缩短了存取时间, 降低了功耗. 通过模拟, 电路存取时间仅为 37ns, 最小静态电流为 $700 \mu\text{A}$ (Standby), 最小工作电流为 70mA.

2.2 地址转换监控 (ATD) 电路^[8]

在 CMOS 静态存储器电路中, 每当数据存取或地址信号发生变化时, 各级单元的位线、数据读写信号线和灵敏放大器的输入、输出端都需进行充电和均衡, 我们采用 ATD 技术产生信号作为基本时钟对其进行控制. ATD 电路见图 4, 它分为两大部分,

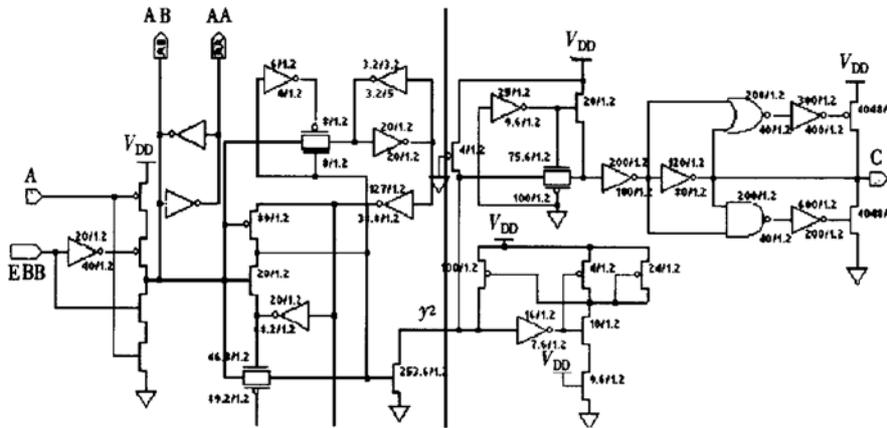


图 4 地址转换监控电路图

FIG. 4 ATD (Address-Translate-Detector) Circuit

前半部分用于产生 y_2 信号, y_2 信号通常为高电平, 当地址 XA 信号发生变化时, 在其上升沿和下降沿将产生一个向下的脉冲; 电路后半部分对 y_2 信号进行整形和加大驱动能力, 产生了 ATD 信号. 作为内部基本时钟, ATD 信号的脉宽是至关重要的, 特别是对于高速的静态存储器, 若 ATD 信号脉宽过宽, 将影响数据的存取的存取速度; 若 ATD 信号脉宽过窄, 各级位线和信号线不能充分地均衡, 可能导致数据读写发生错误. 为此, 我们用 HSPICE 对 ATD 电路进行模拟以获取适当的 ATD 信号脉宽, ATD 电路模拟结果见图 5.

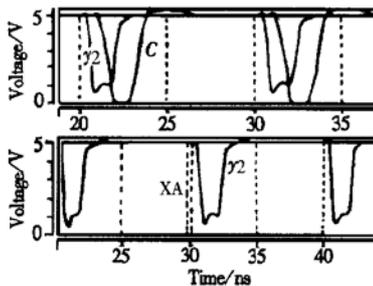


图 5 ATD 电路模拟结果

FIG. 5 Simulation Result of ATD Circuit

2.3 灵敏放大器

SOI 64Kb CMOS 静态存储器采用新型的两级灵敏放大技术. 第一级采用改进的交叉耦合灵敏放大器, 电路原理图见图 6(a). 其工作原理如下: 当 HY 为: '0'、C 为 '1' 时, M1—M8 形成交叉耦合的两级源跟随器, M1—M4 形成第一级交叉耦合源跟随器. 若 H_1 不变, I_1 下降, 引起 V_2 下降, 使 M3 电

阻变大, V_1 上升, 反馈再使 M4 电阻减少, V_2 进一步下降, 形成正反馈, 直至稳定, 这种正反馈有利于提高放大倍数和电压分辨率; M5—M8 形成驱动放大级, 产生放大信号 H_2 (高电位) 和 I_2 (低电位). 在 SOI 64Kb CMOS SRAM 中, 为了进一步提高电路速度和电压分辨率, 我们借鉴 SOI 可变阈值 MOS 技术, 利用部分耗尽 SOI 器件所特有“浮体”效应对常规的交叉耦合灵敏放大器进行改进, 在电路中增加 M9、M10 和 M11、M12, 并将 M5 和 M7 由三端器件改进为四端器件——将衬底引出, 通过 M9、M10、M11、M12 组成的源跟随器产生信号 F_1 和 F_2 , 将它们与 M5 和 M7 的衬底引出端相连, 利用 M5 和 M7 的“浮体”效应来提高电路的速度和电压分辨率. 每二级灵敏放大器为差分放大器 (图 6 (b)), 它对第一级放大器的信号进一步放大, 产生数据信号驱动 I/O 端口. HSPICE 模拟发现, 改进的两级灵敏放大器比常规的两级灵敏放大器延迟时间缩短 30%, 最小电压分辨率可达 0.05V.

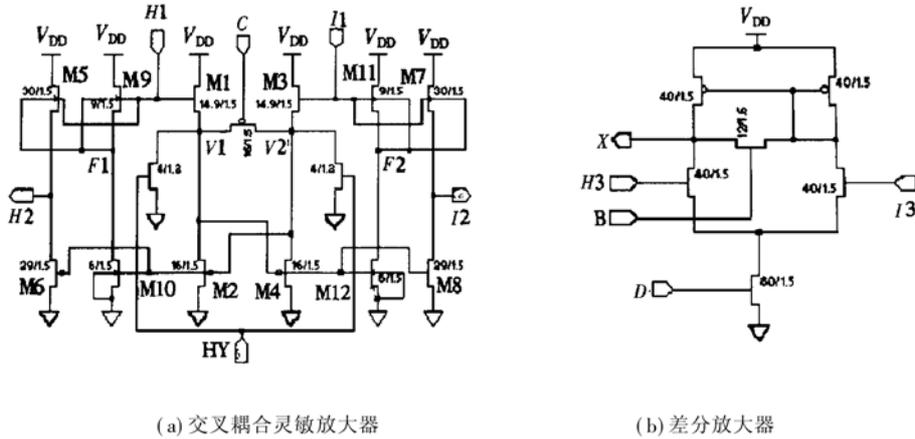
2.4 SOI 静电泄放电路

SOI 64Kb CMOS 静态存储器由于 SOI 材料的硅层很薄 (大约仅为 100—200nm), 硅层的能量耗散能力非常低. 采用体硅 ESD 电路结构, 为获取足够的抗静电能力, 泄放管的面积需很大, 同电路高速的要求相矛盾. 针对 SOI 材料的特点, 我们设计一套新的 SOI ESD 电路, 见图 7.

由于 SOI 器件能量耗散的能力较体硅器件差, 因此在保护网络中加入用于瞬间脉冲电压放电的电火花隙结构, 减少保护网络中其它器件的能量耗散.

有关电火花隙结构的报告很多^[9,10],主要采用平行或锯齿状的金属条放电结构.我们采用一种全新的电火花隙结构——多晶硅梳状放电栅,采用多晶硅栅代替金属条形成放电结构^[8],利用多晶硅熔点和无电迁移性的特点来改善电火花隙的可靠性,提高电路的抗静电电压和稳定性;同时,为了减小保护二

极管和 MOS 管的边缘漏电和浮体效应各器件均采用环型栅结构.经过工艺验证,该 SOI ESD 电路抗静电电压高达 4200—4500V;可靠性实验发现,多晶硅梳状放电栅有效放电次数优于金属条放电结构,保护效果良好.



(a) 交叉耦合灵敏放大器 (b) 差分放大器
 图 6 SOI 64Kb 静态存储器两级灵敏放大器
 FIG. 6 Two-Stage Sense-Amplifier of CMOS/SOI 64Kb SRAM (a) Cross-Coupling Sense Amplifier; (b) Differential Sense Amplifier

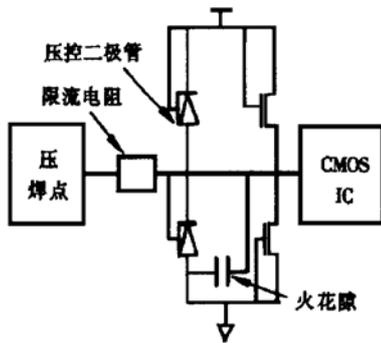


图 7 SOI ESD 电路原理图
 FIG. 7 SOI ESD Circuit

3 CMOS/SOI 64Kb 静态随机存储器测试

SOI 64Kb CMOS 静态随机存储器采用 1.2 μ m SOI CMOS 抗辐照工艺,它包括一层多晶硅和二层金属,硅片采用美国 IBIS 公司的 100mm 直径的 SIMOX 基片:硅层厚度为 180nm,埋氧厚度为 380nm.经过工艺投片,获得功能良好 SOI 64Kb 静态随机存储器芯片(见图 8),尺寸为 7.8mm \times 7.24mm.

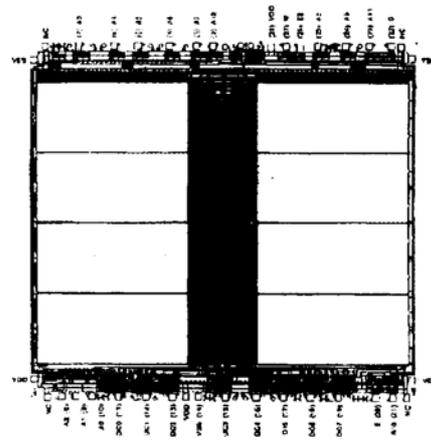


图 8 SOI 64Kb CMOS 静态随机存储器芯片照片
 FIG. 8 Photomicrograph of Chip

在 HP82000 上进行电路性能测试,芯片通过 Zero-One(all '0'和 '1')、CheckerBoard、MASEST、NARCH C、WAKRAT 等项功能测试.在芯片处于 "Read"(即 $E_1=0, E_2=1, G=0$ 和 $W=1$) 状态,工作电压为 5V、驱动负载为 100pF 时,数据读取和片选存取时间分别为 40ns 和 50ns,图 9 为数据读取和片选存取波形图.当工作频率为 2MHz 时,SOI 64Kb CMOS 静态随机存储器工作电流为 72mA.

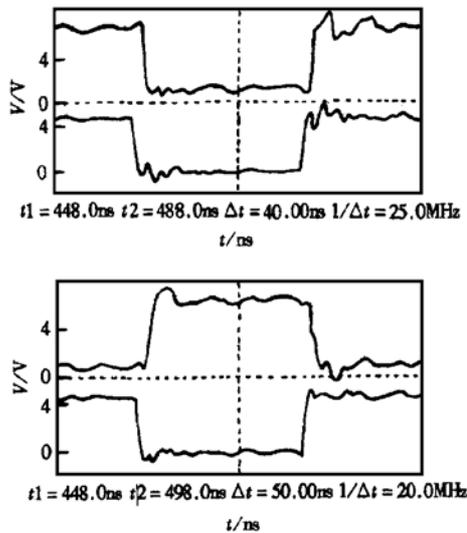


图9 数据读取和片选存取波形图

FIG. 9 Waveform of Data Readout and Chip-Enable

4 结论

本文对 SOI 64Kb CMOS 静态随机存储器设计进行了全面的研究,它分为 SOI 64Kb CMOS 静态存储器电路设计和电路测试两大部分.在电路设计中,SOI 64Kb CMOS 静态随机存储器采用 $8K \times 8$ 的并行结构体系,为了提高电路速度和降低功耗,电路采用如下技术:块存储单元采用分区技术、ATD 电路、DWL 结构和两级灵敏放大技术.同时,重点研究了 SOI ESD 保护电路和一种改进的灵敏放大器:采用多晶硅梳状放电栅结构设计出一种新的 SOI ESD 电路,其抗静电能力高达 4200—4500V;利用部分耗尽 SOI 器件所特有“浮体”效应对交叉耦合灵敏放大器进行改进,新型的两级灵敏放大器延迟时间缩短 30%,最小电压分辨率可达 0.05V.

采用 $1.2\mu\text{m}$ SOI CMOS 抗辐照工艺和设计规则,SOI 64Kb CMOS 静态随机存储器的芯片尺寸为 $7.8\text{mm} \times 7.24\text{mm}$.在 HP82000 上进行测试,当芯片处于“Read”状态,工作电压为 5V、驱动负载为 100pF 时,数据读取和片选存取时间分别为 40ns 和 50ns,当工作频率为 2MHz 时,SOI 64Kb CMOS 静态存储器最大工作电流为 72mA.

参考文献

- [1] J. P. Colinge, Silicon-On-Insulator Technology: Materials to VLSI, Boston: Kluwer Academic Publishers, 1991.
- [2] WANG Shouwu, XIA Yongwei, KONG Lingkun and ZHANG Dongxuan, Chinese Journal of Semiconductors, 1985, 6(3): 225—235(in Chinese)[王守武,夏永伟,孔令坤,张冬萱,半导体学报,1985,6(3):225—235].
- [3] XIA Yongwei and WANG Shouwu, Chinese Journal of Semiconductors, 1990, 11(12): 962—965(in Chinese)[夏永伟,王守武,半导体学报,1990,11(12):962—965].
- [4] Technical Handbook No. HS-65647RH, Harris, Company UAS[美国 Harris 公司 HS-65647RH 技术手册].
- [5] F. T. Bray, T. Brown and L. Rockett, IEEE Transactions on Nuclear Science, 1998, 45(6): 51—56.
- [6] S. T. Liu, W. C. Jenkins and H. L. Hughes, IEEE Transactions on Nuclear Science, 1998, 45(6): 57—64.
- [7] Takaysu and Mitsuo Isobe, IEEE J. Solid-State Circuits, 1984, SC-19(5): 578—584.
- [8] J. Barnes and A. L. DE Jesus, IEEE J. Solid-State Circuits, 1984, SC-19(4): 455—461.
- [9] Zhang Xing, Shi Yongquan and Huang Chang, Microelectronics and Computer, 1991, (1): 41—44(in Chinese)[张兴,石涌泉,黄敞,微电子学与计算机,1991,(1):41—44].
- [10] S. Ramaswamy, P. Raha and S. M. Kary, “EOS/ESD Protection Circuit Design for Deep Submicron SOI Technology”, in Proc. EOS/ESD Symp., 1995, 212—217.

Development of CMOS/SOI 64Kb SRAM

LIU Xin-yu¹, HAN Zheng-sheng¹, ZHOU Xiao-yin¹, HAI Chao-he¹, LIU Zhong-li² and WU De-xin¹

(1 *Research and Development Center of Microelectronics, The Chinese Academy of Sciences, Beijing 100029, China*)

(2 *Institute of Semiconductors, The Chinese Academy of Sciences, Beijing 100083, China*)

Abstract: An SOI SRAM with $8K \times 8$ concurrent system has been described. To reduce the power and raise the speed of circuit, address-transition-detection, double-word-line and double double-stage sense amplifier technology, etc. are adopted. Fast access time of 40ns is obtained. Placing great emphasis on the investigation of SOI ESD (Electrostatic-Discharge) protection circuit and the improved amplifier, a set of optimum ESD circuit is designed, which is capable of protecting from the static discharge in excess of 4200—4500V. $1.2\mu\text{m}$ SOI CMOS technology has been developed for SOI 64Kb CMOS SRAM, with the chip size of $7.8\text{mm} \times 7.24\text{mm}$.

Key words: ATD (Address-Translate-Detector) circuit; DWL (Double-Word-Line Technology); SOI ESD (Electrostatic-Discharge) Circuit; two-stage sense amplifier

EEACC: 2570D; 2570F

Article ID: 0253-4177(2001)01-0047-06

LIU Xin-yu male, was born in 1973. Now he is a Ph. D candidate and engaged in research on technology, circuit and performance of PD/FD SOI circuits.

HAN Zheng-sheng male, was born in 1965. Now he is a senior engineer and engaged in research on design and technology of PD/FD SOI circuit.

WU De-xin female, academician of The Chinese Academy of Sciences. She is engaged in technology and circuit for bulk silicon, SOI and GaAs.

Received 15 March 2000, revised manuscript received 7 May 2000

©2001 The Chinese Institute of Electronics