

薄栅氧化层相关击穿电荷*

刘红侠 郝 跃

(西安电子科技大学微电子研究所, 西安 710071)

摘要: 栅氧化层厚度的减薄要求深入研究薄栅介质的击穿和退化之间的关系。利用衬底热空穴注入技术分别控制注入到薄栅氧化层中的热电子和空穴量, 对相关击穿电荷进行了测试和研究。结果表明薄栅氧化层击穿的限制因素依赖于注入热电子量和空穴量的平衡。提出薄栅氧化层的击穿是在注入的热电子和空穴的共同作用下发生的新观点。建立了 SiO_2 介质击穿的物理模型并给出了理论分析。

关键词: 薄栅氧化层; 衬底热空穴(SHH); 击穿电荷量; 模型

EEACC: 0710N

中图分类号: TN 386. 1

文献标识码: A

文章编号: 0253-4177(2001)02-0156-05

1 引言

随着 VLSI 集成度的提高, MOS 器件的尺寸已经减小至深亚微米, 薄栅氧化层的可靠性已经成为影响 MOS 集成电路可靠性的一个重要方面^[1,2]。迄今为止仍然没有能够描述薄栅介质击穿机制的统一模型, 就目前发表的大量文章可以看出, 其物理模型大致有如下几种: (1) 界面陷阱相关击穿模型^[3], 认为新生界面陷阱和氧化层体陷阱一起造成电压的时变效应而导致介质发生击穿。(2) 新生界面陷阱相关击穿模型^[4], 认为新生界面陷阱是导致击穿的主要原因。(3) 感生共振隧穿模型^[5], 认为高场载流子是通过 SiO_2 能量间隙中存在的深缺陷态发生共振隧穿而注入薄 SiO_2 中的。(4) 空穴注入相关击穿模型^[6,7], 该统计模型用等效氧化层减薄来模拟氧化层中缺陷的产生, 该模型与物理击穿机制无关。认为由于氧化层中碰撞电离产生空穴, 当空穴流的影响达到某一值 Q_p 时, 氧化层就会发生击穿。(5) 电子陷阱产生击穿模型^[8,9], 认为氧化层中存在电子陷阱, 俘获电子引起阳极电场增加。当陷阱的产生密度 ρ 达到某一临界值, 在氧化层的两极间产生导电通

路而导致介质永久性击穿。该临界值依赖介质厚度。对 10nm 厚的介质, 该值大约为 $10^{18}\text{--}10^{19}\text{ cm}^{-3}$ 。几乎是有多少种陷阱、多少种电荷状态, 就对应有多少种击穿模型。在这五种模型中, 目前最有影响的是第四和第五种。第四种是以带间碰撞电离为基础的。但当氧化层厚度小于 10nm 时, 在低压下便发生击穿, 此时并未发生碰撞电离。现有的模型对此不能做出很好的解释。第五种模型虽然能够较好地解释许多实验现象, 但对实验中观测到的氧化层中俘获的正电荷却无法解释。目前最新研究表明电子陷阱密度与产生的空穴流直接相关, 二者的关系为 $\Delta N_{\text{ot}} = 3.3 \times 10^8 Q_p^{0.6}$, 上式不依赖氧化层电场和厚度。

栅氧化层的击穿究竟与何种因素有关是本文的研究重点。本文采用衬底热空穴注入技术, 分别控制注入到氧化层中的热电子和空穴的数量, 对两者在栅氧击穿中的作用进行了定量实验。最后指出是热电子和空穴的共同作用导致了栅氧化层的击穿, 同时给出了薄栅氧化层击穿的物理模型。

2 实验

图 1 显示出一个 n 沟道 MOSFET 与一个底部

* 国防预研基金资助项目(G9825741)。

刘红侠 女, 1968 年出生, 工程师, 博士生, 从事 VLSI 集成电路 MOS 器件退化机理、模型及薄栅介质可靠性物理研究。

郝 跃 男, 1958 年出生, 教授, 博士生导师, 主要从事 IC 可制造性设计、IC 可靠性模型与设计、新器件与新电路研究。

1999-08-20 收到, 1999-12-18 定稿

© 2001 中国电子学会

pn 结结构。底部 pn 结的作用是在正偏压下向 p 型衬底提供大量的电子。如果 p 型衬底的厚度小于电子的扩散长度, 则提供的部分电子将扩散到耗尽区, 从耗尽区的高电场中获得能量克服降低了的界面势垒注入到 SiO_2 中去。同理, 采用 p 沟道 MOSFET 与底部 pn 结结构也可以向 SiO_2 中注入空穴。利用这

种结构研究热载流子向 SiO_2 中的注入过程的主要优点是: 影响氧化层中陷阱电荷产生的参数即氧化层电场和注入到氧化层中的电流, 能够被互相独立地改变, 前者靠改变栅压, 后者则靠改变衬底偏压来实现。

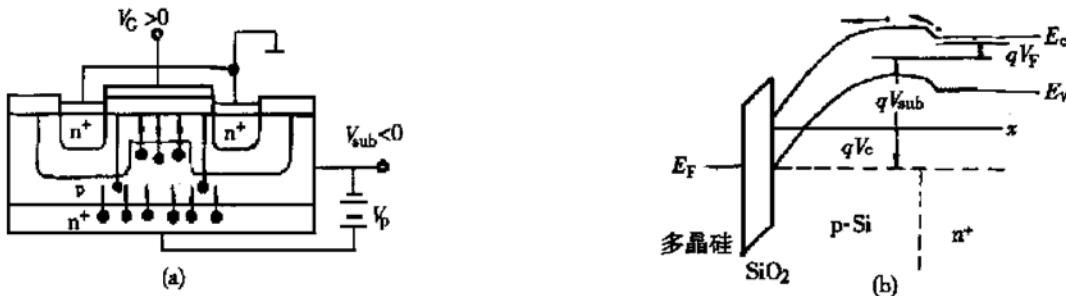


图 1 MOSFET 与底部 pn 结结构示意图 (a) 物理结构; (b) 能带结构

FIG. 1 Schematic Diagram of MOSFET and pn Junction Structure in Bottom
(a) Physical Structure; (b) Energy Band Structure

实验所用的样品为生长在 n 阵中的 p 沟道 MOSFET, 其宽长比为 $50\mu\text{m}/5\mu\text{m}$, 栅氧化层为多晶硅, 氧化层厚度为 10nm 。在实验中, MOSFET 的源极、漏极和衬底都接地。对栅介质中通过的电子流和空穴流的测量, 是通过由 HP4156B 高精度半导体参数分析仪和探针台组成的测试系统来完成的。

3 结果与讨论

图 2 是 $V_g = 11\text{V}$ 时的测试结果, 图中 I_g 代表栅电流, V_{BP} 代表底部 pn 结电压差, I_{BP} 代表底部 pn 结的注入电流, 该图显示了 V_{BP} 对 I_g 的控制作用。通过氧化层的电子电流 I_e 由栅压 V_g 控制, 空穴电流 I_h 由 n 阵和衬底间的偏压 V_{BP} 控制, 而栅电流 I_g 为电子电流 I_e 和空穴电流 I_h 之和, 即 $I_g = I_e + I_h$ 。当衬底 pn 结非正偏时, 由于内建电场的作用, 空穴并不会注入到栅氧化层中, 因而, 此时栅电流 I_g 仅由电子电流 I_e 组成, V_g 不变时, I_g 保持不变, 即 $I_g = I_e$ 。图中 I_g 大约为 -2nA , “ \leftarrow ”表明电流流出器件。当衬底 pn 结正偏时 ($V_{BP} > 0.7\text{V}$), 注入到氧化层中的空穴流 I_h 随着 V_{BP} 的增大而增大, 栅电流也就越来越大。因此通过改变 V_g 和 V_{BP} , 可以分别控制注入到氧化层中的电子电流和空穴电流。目前对于超薄栅氧化层通过 HP4156B 高精度半导体参数分析仪 (其测量精度为 10^{-15}A) 能精确的检测到隧穿过氧

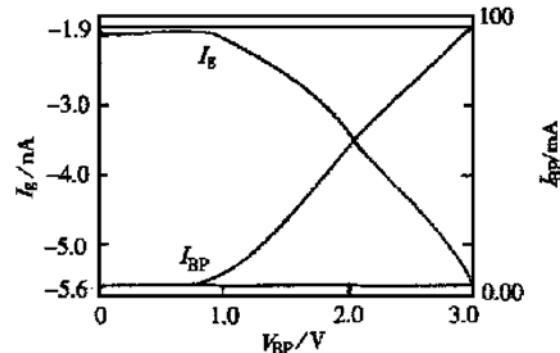


图 2 I_g 和 I_{BP} 随 V_{BP} 的变化关系

FIG. 2 Relation Between I_g , I_{BP} and V_{BP}

化层的栅电流 I_g , 对介质中俘获的电子或空穴量无法直接检测, 而栅电流 I_g 和介质中俘获的电子或空穴量之间必然存在一定的关系。但至今也未见报道有任何模型能描述这二者之间的关系。因此, 在薄栅介质击穿的研究中均采用隧穿过氧化层的栅电流 I_g 对时间的积分来近似表征介质中俘获的电荷量。HP4156B 是高精度的半导体参数分析仪, 能精确的检测到电子流 J_e 和空穴流 J_h 。在用户函数中分别定义 Q_e 、 Q_h 为 J_e 、 J_h 对时间的积分, 即可用 HP4156B 直接测定 Q_e 和 Q_h 。实验中注入到栅氧化层中的电子总量由下式表示:

$$Q_e = J_e \tau_{bd} \quad (1)$$

$$J_e = I_e / S_A \quad (2)$$

式中 J_e 为注入的电子流密度; τ_{bd} 为击穿时间; S_A 为栅氧化层面积. 同理, 实验中注入到栅氧化层中的空穴量可由下式表示:

$$Q_h = J_h \tau_{bd} \quad (3)$$

$$J_h = I_h / S_A \quad (4)$$

式中 J_h 为注入的空穴流密度. 应指出的是, 在栅压作用下由于电子注入所产生的空穴流并不会对 Q_h 产生影响, 因为其远远小于由衬底注入的热空穴电流.

首先, 在衬底 pn 结偏压 V_{BP} 恒定, 即通过栅氧化层的空穴流恒定的情况下, 研究 Q_h 、 Q_e 与注入电子流的关系. 图 3、图 4 分别显示了 Q_h 、 Q_e 与 J_e 的函数关系, 其中 J_h 保持为 $4 \times 10^{-4} \text{ A/cm}^2$, J_e 的变化由栅压 V_g 控制. 从图 3 中可看出, 在 J_e 较低的区

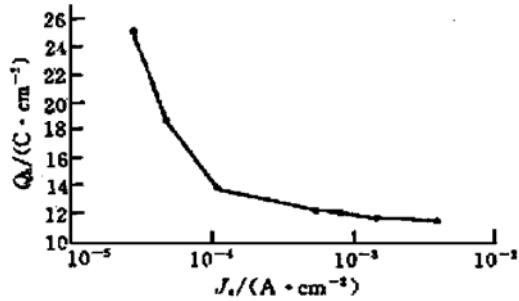


图 3 J_h 恒定时, Q_h 随 J_e 的变化

FIG. 3 Q_h as Function of J_e Under Constant J_h

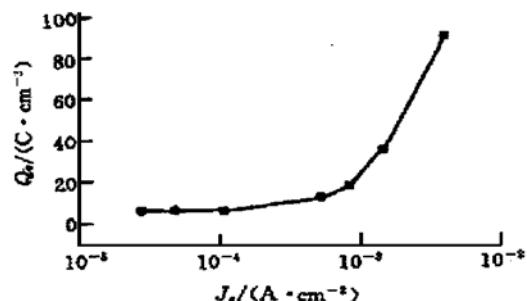


图 4 J_h 恒定时, Q_e 随 J_e 的变化

FIG. 4 Q_e as Function of J_e Under Constant J_h

域, Q_h 随 J_e 的增大明显减小. 这个实验结果表明, 在 J_e 较低的区域, Q_h 模型, 即通过栅氧化层的空穴量达到某一定值时, 栅氧就会发生击穿这一模型并不成立. 另一方面, 从图中可以看出, 图 3 中 Q_h 下降所对应的区域里, Q_e 几乎保持不变. 这些实验结果预示了在 J_e 较低的区域, 注入的热电子对栅氧化层的击穿起主导作用. 当 J_e 较高时对应典型的 F-N 隧

穿电子注入 ($J_e = 5 \times 10^{-4} \text{ A/cm}^2$) 的情况下, 随着 J_e 的增大, Q_h 逐渐下降并趋于 F-N 隧穿注入情况下的值. 另一方面, 在 J_e 较低时保持不变的 Q_e , 在 F-N 电子隧穿注入区却迅速增大. 因此, 这个结果似乎表明, 无论在衬底热空穴注入下还是在 F-N 隧穿注入下, 栅氧化层的击穿是热电子和空穴的共同作用导致的. 上述实验结果表明: 热电子的注入将在氧化层中产生陷阱, 这些陷阱俘获空穴后将导致栅氧发生击穿. 当热电子的注入量非常小时, 由热电子所产生的陷阱的数量是栅介质击穿的限制因素. 当 J_e 较小时, 产生的陷阱数量少, 俘获的空穴数目也相应减少, 因此, 在低 J_e 区域的 Q_h 值要大于高 J_e 区的 Q_h 值. 另一方面, 当大量的热电子在栅氧化层中产生足够的陷阱时, 栅介质的击穿主要由注入到氧化层中的空穴量控制, 这一方面, 与传统的模型一致.

4 薄栅氧化层击穿的物理模型

4.1 前提

模型的提出是基于以下分析:

(1) 注入到栅氧化层中的热电子, 能够破坏 Si-SiO₂ 界面转移层区域内的 Si-H、Si-OH、Si-Si 和 Si-O 等弱键, 形成(≡Si-O-)、(≡Si-) 结构的陷阱中心.

(2) 当热电子的注入量非常小时, 由热电子所产生的陷阱的数量是栅介质击穿的限制因素. 在高电场下, 当注入电子流较大时, 注入到氧化层中的空穴量是影响击穿的主要因素.

4.2 物理模型

为了证明究竟是电子还是空穴引起的氧化层击穿, 对 PMOSFET 施加不同的应力偏压, 实验结果如图 5 所示. 从图可见, 对于任意一种应力偏压, 阈值电压的增加为负, 这充分说明氧化层中陷落的是正电荷, 阈值电压随着应力时间地增加不断的向负方向漂移, 说明随着时间的增加, 正电荷不断的陷落到氧化层中. 随应力强度的增加, 阈值电压的漂移量增加, 这是由于应力强度的增加导致热电子的数量增加, 产生了更多的陷阱. 对于偏压条件 $V_g = 3\text{V}$, $V_{BP} = 1.2\text{V}$ 所对应的曲线, 阈值电压的漂移量几乎为 0. 这说明了在较低的偏压下, 无热电子的产生. 即使有空穴流的存在, 由于没有热电子注入氧化层

中打断 Si—O 键形成陷阱, 空穴不会被陷阱俘获。因此热电子的存在是氧化层击穿的必要条件。而阈值电压的漂移量为负, 有力地证明了氧化层中陷落

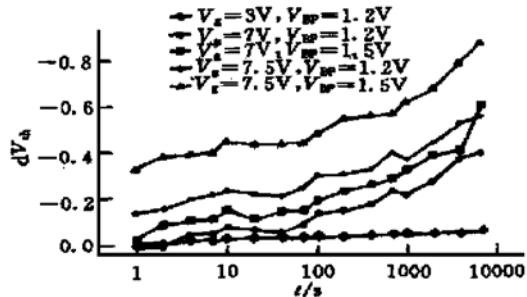


图 5 不同应力偏压下阈值电压的漂移量与时间的关系

FIG. 5 Relation Between Threshold Shift and Time

的是正电荷。基于上述实验, 认为如下所述的两步过程是导致栅氧发生击穿的原因。

第一步: 注入的热电子在栅氧化层中产生陷阱中心。注入的热电子使界面过渡层及体内的 Si—OH、Si—H、Si—O 等弱键断裂, 形成陷阱中心。

第二步: 空穴陷入注入热电子产生的陷阱中。当注入的热电子使 Si—OH、Si—H、Si—O 等弱键断裂时, 栅氧中就产生了负的陷阱中心, 将表现为空穴陷阱。一旦空穴被陷阱俘获, 就会产生($\equiv\text{Si}-$)、($\equiv\text{Si}-\text{O}-$)结构。形成的这些结构要比三维四面体结构具有更强的导电性。当该结构在栅氧化层内形成导电通路时, 栅氧化层就会发生击穿。整个击穿过程如图 6 所示。

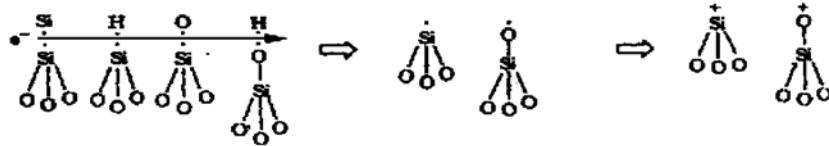


图 6 击穿过程示意图

FIG. 6 Schematic Diagram of Breakdown Process

5 结论

本文利用衬底热空穴注入技术分别控制注入到栅氧化层中的热电子和空穴量, 对栅氧的击穿机理进行了研究。结果显示在注入的空穴电流恒定时, 总的击穿空穴量 Q_b 在电子流较低时并不恒定, 即在 J_e 较低时, Q_b 随 J_e 的增大而减小。然而在这一区域, 总的击穿电子量 Q_e 却保持恒定。在 Q_b 恒定时, Q_e 却随 J_e 的增大而增大。这表明栅氧化层击穿的限制因素依赖于注入热电子量和空穴量的平衡。当注入热电子量非常少时, 注入热电子所产生的空穴陷阱的数量是栅介质击穿的限制因素; 当注入热电子量较大时, 注入的空穴量是影响击穿的主要因素。栅氧化层的击穿是在注入的热电子和空穴的共同作用下发生的。提出了栅氧击穿的物理模型, 认为栅氧化层的击穿是一个两步过程: 第一步是注入的热电子在栅氧化层中产生陷阱中心, 表现为空穴陷阱; 第二步是空穴被氧化层中的陷阱俘获后产生导电通路, 最后

导致氧化层的击穿。这一过程为大量的实验事实所证实。

参考文献

- [1] Y. Taur, Y. J. Mii, D. J. Frank *et al.*, CMOS Scaling into the 21st Century: 0.1 μm and Beyond, IBM J. Res. Develop., 1995, **39** (1): 245.
- [2] S. M. Sze, Physics of Semiconductor Devices, New York, 1992.
- [3] J. J. Tzou, C. C. Yao, R. Cheung and H. Chan, IEEE Trans. Electron Device Lett., 1996, **7** (3): 446.
- [4] TAN Changhua, XU Mingzhen *et al.*, Chinese Journal of Semiconductors, 1989, **10** (12), 904—911 (in Chinese)[谭长华, 许铭真, 等, 半导体学报, 1989, **10** (12), 904—911].
- [5] N. Klein, J. Appl. Phys., 1988, **63** (5): 970.
- [6] I. C. Chen, S. E. Holland and C. Hu, IEEE Trans. Electron Devices, 1985, **32** (2): 413.
- [7] J. C. Lee *et al.*, IEEE Trans. Electron Devices, 1988, **35** (12): 2268.
- [8] Eli Harari, J. Appl. Phys., 1978, **49** (11): 2478.
- [9] J. Sune *et al.*, Thin Solid Films, 1990, **185** (2): 347.

Charge to Breakdown of Thin Gate Oxides^{*}

LIU Hong-xia and HAO Yue

(Institute of Microelectronics, Xidian University, Xi'an 710071, China)

Abstract: The scale of gate oxides thickness requires a detailed physical understanding of degradation and breakdown. Charge to breakdown of the thin gate oxides was tested and investigated by controlling the amounts of injected hot electrons and holes separately with substrate hot holes injection method. The results show that the limiting factor for thin gate oxides depends on the balance between the amounts of injected hot electrons and holes. It is reported that the cooperation of injected hot electrons and holes is necessary in thin gate oxides breakdown. A model of dielectric breakdown in SiO₂ has been proposed and theory analysis is also made.

Key words: thin gate oxides; Substrate Hot Holes(SHH); charge to breakdown; model

EEACC: 0710N

Article ID: 0253-4177(2001)02-0156-05

* Project Supported by National Defence Foundation of China Under Grant No.G9825741.

LIU Hong-xia female, engineer, was born in 1968, Doctor candidate. He is engaged in research on degradation mechanism, model and reliability physics of MOS devices in VLSI.

HAO Yue male, professor, was born in 1958, Doctor tutor. He is engaged in research on reliability model and design of IC, new devices and circuits.