

一类时序逻辑电路的逻辑参数提取 激励波形自动生成

陈水珑 贺祥庆

(清华大学微电子学研究所, 北京 100084)

摘要: 提出了对具有反馈信息的时序逻辑电路进行逻辑参数提取时用于 SPICE 模拟的激励波形自动生成方法, 该方法能根据用户指定的要提取的时延参数要求, 很快产生这种时序逻辑电路的模拟激励波形, 从而可以加快逻辑参数的提取过程, 保证参数提取激励波形的正确性。该方法的实现, 可以使逻辑参数的提取完全自动化, 缩短了逻辑参数库的建立时间, 具有较高的适用价值。

关键词: 逻辑参数; 激励波形; 集成电路

EEACC: 1130B; 1265; 1190

中图分类号: TN413.2 **文献标识码:** A **文章编号:** 0253-4177(2001)02-0214-06

1 引言

随着集成电路工艺水平的不断提高, ASIC 设计需要不断建立新的版图库, 其逻辑参数库也要随工艺的变化而更新, 人工进行逻辑参数提取容易引入人为的误差或错误。一般逻辑参数提取首先从单元电路中提取出单元的 SPICE 网表, 根据单元的逻辑功能和所要提取的逻辑参数确定 SPICE 模拟所需的激励波形, 设置 SPICE 模拟环境以及模拟时单元所带负载, 进行 SPICE 模拟, 从而根据输入计算出各个时间点上各个端口上的电位, 进而求出对应的时间参数, 利用这些时间参数就可以提取出单元的逻辑参数^[1]。

从逻辑参数提取的一般过程可知, SPICE 模拟激励波形的生成往往是逻辑参数提取的关键所在, 它的自动生成既能保证参数提取的正确性, 又能减少逻辑参数的提取时间。对于组合逻辑电路和简单时序逻辑电路的逻辑参数提取模拟激励波形生成算法, 作者已在其论文中作了论述^[2]。本文提出了针对一种自反馈时序逻辑电路逻辑参数提取的激励波形

自动生成方法。文中自反馈时序逻辑电路是相对简单时序逻辑电路而提出的较复杂的电路类型, 输出不仅仅由数据输入端的输入信号决定, 而且还与该输出端的现态有关, 即逻辑电路依电路结构以及输入的不同, 在时钟的触发时刻可以具有传输、保持、取反或不定态四种可能的功能。例如 JK 触发器的次态输出表达式为 $q = k' * q + j * q'$, 这表示当时钟触发有效时, 若 j, k 的组合为 00 时, 次态输出为保持; 组合为 11 时, 输出翻转; 组合为 01 时, 输出 0; 为 10 时, 输出为 1。自反馈时序逻辑电路的激励波形自动生成过程比较复杂, 本文主要分别讨论它的传输延迟参数、建立时间、保持时间参数和最小脉宽逻辑参数的自动生成方法。有关这些逻辑参数的定义请参考有关文献^[3]。

2 自反馈时序逻辑电路的表示及预处理

为了能产生逻辑参数提取的 SPICE 模拟激励波形, 在这里采用如下形式的方法来表示自反馈时序逻辑电路, 以便更好地找出使得次态输出有不同变化的各种数据端的输入组合:

陈水珑 博士研究生, 主要从事集成电路设计及其计算机辅助设计工具的开发研究。

贺祥庆 副教授, 在“八五”、“九五”期间承担多项国家重点攻关项目, 参加了中国第一批 IC 卡 ILX768 的设计和研制工作。

2000-01-22 收到, 2000-05-16 定稿

©2001 中国电子学会

$$Q = F1 * Q + F2 * Q' + F3,$$

subject: $F4 \quad (Q' \text{ 为 } Q \text{ 的反, 下同})$

其中 $F1, F2, F3, F4$ 为数据输入端的逻辑表达式, 当 $F1$ 为真时, 输出次态保持, 当 $F2$ 为真时, 输出次态翻转, $F3$ 为真时, 输出次态置 1, 不允许数据输入端的输入信号使得逻辑表达式 $F4$ 的值为真, 其它时序输入端另外表示. 例如同步 RS 触发器可表示成:

$$Q = R' * Q + S, \text{ subject: } R * S, \text{ clock: } 1$$

该表达式表明该触发器为时钟上升沿触发, 在时钟上升沿触发时, 若数据输入端 RS 的输入组合为 01 时输出置 1; 为 00 时输出次态保持; 为 10 时输出置 0; 11 组合方式不允许出现.

根据自反馈时序电路的表示, 可以利用立方运算等逻辑运算方法^[4-6]根据式(1)—(4)分别求出次态保持、翻转、置 1、置 0 的输入组合立方阵列 $\text{expQ} \wedge \text{expQN} \wedge \text{exp1} \wedge \text{exp0}$.

$$\text{expQN} = F2 \# F3 \# F1 \# F4 \quad (1)$$

$$\text{expQ} = F1 \# F2 \# F3 \# F4 \quad (2)$$

$$\text{exp1} = F3 \cup (F2 \cap F1) \# F4 \quad (3)$$

$$\text{exp0} = U \# F1 \# F2 \# F3 \# F4 \quad (4)$$

其中 “#” 为立方运算中的锐积运算, “ \cup ” 和 “ \cap ” 分别为并集和交集运算, U 为立方阵列的全集.

对电路中的某个数据输入端 A_i , 可以把 exp1 改写成:

$$\text{exp1} = A_i * f1A + A_i' * f1notA + f1x \quad (5)$$

其中 $f1A, f1notA, f1x$ 是最简表达式, 它们都不包含 A_i 项, 即逻辑表达式 $f1A, f1notA, f1x$ 与 A_i 无关, A_i' 为逻辑非, “*” 和 “#” 分别表示逻辑“与”和逻辑“或”, 则 $f1A, f1notA, f1x$ 分别表示使得输出为 1 的 A_i 取 1, A_i 取 0 以及与 A_i 无关的数据输入端输入组合的立方阵列; 同理可以求得分别使得输出为 0 的 A_i 取 1, A_i 取 0 以及与 A_i 无关的数据输入端输入组合的立方阵列 $f0A, f0notA, f0x$; 分别使得输出保持的 A_i 取 1, A_i 取 0 以及与 A_i 无关的数据输入端输入组合的立方阵列 $fQA, fQnotA, fQx$; 分别使得输出翻转的 A_i 取 1, A_i 取 0 以及与 A_i 无关的数据输入端输入组合的立方阵列 $fQNA, fQNnotA, fQNx$. 这些求得的立方阵列将用于激励波形的自动生成方法中, 以后各章将分别讨论各种逻辑参数的激励波形自动生成方法.

3 求传输延迟时间参数的激励波形自动生成方法

自反馈时序逻辑电路的传输延迟时间参数一般有时钟端到输出端, 置位端和清零端到输出端, 数据输入端(没有边沿触发的时钟端时) 到输出端的延迟时间等, 它们的激励波形自动生成方法与具体的电路次态逻辑表达式有关. 要求出延迟时间, 则要找出在其它输入端波形不发生变化时, 所求输入端波形的变化能引起输出端波形变化的波形组合. 主要生成算法如下.

算法:

1 若所求时间参数对应的输入端为时钟、清零或置位等时序端

根据 $\text{expQN}, \text{exp1}, \text{exp0}$ 等组合找出能使输出在相应时序端波形有效前后产生变化的输入组合, 而在该时序输入端由无效到有效(或相反) 时, 该波形组合不能发生变化.

2 若所求时间参数对应的输入端为数据输入端(此时不存在时钟输入端, 波形生成算法和组合逻辑电路的波形自动生成方法类似)

找出该输入端波形产生变化(由高电平到低电平或由低电平到高电平), 而其它输入端的波形在此变化处波形不变的波形组合, 该组合能由该输入端波形的变化而使输出波形变化(参见文献[2]).

3 其它时序输入端波形置为无效电平

下面分别具体介绍不同要求的延迟波形自动生成方法:

1) 时钟输入端 CP 到输出端 Q 传输延迟时间激励波形的自动生成

a) expQN 存在, 若数据输入端的波形组合为 expQN , 则时钟输入端 CP(设为上升沿触发, 下同) 有效触发沿到来时, 都会引起输出端输出信号的翻转, 从而可以籍此求出 CP 到输出端 Q 的延迟时间. 因此时钟输入端 CP 到输出端 Q 延迟时间激励波形可以这样生成: 设置数据输入端的波形组合为 expQN , 时钟输入端 CP 设置成有三个上升的触发沿, 第一个上升沿用于初始化, 其它的时序端波形设置为无效电平, 则输出端的波形随着 CP 上升沿而发生翻转, 从而可以求出 CP 到输出端 Q 的延迟时间(以后将不再特别说明).

b) expQN 不存在(此时 exp1 和 exp0 必须同

时存在,否则电路无意义).此时的数据输入端的激励波形顺序设置为 exp1、exp0、exp1 或 exp0、exp1、exp0,在 exp1、exp0 波形段设置 CP 的三个有效上升沿,其中第一个上升触发沿用于初始化.

如果上述 expQN、exp0、exp1 同时出现,则波形的选取依据程序的设定.

以 JK 触发器为例, $q = k' * q + j * q'$, 时钟 CP 上升沿触发,可以分别求出 j, k 的组合: expQ = 00, expQN = 11, exp0 = 01, exp1 = 10. 根据 a)、b) 可以设置 JK 的输入波形组合为: (01)(10)(01)(11)(11), CP 在各个输入波形组合中有一个上升沿,第一个输入波形组合为初始化电平,用于使输出为 0 电平,从而最终 q 的输出为 X01010(X 为不定电平,由模拟器对电平的初始化决定),在初始化后,由输出电平的变化可以分别求出 CP 到输出端 Q 的传输延迟时间,该延迟时间分别由直接置位和次态翻转所引起.

2) 清零端 CDN 到输出端 Q 传输延迟时间激励波形自动生成

(设清零端为低电平有效,有效时输出为低电平.)

a) 若 expQN 和时钟 CP 的触发电平存在,则激励波形如图 1 设置,其中数据输入端波形组合 G 为 expQN. 其中 CDN 的第一个有效电平用于使输出为低电平(初始化),此后的 CP 上升沿用于使输出翻转,输出高电平,CDN 的第一个下降沿到来后,就使输出由高电平变为低电平,从而可以求出 CDN 到 Q 输出的延迟时间. 若时钟 CP 不存在时,则采用 b) 中的波形生成方法.



图 1 存在 expQN 时的 CDN 到 Q 延迟激励波形

FIG. 1 Waveform for Delay timing from CND to Q
if expQN Existing

b) 若 exp1 存在时,则此时 CDN 到 Q 的延迟激励波形也类似图 1 生成,数据输入端波形组合 G 为 exp1,其中虚线表示电路中存在 CP 时的设置方法.

置位端 SDN 到输出端 Q 的延迟激励波形生成方法和清零端类似.

3) 数据输入端 A_i 到输出端的延迟时间激励波形自动生成

在没有时钟输入端时,可以存在数据输入端到输出端的传输延迟时间逻辑参数,若没有时钟输入端的控制,则必须存在 exp1 和 exp0 的立方阵列,否则电路没有实际意义(只有保持或震荡),此时的波形生成如下:

a) 若存在 $f1A \cap f0notA$, 则取数据输入端(除 A_i 外)的激励波形组合为 $f1A \cap f0notA$, 而 A_i 的输入波形为高、低、高或低、高、低, 此时对应的输出端波形应为高、低、高或低、高、低;

b) 若存在 $f1notA \cap f0A$, 波形类似 a) 设置;

c) 若 $f1A \cap f0notA$ 和 $f1notA \cap f0A$ 同时不存在,则求出以下四项:

$$f1A_And_fQnotA = f1A \cap fQnotA$$

$$f1notA_And_fQA = f1notA \cap fQA$$

$$f0notA_And_fQA = f1notA \cap fQA$$

$$f0A_And_fQnotA = f0A \cap fQnotA$$

c1) 若 $f1A_And_fQnotA$ 存在,可取如图 2 的激励波形,其中 G' 按 $exp0, f1A_And_fQnotA, f0notA_And_fQA$ (若存在) 顺序形成波形,这样 G' 和输入端 A_i 的波形结合在一起,就可以使输出端 Q 顺序形成置 0、保持、置 1、保持、置 0 的输出结果,从而可以求出输入到输出的上升传输延迟时间和下降延迟时间(若 $f0notA_And_fQA$ 不存在,则只能采用图 2 的前半部分求出上升传输延迟时间),若 $f1A_And_fQnotA$ 不存在,而 $f0notA_And_fQA$ 存在,则传输延迟的波形也可以按置 1、保持、置 0 的顺序生成,此时,只能求出输入到输出的下降传输延迟时间.

c2) 若 $f1notA_And_fQA$ 或 $f0A_And_fQnotA$ 存在时,则类似 c1) 的方法设置激励波形.



图 2 存在 $f1A \cap fQnotA$ 时的 A_i 到 Q 延迟激励波形

FIG. 2 Waveform for Delay timing from A_i to Q if
 $f1A \cap fQnotA$ Existing

4 求建立时间和保持时间参数的激励波形自动生成方法

求自反馈时序逻辑电路的建立时间和保持时间参数的激励波形方法要进行合适的初始化,以消除

模拟器对输出的随机初始化的影响。

1) 清零端或置位端对时钟端的建立时间和保持时间激励波形自动生成

清零端或置位端对时钟端的建立时间和保持时间激励波形自动生成算法如下：

算法：设置所求时序的清零或置位端为由无效电平到有效电平；设置各时序端和数据输入端波形使得输出次态的初始化电平为与清零或置位不同的电平，另一个所求时序端 CP 的电平在清零或置位端波形变化沿前(或后)存在有效的触发沿。

图 3 示出了 exp1 存在时，清零端 CDN 对时钟端 CP 的建立时间的激励波形设置，其中 G 表示使得输出次态输出为 1 的数据输入端的输入组合 exp1。

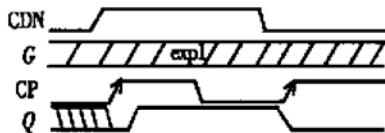


图 3 存在 exp1 时，CDN 对 CP 建立的时间激励波形

FIG. 3 Waveform for Setuptiming between CDN and CP if exp1 Existing

求置位端 SDN 对时钟端 CP 的建立时间激励波形以及置位端 SDN 或清零端 CDN 对时钟端 CP 的保持时间激励波形可以采用如图 3 所示的类似方法自动生成。

2) 数据输入端 A_i 对时钟输入端 CP 的建立时间和保持时间激励波形自动生成

算法：找出该输入端 A_i 波形产生变化(由高电平到低电平或由低电平到高电平)，而其它输入端的波形在此变化处波形不变的波形组合，该组合能由 A_i 波形变化而使输出波形变化(参见文献[2])在该数据输入端的波形变化之后设置时钟的有效电平，其它时序输入端设置为无效的电平。条件相同时，可利用第 2 部分中 3) 小节自动生成的传输延迟时间参数激励波形自动生成求数据输入端 A_i 对时钟输入端 CP 的建立时间激励波形。

若 $f1A \cap fQNnotA$ 或 $f0notA \cap fQNA$ 存在，也可以如图 4 所示生成激励波形，其中 G' 表示数据输入端的输入取 $f1A \cap fQNnotA$ 或 $f0notA \cap fQNA$ 的组合； A_i 的实线输入波形和输出的实线输出波形对应 $f0notA \cap fQNA$ 的组合，而 A_i 的虚线输入波形和输出的虚线输出波形对应 $f1A \cap fQNnotA$ 的组合。

若 $f0A \cap fQNnotA$ 或 $f1notA \cap fQNA$ 存在时，波形设置方法和图 4 类似。

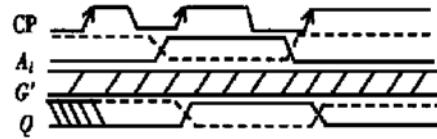


图 4 存在 $f1A \cap fQNnotA$ 时 A_i 对 CP 建立的时间激励波形

FIG. 4 Waveform for Setuptiming Between A_i and CP if $f1A \cap fQNnotA$ Existing

3) 数据输入端 A_i 对时钟输入端 CP 的保持时间激励波形自动生成

算法：利用与第二部分算法的条件 2 相类似的方法，求出所有数据端的波形组合，在该数据输入端的波形变化之前设置时钟的有效电平，其它时序输入端设置为无效的电平。

3.1) 若 $f1A \cap f0notA$ 或 $f1notA \cap f0A$ 存在，则数据输入端(A_i 除外)的输入波形取 $f1A \cap f0notA$ 或 $f1notA \cap f0A$ 的组合， A_i 的波形设置为高、低、高、低，CP 设置为有三个有效触发电平，第一个触发电平用于初始化，后两个触发电平在 A_i 波形电平改变之前设置，用于求解 A_i 对时钟输入端 CP 的保持时间。

3.2) 若 3.1) 不存在时，则：

a) 若 $f1notA \cap fQA$ 存在，输出波形如图 5 所示生成，其中 CP 第一个上升沿用于初始化，若 $f0A \cap fQnotA$ 不存在，则只取图 5 的前半部分。若 $f1notA \cap fQA$ 不存在，而 $f0A \cap fQnotA$ 存在，则取图 5 中的第一和第三部分，并把置 0 改为置 1。

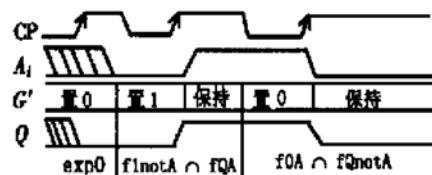


图 5 求 A_i 到 CP 的保持时间激励波形

FIG. 5 Waveform for Holdtiming Between A_i and CP

b) 若 $f1A \cap fQnotA$ 存在或 $f0notA \cap fQA$ 存在时，可以 a) 类似的方法的生成激励波形。c) 若 $f1A \cap fQNnotA$ 或 $f0A \cap fQNA$ 存在，则数据输入端

(A_i 除外) 的输入波形取 $f1A \cap fQN \text{not}A$ 或 $f0A \cap fQN \text{not}A$ 的组合, A_i 的波形设置为高、低、高、低, CP 设置为有三个有效触发电平, 第一个触发电平用于初始化, 后两个触发电平在 A_i 波形电平改变之前设置, 用于求解 A_i 对时钟输入端 CP 的保持时间. 如图 6 所示, 第一个 CP 的上升沿用于初始化, G' 表示数据输入端的输入取 $f1A \cap fQN \text{not}A$ 或 $f0A \cap fQN \text{not}A$ 的组合; 实线表示输入组合 G' 为 $f0A \cap fQN \text{not}A$ 时所对应的输出端 Q 的初始输出波形, 虚线表示输入组合 G' 为 $f1A \cap fQN \text{not}A$ 时所对应的输出端 Q 的初始输出波形.

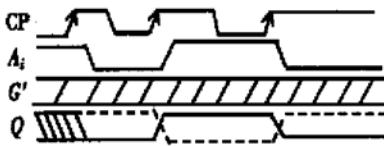


图 6 求 A_i 对 CP 保持时间激励波形

FIG. 6 Waveform for Holdtiming
Between A_i and CP

d) 若 $f1\text{not}A \cap fQNA$ 或 $f0\text{not}A \cap fQNA$ 存在, 则类似 c) 方法生成激励波形.

5 求最小脉宽参数的激励波形自动生成方法

自反馈时序逻辑电路的最小脉宽参数主要有时钟端 CP 的最小脉宽, 清零端 CDN 以及置位端 SDN 等的最小脉宽时间参数. 求这些最小脉宽时间参数的波形自动生成算法如下:

算法: 步骤 1) 根据逻辑约简, 找出使相应输出端的次态分别为高电平、低电平、保持和翻转的对应数据输入端的波形组合 $\text{exp}1$ 、 $\text{exp}0$ 、 $\text{exp}Q$ 和 $\text{exp}QN$;

步骤 2) 分两种情形:

a) 若所求时序的输入端为时钟端, 如果存在 $\text{exp}0$ 和 $\text{exp}1$, 则根据 1) 取数据输入端波形的设置使得输出的次态表达式为高、低电平或低、高电平, 即其输入端波形的组合为 $\text{exp}1$ 、 $\text{exp}0$ 或 $\text{exp}0$ 、 $\text{exp}1$; 设置各时序端使得输出次态的初始化电平为确定值(在波形组合 $\text{exp}1$ 或 $\text{exp}0$ 处), 时钟输入端设置成在 $\text{exp}0$ 或 $\text{exp}1$ 上有下降、上升、下降三个沿(上升电平触发时, 反之, 则取上升、下降、上升三个沿); 如果存在 $\text{exp}QN$, 则时钟输入端设置成有下

降、上升、下降三个沿(上升电平触发时, 反之, 则取上升、下降、上升三个沿), 数据输入端取组合 $\text{exp}QN$ 的波形, 其它时序输入端的波形设置成无效值.

b) 若所求时序的输入端为清零端或置位端, 则所求时序的清零或置位端设置为无效电平、有效电平、无效电平, 设置各时序端和数据输入端波形使得输出次态的初始化电平为与由清零或置位端引起的输出不同的确定值.

6 结束语

本文提出了自反馈时序逻辑电路逻辑参数提取的激励波形自动生成算法, 该算法在 SPARC20 上用 C 语言实现, 并成为逻辑参数自动提取工具的用于处理自反馈时序逻辑电路的激励波形自动生成的一个组成部分. 利用该逻辑参数自动提取工具完成了 $0.6\mu\text{m}$ 标准单元库的提取, 与手工提取和 COMPASS 半自动提取工具提取结果的比较证明了该波形生成算法的正确性. 由于逻辑参数自动提取利用了 SPICE 模拟器, 因此对于能采用本文中自反馈时序电路表示法表示的逻辑电路, 其能被逻辑参数自动提取工具自动提取的规模仅受限于 SPICE 模拟器. 该算法的实现对处理更为复杂的时序逻辑电路激励波形的自动生成有较大的参考价值.

参 考 文 献

- [1] COMPASS AutoSPICE Online Document, USA: VLSI Technology, Inc., Version 8r4.6, 1996.
- [2] CHEN Shuiliang, HE Xiangqing, SHEN Ming *et al.*, A Method for Auto Stimulus Waveform Generation in Auto Logic Parameter Extraction, *Microelectronics and Computer, Supplement*, 1998, 13(6): 142—144(in Chinese) [陈水珑, 贺祥庆, 申明, 等, 逻辑参数自动提取的激励波形自动生成方法, 微电子学与计算机, 1998, 13(6): 142—144].
- [3] I-Micron Portable Library(VGT350), USA: VLSI Technology, Inc., November 1991.
- [4] ZHOU Nanliang, Digital Logic, Changsha: National University of Defense Technology Press, 1992(in Chinese) [周南良, 数字逻辑, 长沙: 国防科技大学出版社, 1992 年].
- [5] MAO Fayao, Digital Logic, Wuchang: Huazhong University of Science and Technology Press, 1996(in Chinese) [毛法尧, 数字逻辑, 武昌: 华中理工大学出版社, 1996 年].
- [6] De Micheli, Giovanni, Synthesis and Optimization of Digital Circuits, USA: McGraw-Hill, Inc., 1994.

Automatic Waveform Generation Technique for Special Sequential Circuit in Logic Parameter Extraction

CHEN Shui-long and HE Xiang-qing

(Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

Abstract: An automatic waveform generation technique has been proposed, which is used for the SPICE simulation when extracting the logic parameters for a special sequential logic circuit. It is also used to generate SPICE stimulus waveforms for these special sequential logic circuits quickly according to user's logic parameter specifications, as can speed up the logic parameter extraction process and guarantee a proper SPICE simulation waveform for the logic extraction. With it the extraction of logic parameters becomes completely automatic and the time to establish the logic parameter library is greatly reduced.

Key words: logic parameter; waveform; integrated circuit

EEACC: 1130B; 1265; 1190

Article ID: 0253-4177(2001)02-0214-06

CHEN Shui-long is now a Ph.D candidate in Tsinghua University. His research interests include VLSI circuit design and development of electronics design automation tools.

HE Xiang-qing associate professor, has been in charge of many national important subjects and took part in the research and development of the first IC card ILX768 in China.

Received 22 January 2000, revised manuscript received 16 May 2000

©2001 The Chinese Institute of Electronics