

# 超高速双层多晶硅发射极晶体管及电路

张利春 高玉芝 金海岩 倪学文 莫邦燹 宁宝俊 罗葵 叶红飞 赵宝瑛 张广勤

(北京大学微电子学研究所, 北京 100871)

**摘要:** 报道了双层多晶硅发射极超高速晶体管及电路的工艺研究。这种结构是在单层多晶硅发射极晶体管工艺基础上进行了多项改进, 主要集中在第一层多晶硅的垂直刻蚀和基区、发射区之间的氧化硅、氮化硅复合介质的 L型侧墙形成技术方面, 它有效地减小了器件的基区面积。测试结果表明, 晶体管有良好的交直流特性。在发射区面积为  $3\mu\text{m} \times 8\mu\text{m}$  时, 晶体管的截止频率为 6.1GHz, 19 级环振平均门延迟小于 40ps, 硅微波静态二分频器的工作频率为 3.2GHz。

**关键词:** 双层多晶硅; 复合介质 L型侧墙

**EEACC:** 2550; 2560J

**中图分类号:** TN405

**文献标识码:** A

**文章编号:** 0253-4177(2001)03-0345-05

## 1 引言

在超高速集成电路领域中硅双极技术占有重要的地位, 这是因为双极器件比 MOS 器件具有更强的驱动能力, 更大的跨导和更快的速度。而先进的硅双极器件大都采用双层多晶硅发射极结构<sup>[1,2]</sup>。与单层多晶硅发射极双极器件相比, 双层多晶硅结构具有以下优点: 其一, 采用高掺杂的多晶硅做外基区的引线, 基极金属电极外移到有源区外的场区氧化层上, 使有源区面积减小, 而金属接触区可以做得很大; 其二, 发射区宽度不完全由光刻所能达到的最小线宽所决定。通过调整侧墙的宽度, 可以改变发射区的宽度, 在相同的光刻最小线宽条件下, 可以将发射区做得更小。由于两层多晶硅之间有介质隔离<sup>[3]</sup>, 可使发射极宽度远大于发射区的宽度, 形成 T型发射极结构, 降低了发射极电阻, 提高了器件的成品率和可靠性。实现双层多晶硅器件结构有多种工艺方法<sup>[4]</sup>, 结合我们已研制成功的单层多晶硅发射极晶体管工艺<sup>[5]</sup>, 开发了双层多晶硅晶体管的工艺。由于自对准技术的采用, 在光刻最小线宽、金

属化条宽、条距与单层多晶硅相同时, 器件基区面积仅为单层多晶硅器件的 46%, 有源区面积减小为原来的 72%。采用这种工艺流程, 已经研制出发射区光刻尺寸为  $3\mu\text{m} \times 8\mu\text{m}$ , 特征频率为 6.1GHz 的硅双极晶体管, 平均门延迟小于 40ps 的 19 级环形振荡器以及工作频率为 3.2GHz 的硅微波静态二分频器。

## 2 双层多晶硅晶体管的工艺制作

双层多晶硅晶体管的结构剖面图如图 1 所示。图 2 是制作双层多晶硅晶体管及电路的工艺流程方框图。在工艺中我们采用了深槽隔离<sup>[6]</sup>、浅结薄基区、自对准结构、钴硅化物技术<sup>[7]</sup>以及 L型复合侧墙<sup>[8]</sup>等国际上先进技术, 制备出性能良好的双层多晶硅自对准双极晶体管及电路。其中硅微波静态二分频器和 19 级环振的电路设计见文献[9]。

由于双层多晶硅工艺流程较长, 为保证工艺过程的稳定性和连贯性, 我们对双层多晶硅单项关键工艺进行了重点研究。

张利春 男, 1939 年出生, 教授, 博士生导师, 目前主要从事多晶硅发射极超高速集成电路和 SiGe 异质结器件研究。

高玉芝 女, 1939 年出生, 教授, 目前主要从事多晶硅发射极超高速集成电路和 GeSi 异质结器件工艺研究。

金海岩 男, 1971 年出生, 博士研究生。

1999-12-25 收到, 2000-03-01 定稿

©2001 中国电子学会

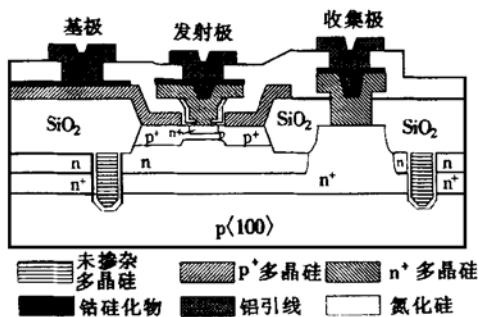


图 1 双层多晶硅晶体管的剖面图

FIG. 1 Schematic Cross Section of Double-Layer Polysilicon Bipolar Transistor

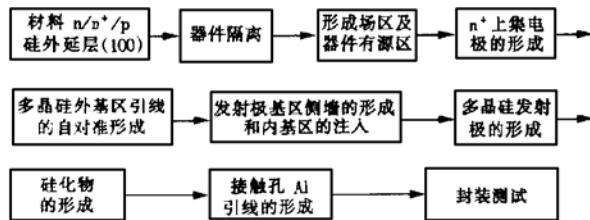


图 2 双层多晶硅技术工艺流程方框图

FIG. 2 Technology Process of Double-Layer Polysilicon Self-Aligned Bipolar Transistor

### 3 双层多晶硅晶体管单项关键工艺研究

实现双层多晶硅结构有多种工艺途径,但归纳起来,与单层多晶硅工艺相比,有以下工艺难点需要解决:(1)第一层多晶硅的刻蚀。第一层多晶硅做为基极的引出电极和外基区的扩散源,因此与有源区的单晶硅直接接触。由于要在这层多晶硅上开出制作内基区和发射区的窗口,如何干净腐蚀掉这层多晶硅而不对表面的单晶硅造成影响,就成为第一个关键工艺。(2)发射极-基极间复合介质 L 型侧墙的形成。在单层多晶硅结构中的基极和发射极之间采用的侧墙是氧化物隔离,在隔离侧墙形成工艺中采用反应离子刻蚀(RIE)和湿法腐蚀相结合的工艺方法。由于湿法腐蚀不易控制,这种工艺的人为控制因素比较大。为了将侧墙的均匀性和重复性做得更好,我们采用了复合介质的 L 型结构。(3)外基区、内基区、发射区杂质浓度的控制。第一层多晶硅淀积注入后,还要经历一些高温过程,由于第一层多晶硅为高掺杂,外基区与发射区的间距为侧墙氧化物间距,因此要求仔细设计高掺杂多晶硅以后的高温过程,保

证高掺杂的杂质不横向扩散到发射区,形成  $n^+$   $p^+$  结。此外,如何调整内基区和发射区的杂质浓度,将是获得高电流增益的关键。

#### 3.1 第一层多晶硅的刻蚀

与单层多晶硅和传统的平面晶体管不同,双层多晶硅工艺首先制作外基区。第一层  $p^+$  多晶硅作为自对准的外基区引线,在其上开出制作内基区和发射区的窗口,然后在窗口的周围制作侧墙,形成基区-发射区的自对准隔离<sup>[4]</sup>。为了形成良好的侧墙隔离,首先要求刻蚀出侧壁接近 90° 的陡直的窗口。在单层多晶硅工艺中,只要求刻蚀出陡直的多晶硅条,而在双层多晶硅工艺中,不仅需要多晶硅刻蚀陡直,而且其上淀积的 400nm  $\text{SiO}_2$  的刻蚀也要陡直,这样才能形成接近垂直的内基区窗口,以利于侧墙的形成。我们采用 ZrN 作为反应离子刻蚀的掩膜<sup>[10,11]</sup>,获得了非常陡直的氧化硅和多晶硅侧壁。

多晶硅的刻除了要求侧壁陡直外,还有一个关键的工艺步骤需要解决。由于干法刻蚀工本身对多晶硅和单晶硅的刻蚀速率差别不明显,而多晶硅又是直接淀积在单晶硅表面,这样多晶硅刻蚀终点的控制变得十分困难。即使能很好地控制多晶硅的终点刻蚀,反应离子刻蚀必然会引起硅片表面的损伤,而被损伤的区域恰恰是将来形成内基区和发射区的器件有源区。为了达到既刻蚀干净多晶硅,又消除硅表面损伤的目的,在工艺流程中,我们分别对两种工艺方法进行了实验。一种方法是在 RIE 刻蚀多晶硅时,不把多晶硅全部刻蚀干净,以避免损伤下面有源区的单晶硅表面,然后进行热氧化,根据剩余多晶硅的厚度来调节氧化时间,要求保证剩余多晶硅完全被氧化。这层多晶硅氧化生成的  $\text{SiO}_2$  全部采用湿法腐蚀的方法去掉,然后再进行干氧氧化,生成约 50nm 的氧化层,用作复合侧墙的第一层介质,同时作为内基区的注入阻挡层。我们称这种工艺为氧化工艺。第二种方法是过刻蚀多晶硅。过刻蚀必然要对单晶硅表面造成损伤,因此在刻蚀接近单晶硅表面时需要降低刻蚀功率,随后进行高温下的氮气退火和干氧氧化,以降低和消除表面损伤。干氧氧化生成的氧化层,作为侧墙介质并用作内基区的注入阻挡层。我们称这种工艺为过刻工艺。图 3 为分别采用氧化和过刻工艺制作的晶体管在室温下的 EB 结反向击穿特性曲线,其中侧墙多晶硅厚度为 300nm。当晶体管集电极开路,反向击穿电流为 10 $\mu\text{A}$  时,氧

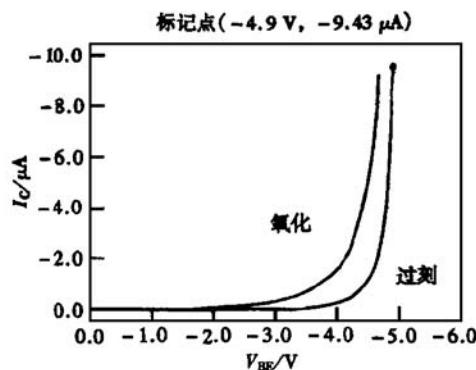


图3 采用氧化和过刻工艺制作的晶体管EB结反向击穿特性曲线

FIG. 3 EB Breakdown Voltage Plot of Polysilicon Bipolar Transistor Using Oxidation or Overetch Process Technology

化和过刻的器件反向击穿电压分别为4.7V和4.9V,相差不大.单项工艺实验表明,这两种工艺方法都可行,但过刻方法更为简便.

### 3.2 L型侧墙的形成

上述工艺形成的二氧化硅作为侧墙的第一层介质,然后淀积 $\text{Si}_3\text{N}_4$ 和多晶硅作为侧墙的第二层和第三层介质.随后RIE刻蚀多晶硅,由于多晶硅淀积的各向同性和RIE刻蚀的各向异性使得多晶硅在陡直的侧墙边留下了一部分,它的宽度与多晶硅的淀积厚度相当,通过调整Poly-Si的淀积厚度,可以改变L型侧墙底部的宽度.这层多晶硅隔离层是形成L型侧墙的关键,通过它的掩蔽的作用,使得湿法腐蚀氮化硅时侧墙下面的氮化硅不被破坏,而在用湿法腐蚀二氧化硅时,由于多晶硅和氮化硅的保护,使侧壁二氧化硅不受腐蚀.等离子体刻蚀和基区注入会对侧墙多晶硅造成损伤,因此需要用KOH溶液腐蚀掉这部分多晶硅,形成由 $\text{SiO}_2$ 和 $\text{Si}_3\text{N}_4$ 构成的复合介质L型侧墙结构.这种腐蚀液对氮化硅和二氧化硅的腐蚀作用很小.由于各层之间腐蚀的选择性高,使侧墙形成工艺易于控制,提高了均匀性和成品率,保证了E-B间的有效隔离.

图4给出了侧墙的扫描电镜照片,从照片上看,侧墙的厚度为150nm,L型底部的宽度大约为220nm,总的E-B隔离宽度为370nm.实际制作时,侧墙氧化层的厚度约为50nm,淀积 $\text{Si}_3\text{N}_4$ 的厚度为100nm.取两种介质的击穿场强为 $10^7\text{V}/\text{cm}$ ,厚度为150nm的介质层击穿电压应为150V.我们测量了

$\Phi 76\text{mm}$ 片共757个侧墙测试管,侧墙击穿电压大于100V的占89.6%,理论值与实验值比较接近.表1给出了侧墙击穿电压的统计分布.测量的侧墙击穿电压大于50V的占99.6%,而实际器件的E-B反向击穿电压只有5V左右,即使50V的击穿电压也足以满足器件要求.从击穿电压的统计分布结果看,侧墙的成品率是相当高的.



图4 侧墙的扫描电镜照片

FIG. 4 SEM Cross-Section of Multiple-Dielectric-Layer L-Shaped Sidewall

表1 侧墙击穿电压的统计分布

Table 1 Breakdown Voltage of Multiple-Dielectric-Layer L-Shaped Sidewall

击穿电压/V	< 50	51~70	71~90	91~100	> 100
成品率/%	0.4	1.05	4.76	4.23	89.6

### 3.3 外基区、内基区和发射区杂质浓度的控制

在双层多晶硅工艺中,是先制作外基区掺杂的P<sup>+</sup>多晶硅,这是与单层多晶硅工艺显著的不同点之一.P<sup>+</sup>多晶硅的作用有两个:其一是作为基极引线,此时希望它的薄层电阻尽量低,即掺杂浓度尽量高.此外是作为P<sup>+</sup>外基区的固态掺杂扩散源,此时它的掺杂浓度又不能太高.因为在后续高温过程中,过高掺杂的P<sup>+</sup>多晶硅中杂质将驱进至较深部位,这将产生较大的C-B结电容,对高速电路不利.而且更为严重的是,由于E-B之间隔离宽度为侧墙宽度,只有几百nm,P<sup>+</sup>杂质在单晶硅中的横向扩散,会与n<sup>+</sup>发射区相接触,形成p<sup>+</sup>-n<sup>+</sup>结,导致E-B之间边界隧道电流的增加.可见,在侧墙宽度D<sub>E-B</sub>一定的情况下,发射区结深和外基区结深不能过大,否则将超出临界宽度,造成E-B漏电.图5是改变E-B的隔离宽度所获得的不同的反向击穿电压曲线,从图5中可以看出,隔离宽度为300nm时,EB结的击穿曲线较软,说明E-B有一定的反向漏电.将隔离宽度

增加到 400nm 时, 可以获得陡直的击穿曲线, 说明此时的外基区扩散深度对于 400nm 宽度的侧墙较

为合适。因此, 除了对注入剂量的控制外, 对工艺过程中的后续高温过程要严格控制, 进行优化。

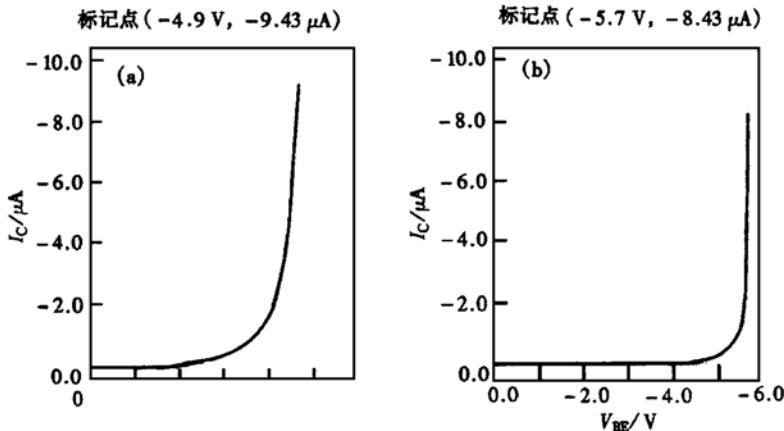


图 5 側牆多晶硅厚度分别为 300nm(a) 和 400nm(b) 的晶体管 EB 结反向击穿特性曲线

FIG. 5 EB Breakdown Voltage Plot of Polysilicon Bipolar Transistor (a) Spacer width is 300nm, (b) Spacer width is 400nm.

内基区和多晶硅发射区的注入能量和注入剂量是按照单层多晶硅工艺条件选取的。基区注入时, 有 50nm 的  $\text{SiO}_2$  作为阻挡层, 一方面可以减少注入造成的表面损伤, 另一方面可使杂质注得更浅, 减少基区宽度, 提高工作速度。快速热退火 RTP 的工艺实验结果表明, 注磷器件比注砷器件在 RTP 处理时更容易将电流放大系数做大, 器件性能良好, 而且批与批之间 RTP 工艺条件重复性比较好。

#### 4 器件及电路性能

我们用 HP4156B 精密半导体参数分析仪测量了双层多晶硅自对准双极晶体管的直流特性, 测量结果表明其直流特征良好。晶体管的反向击穿电压  $V_{\text{EBO}}$  为 5V,  $V_{\text{CEO}}$  为 10–12V,  $V_{\text{BCO}}$  为 20–24V, EB 结正向压降在 1mA 电流时为 0.9–0.93V。图 6 给出了器件的 Gummel 图, 从图中可以看出, 在小电流下器件增益良好。由 HP8510C 网络分析仪测得发射区光刻尺寸为  $3\mu\text{m} \times 8\mu\text{m}$  的器件特征频率  $f_T$  为 6.1GHz。用这种结构的双层多晶硅自对准双极晶体管制作的 19 级环形振荡器平均门延迟小于 40ps (见图 7)。微波静态二分频器的工作频率为 3.2GHz。

#### 5 结论

基于原有的单层多晶硅工艺技术和工艺流程,

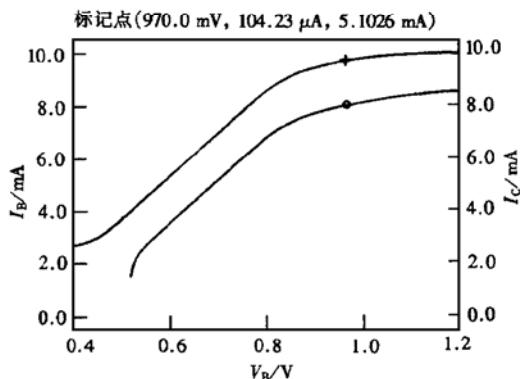


图 6 双层多晶硅晶体管 Gummel 图

FIG. 6 Gummel Plot of Double-Layer Polysilicon Bipolar Transistor

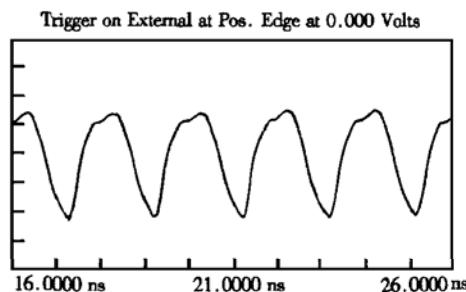


图 7 发射极尺寸为  $3\mu\text{m} \times 8\mu\text{m}$  的晶体管构成的 19 级环振电路输出波形

FIG. 7 Output Signals of 19-Stage ECL Ring Oscillator The emitter area is  $3\mu\text{m} \times 8\mu\text{m}$ .

开发了双层多晶硅工艺技术。在光刻精度、金属化条宽、条距与单层多晶硅相同的情况下,双层多晶硅器件基区面积可以减小 54%。有源区面积减小 28%。采用这种结构研制出特征频率为 6.1GHz 的双极晶体管以及平均门延迟小于 40ps 的 19 级环振和工作频率为 3.2GHz 的硅微波静态二分频器。

**致谢** 本工作是在北京大学微电子所工艺实验室完成的,作者表示感谢。

## 参考文献

- [1] Voingigescu S. et al., ISSCC Digest of Technical Papers, 1997, 372.
- [2] K. Washio, E. Ohue and K. Oda, IEDM, 1997, 795.
- [3] T. H. Ning and D. D. Tang, Proceedings of The IEEE, 1986, 74(12): 1669—1677.
- [4] WANG Yangyuan, ZHANG Lichun, ZHAO Baoying et al., Poly-Si Emitter Transister and Its IC, Science Press, 1992, 461—468[王阳元, 张利春, 赵宝瑛, 等, 多晶硅发射极晶体管及其集成电路, 科学出版社, 1992. 461—468].
- [5] Lichun Zhang et al., Proceedings of the 4th International Conference on Solid-State and Integrated Circuit Technology, 1995, 768.
- [6] ZHANG Lichun et al., Proceedings of 8th National Conference on Semiconductor IC and Si Material, 1992, 311[张利春, 等, 第八届全国半导体集成电路材料学术会议论文集, 1992, 311].
- [7] GAO Yuzhi et al., Proceedings of 8th National Conference on Semiconductor IC and Si Material, 1992, 323[高玉芝, 等, 第八届全国半导体集成电路材料学术会议论文集, 1992, 323].
- [8] JIN Haiyan et al., Research and Progress of Solid State Electronics, to be published[金海岩, 等, 固体电子学研究与进展, 待发表].
- [9] MO Bangxian, ZHANG Lichun et al., Acta Electronica Sinica, 1997, 25(2): 89[莫邦燮, 张利春, 等, 电子学报, 1997, 25(2): 89].
- [10] Lichun Zhang, Qian Gang et al., Extended Abstracts of 182nd the Electrochemical Society Meeting, 1992, 92(2): 384.
- [11] Zhang Lichun, Qian Gang et al., Patent, ZL92103289.7, 1992 [张利春, 钱钢, 等, 发明专利, ZL92103289.7, 1992].

## Very High Speed Poly-Si Emitter Bipolar Transistor and Circuit

ZHANG Li-chun, GAO Yu-zhi, JIN Hai-yan, NI Xue-wen, MO Bang-xian, NING Bao-jun,  
LUO Kui, YE Hong-fei, ZHAO Bao-ying and ZHANG Guang-qin

(Institute of Microelectronics, Peking University, Beijing 100871, China)

**Abstract:** The fabrication of the very high speed polysilicon emitter bipolar transistors and circuit with double-layer polysilicon has been reported. This kind of structure has been improved in many aspects compared with the single-layer polysilicon emitter bipolar transistors, especially in the vertical dry etch of the first polysilicon and the technology to form the multiple-dielectric-layers L-shaped sidewall, consisting of  $\text{SiO}_2$  and  $\text{Si}_3\text{N}_4$  between the base and the emitter. It effectively reduces the base area of the bipolar transistor. The good DC, AC performance and cutoff frequency of 6.1GHz have been obtained in the emitter size of  $3\mu\text{m} \times 8\mu\text{m}$ . The minimum gate delay of 19-stage ECL ring oscillator is 40ps/gate and the maximum toggle frequency of a 2:1 static divider is 3.2GHz.

**Key words:** double-layer polysilicon; multiple-dielectric-layer L-shaped sidewall

**EEACC:** 2550; 2560J

**Article ID:** 0253-4177(2001)03-0345-05

ZHANG Li-chun was born in 1939. He is a professor at the Institute of Microelectronics, Peking University. His research interests are in the development of very high speed poly-Si emitter bipolar IC and SiGe heterojunction device.

GAO Yu-zhi was born in 1939. She is a professor at the Institute of Microelectronics, Peking University. Her research interests are in the technology process of very high speed poly-Si emitter bipolar IC and SiGe heterojunction device.

JIN Hai-yan was born in 1971. He is a doctor candidate at the Institute of Microelectronics, Peking University.

Received 25 December 1999, revised manuscript received 1 March 2000

© 2001 The Chinese Institute of Electronics