第 22 卷第 3 期　　半 导 体 学 报　　Vol. 22, No. 3
2001 年 3 月　　CHINESE JOURNAL OF SEMICONDUCTORS　　Mar., 2001

采用二相功率时钟的无悬空输出绝热 CMOS 电路*

杭国强[1]　吴训威[2]

(1 浙江大学信息与电子工程学系，杭州　310027)
(2 宁波大学电路与系统研究所，宁波　315211)

摘要：分析了 PAL 及 PAL-I 电路中输出悬空对电路性能的影响，强调在绝热电路设计中消除悬空输出的重要性. 提出了两种新的结构互补且无悬空输出的绝热电路. PSPICE 模拟证明它们能有效实现能量恢复，并使输出信号在整个有效输出期始终处于箝位状态.

关键词：低功耗设计；CMOS；绝热开关；能量恢复；电容耦合
EEACC：1265A；1265B；2560；2570D
中图分类号：TN432；TP331　　**文献标识码**：A　　**文章编号**：0253-4177(2001)03-0366-07

1　引言

随着 CMOS 集成电路技术的飞速发展，集成密度不断提高，芯片尺寸逐渐增大，工作速度日益加快。这些因素使得系统的功耗迅速增加，它将成为集成电路继续发展的一个最大障碍[1]. 低功耗设计问题已引起广泛的关注[2—6]，它贯穿于从系统级到器件(工艺)级的整个数字系统设计过程. 1992 年美国半导体工业联合会已确认低功耗设计技术是集成电路设计的一个紧急技术需要[7].

在静态 CMOS 电路中，节点信号每跳变一次就需要消耗 $CV_{dd}^2/2$ 的能量(其中 C 是节点的电容，V_{dd} 为电源电压)，它独立于电路内部的具体结构[5]. 为降低电路的能耗可采取的措施，包括降低电源电压 V_{dd}，减小节点电容以及减少开关冗余跳变等. 这些方法无疑均是有效的，但却是有限度的. 由于能耗 $E \propto V_{dd}^2$，因此，降低电源电压应该是减少能耗最为有效的措施. 但降低电源电压后为不影响电路的性能，开关的阈值也必须按一定比例降低[8,9]. 而阈值降至一定程度会导致亚阈值电流增大，从而使漏电流功耗增大[1,2,8]. 此外，降低阈值电压也使电路的噪声容限降低，这对于像 Domino[1,10,11] 及 SRAM 等电路的影响尤为显著[1]. 因此，寻求降低电路能耗的其它措施是人们努力的目标之一.

绝热电路[5,12]突破了传统 CMOS 电路中能量传输模式的局限性. 使得对能量的使用不再是由 V_{dd} →信号节点→地(0)的一次性使用方式(这一方式将使能耗总是受制于 CV_{dd}^2)，而是由电源→信号节点→电源的重复利用方式. 这使电路表现为具有能量恢复的特点，因此也将这种电路称为能量恢复型电路[6]. 能量的往返传输暗示了电路将采用交变电源供电. 基于绝热充放电原理[13]，迄今已提出了多种用于实现绝热开关逻辑的方案[12,14—17]. 文献[17]主要对其中具有交叉耦合结构的绝热电路的工作原理进行了分析，并对它们的性能作了比较. 这些电路在能耗上远远小于传统的 CMOS 电路，但大多存在输出端悬空问题[17]. 随着集成度的提高，器件尺寸的缩小，MOSFET 电容相应减小，加之工作电压逐渐下降. 这些都将使存储的电荷量减少，从而使电路对干扰的敏感性增大. 同时，阈值电压的降低又造成电路本身的噪声容限降低. 而另一方面，由于集成密度的增大，使连线之间的间距减小，这使得连线间的电容增大，从而导致电容间的耦合而产生的噪声加

* 国家自然科学基金资助项目(No. 69973039).
杭国强　男，1968 年出生，博士，目前主要从事低功耗数字集成电路设计的研究.
吴训威　男，1940 年出生，教授，博士生导师，主要从事数字逻辑与集成电路设计的研究.
2000-04-26 收到，2000-08-16 定稿
©2001 中国电子学会

强[18]. 这些因素使得噪声问题日益突出[19,20]. 输出端的悬空状态将严重降低电路的抗干扰能力, 从而影响电路工作的稳定性, 并降低电路在其它方面的性能[21]. 为提高电路的抗干扰能力, 绝热电路也应具有类似静态 CMOS 电路的箝位特点. 由于提供给绝热电路的电源是在 0—V 之间随时间逐渐变化的周期信号, 它一方面为电路提供能源, 同时又控制着电路的工作节奏(相当于传统电路的时钟信号), 因而称之为功率时钟(Power Clock)[12]. 因此, 对于绝热电路要消除输出端的悬空状态也即要求输出或箝位于功率时钟的高电平, 或箝位于功率时钟的低电平.

在已提出的具有交叉耦合的能量恢复型电路中, 只有 2N-2N2P[22] 电路在电平的有效输出期均消除了悬空状态, 从而使它的抗干扰性明显增加[21]. 但 2N-2N2P 电路的主要缺陷在于需要采用四相功率时钟, 这无疑增加时钟源的设计难度. 而 PAL (Pass-transistor Adiabatic Logic) 电路[23] 以及作者提出的 PAL-I 电路[17] 只需采用二相功率时钟工作, 而且它们的能耗远小于 2N-2N2P 电路. PAL 和 PAL-I 电路在结构上是互补的, 它们的缺陷是 PAL 电路在低电平输出时处于悬空状态, 而 PAL-I 电路则在高电平输出时为悬空状态. 为使 PAL、PAL-I 两种电路具有更好的工作性能, 按前面的讨论需要采取措施消除悬空状态. 本文将提出用于消除这两种电路输出悬空状态的电路设计.

2　PAL 及 PAL-I 电路

PAL 电路如图 1(a) 所示, 图 1(b) 给出了它的工作波形. 该电路的工作原理为: 在①时, $clk_y = 0$ (图中 clk_x 为前级电路的功率时钟), 此时 $y, \bar{y}$ 均置基为 0. 但由于 $x = 1, \bar{x} = 0$, 因此 MN1 导通, $y = 0$ 为接通 clk_y. 但 MN2 及 MP2 均截止, 因此 $\bar{y} = 0$ 为悬空. 在②时, 由于 x 对 MN1 继续作用, 因此 y 随 clk_y 上升, 此时 MN2 及 MP2 继续截止, $\bar{y}$ 保持为 0. $\bar{y} = 0$ 对 MP1 的作用直接保证了 y 跟随 clk_y 上升, 尽管 MN1 随 x 下降而截止. 在③时, MN1、MN2 均截止, 但通过 MP1, y(= 1) 接通 clk_y, 而 $\bar{y}$(= 0) 仍为悬空. 在④时. 因 MP1 的导通使 y 随 clk_y 下降. y 将下降至 $|V_{tp}|$ 而不会降到 0(其中 V_{tp} 为 pMOS 管的阈值电压), 因为 MP1 此时已截止, y 处于悬空状态, 但随着 $\bar{x}$ 的上升, $\bar{y}$ 将接通 clk_y 为 0. 由上述分析可以发现, PAL 电路在有效输出期(即时钟的高电平期), 当输出为高电平时箝位于功率时钟源的高电平, 而当输出为低电平时则处于悬空状态.

图 1　(a) PAL 基本电路; (b) 二相时钟及基 0 输入-输出信号

FIG. 1　(a) PAL Basic Circuit; (b) Two-Phase Clock and Base-0 Input-Output Signals

PAL-I 电路如图示 2(a) 所示, 图 2(b) 为它的工作波形. 假设初始时 $y = 1, \bar{y} = 0$(如①时). clk_y 由 0 开始上升(clk_x 为前级电路的功率时钟), MN2 导通, 在 clk_y 与 $\bar{y}$ 之间构成通路. 因此, 输出 $\bar{y}$ 将跟随 clk_y 而上升, 直到 y 与 $\bar{y}$ 之间差 V_{tn}(nMOS 管阈值) 为止. 这使 y、$\bar{y}$ 输出均为高电平(但它们之间相差 V_{tn}), 故为预充期(即为置基 1 的过程). 当 clk_y 由高电平 V 开始下降时进入赋值期(如④时). 初始时 $x = 0$, MP1 导通, $\bar{x} = 1$, MP2 截止. 因此 y 与 clk_y 之间构成通路, 输出 y 将跟随 clk_y 逐渐下降. 当 clk_y 降至低于 $\bar{y}$ 端 V_{tn} 时, 由于 MN1 的导通而使输出 $y = 0$(尽管此时 x 已上升至 1), $\bar{y}$ 则继续保持高电平输出. 可以看出该电路的低电平输出被箝位于时钟低电平, 而高电平输出端则处于悬空状态.

图 2 (a) PAL-I 基本电路; (b) 二相时钟及基 1 输入-输出信号

FIG. 2 (a) PAL-I Basic Circuit; (b) Two-Phase Clock and Base-1 Input-Output Signals

由于 PAL 及 PAL-I 电路本身结构简单, 能耗低, 级联时可以工作于二相正弦功率时钟因此较有实用意义. 但它们分别在有效输出期的低电平和高电平为悬空状态, 从而影响电路的性能. 因此, 需要采取措施消除输出端的悬空状态.

3 消除悬空输出的电路设计

输出悬空会使输出电平易于因电容耦合作用而受电路中邻近节点信号变化的干扰[11, 18—23], 以及出现类似动态电路中的电荷重分配问题[10, 11], 因此在绝热电路设计时必须采取有效措施消除输出悬空状态. 对于 PAL 电路, 当输出端 y 为低电平时为悬空状态. 此时, 如果和 y 节点邻近的 n 节点有一信号由 0 上升到 V, 如图 3(a) 所示. 则该信号的变化将经耦合电容 C_c 而对 y 的电平产生影响(假设输出节点的等效电容为 C_y), 在最坏情况下将使 y 的电平抬高 ΔV_y.

$$\Delta V_y = \frac{C_c}{C_y + C_c} V \tag{1}$$

根据上节的讨论, PAL 电路实际低电平输出时本身就不为零(约为 $|V_{tp}|$), 当然这一电压在前级电路进入赋值期时可能会降低. 这是由于当本级电路为置基阶段时, 前级电路为赋值阶段, 因此当前级电路的功率时钟 clk_x 上升至峰值时(本级功率时钟 clk_y 下降至 0), 输出 x 和 $\bar{x}$ 中必有一个为高电平, 这使本级电路的输入 nMOS 管必有一个导通, 从而接通 clk_y(不过此时的低电平不代表真正的逻辑值). 因电容耦合引起的低电平抬高 ΔV_y 将影响下级 nMOS 管在赋值初期的导通情况, 从而影响电路的性能.

对于 PAL-I 电路, 当输出节点 y 为高电平时处于悬空状态. 这样对输出电压 y 的影响最坏情况将来自两方面: 其一是存在电荷重分配问题; 其二是由于耦合电容引入的串扰. 以图 3(b) 为例(与门), 当 clk_y 为高电平时, 则输出应为置基阶段, 即输出为高电平. 当 clk_y 由高电平下降时进入赋值期, 此时若输入 x_1(来自前级电路的输出) 为低电平而 x_2 保持高电平, 则输出电容 C_y 上的电荷就要和内部节点电容 C_x 进行重新分配, 从而导致 V_y 下降 ΔV_{y1}(考虑到电路置基是由 nMOS 导通完成的, 因此, 假设初始时 C_x 上无电荷).

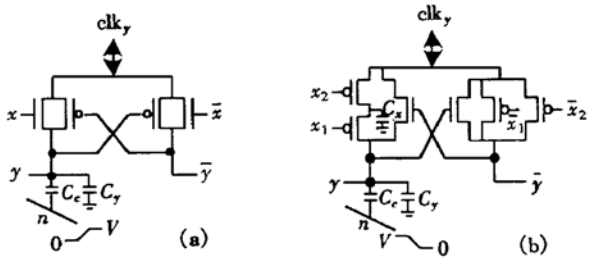

图 3 悬空输出 (a) 对 PAL 低电平的影响; (b) 对 PAL-I 高电平的影响

FIG. 3 Floating Output (a) Influence on Low-Level of PAL; (b) Influence on High-Level of PAL-I

$$\Delta V_{y1} = \frac{C_x}{C_x + C_y} V \tag{2}$$

如果邻近的 n 节点有一个信号从 V 下降至 0, 则它通过耦合电容 C_c 也会造成节点电压 V_y 下降 ΔV_{y2}.

$$\Delta V_{y2} = \frac{C_c}{C_y + C_c} V \tag{3}$$

综合式(2)、(3), 如果不考虑两者同时发生的情况, 假设当电荷重分配达到平衡后, 再受到串扰的影响, 或反之, 那么输出点 y 的电平将下降 Δy.

$$\Delta V_y = \frac{C_x + C_c}{C_x + C_y + C_c} V \tag{4}$$

通过上述分析可以看出, 由于输出端的悬空状态将导致电路噪声容限减少, 影响电路的稳定性. 因此, 消除悬空状态对提高电路的性能非常重要. 为此, 我们提出图 4(a)、(b) 所示的电路设计(分别称

为 2N2P-2N 及 2P2N-2P 电路). 下面首先对图 4(a)电路的工作原理进行分析.

图 4(a)较之图 1(a)增加了两个低电平箝位管 MN3、MN4 以及一个功率时钟源$\overline{clk_y}$, clk_y 刚好为下级电路的功率时钟源, 因此该电路工作时并没有增加时钟源的数目. 在置基阶段, 由于 y、$\bar{y}$ 输出均为零, 因此 MN3、MN4 截止. 当clk_y 开始由零上升时进入赋值期, 此时若 $x=1$, $\bar{x}=0$, 则 MN1 导通, MN2 截止. 输出 y 将跟随clk_y 上升, 当 y 上升至高于 $\bar{y}$ 一个$|V_{tp}|$ 时, MP1 导通. y 经 MP1 而跟随clk_y 上升至峰值, 高电平输出箝位于clk_y 的高电平. 如果没有 MN4, 则由于 MP2、MN2 的截止, 使输出低电平为悬空状态. 但接入 MN4 后, 由于clk_y 由 0 上升时, $\overline{clk_y}$ 则由 V 开始下降. 当clk_y 上升并超过 $\bar{y}$ 一个$|V_{tp}|$ 时 MP1 导通. 若 MP1 的开启阈$|V_{tp}|$ 与 MN4 的开启阈 V_{tn}相等, 则此时 MN4 也会导通而使$\overline{clk_y}$ 有部分能量注入 $\bar{y}$, 但随即由于$\overline{clk_y}$ 的下降使 $\bar{y}$ 通过导通的 MN4 与$\overline{clk_y}$ 相接. 当 y 上升至clk_y 的峰值时, $\overline{clk_y}$ 则降为 0, 从而使低电平输出端 $\bar{y}$ 箝位于$\overline{clk_y}$ 的低电平, 消除了悬空状态. 同理可分析当 $x=0$, $\bar{x}=1$ 时, 输出端 y 经导通的 MN3 而箝位于$\overline{clk_y}$ 的低电平.

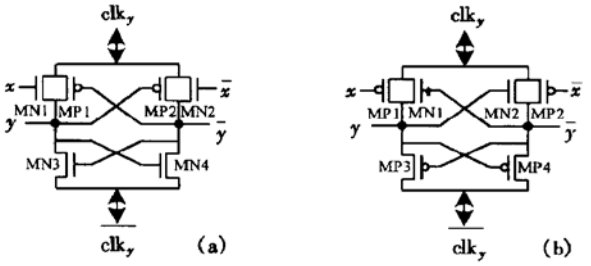

图 4　无悬空输出　(a) 2N2P-2N 基本电路; (b) 2P2N-2P 基本电路

FIG. 4　Non-Floating Output　(a) 2N2P-2N Basic Circuit; (b) 2P2N-2P Basic Circuit

对图 4(b)电路的工作原理可作类似的分析. 在置基阶段, y、$\bar{y}$ 输出均为高电平, MP3、MP4 截止. 当 clk_y 由高电平 V 开始下降时进入赋值期, 此时若 $x=1$, $\bar{x}=0$, 则 MP2 导通, MP1 截止. y 保持高电平, $\bar{y}$ 将先经导通的 MP2 跟随 clk_y 逐渐下降, 当降至低于 y 端一个 V_{tn}时, MN2 导通. $\bar{y}$ 经 MN2 而跟随 clk_y 降至 0, 实现能量恢复并箝位于 clk_y 的低电平. 若没有 MP3, 则由于 MP1、MN1 的截止, 使 y 输出高电平为悬空状态, 输出约为 $V-V_{tn}$. 但接入 MP3 后, 当 $\bar{y}$ 开始下降时, $\overline{clk_y}$ 则由 0 开始上升. 当 $\overline{clk_y}$ 上升并超过 $\bar{y}$ 一个$|V_{tp}|$ 时, MP3 导通. 从而高电平输出端 y 接通 $\overline{clk_y}$ 并最终箝位于 $\overline{clk_y}$ 的高电平. 同理可分析当 $x=0$, $\bar{x}=1$ 时, 输出端 $\bar{y}$ 经导通的 MP4 而箝位于 $\overline{clk_y}$ 的高电平. 这样就消除了 PAL-1 电路高电平的悬空状态. 同样由于 $\overline{clk_y}$ 刚好是后级电路的功率时钟源, 因此, 该电路工作时仍只需采用二相功率时钟.

为比较设计结果, 以图 5(a)所示的移位寄存器为电路实例(图中基本电路即指 PAL, PAL-1, 2N2P-2N, 2P2N-2P 电路), 采用 1.2μm CMOS 工艺, 25MHz 正弦功率时钟信号(峰-峰值为 3V), 如图 5(b)所示, 输入序列为…1010…, 对 PAL 与 2N2P-2N, PAL-1 与 2P2N-2P 进行计算机模拟. 模拟结果分别如图 5(c), (d)所示, 图中 x_0 为前级电路的输出信号, x_1 为经一级基本电路移位后的输出信号. 可以看出图 4(a)和(b)电路的输出波形明显优

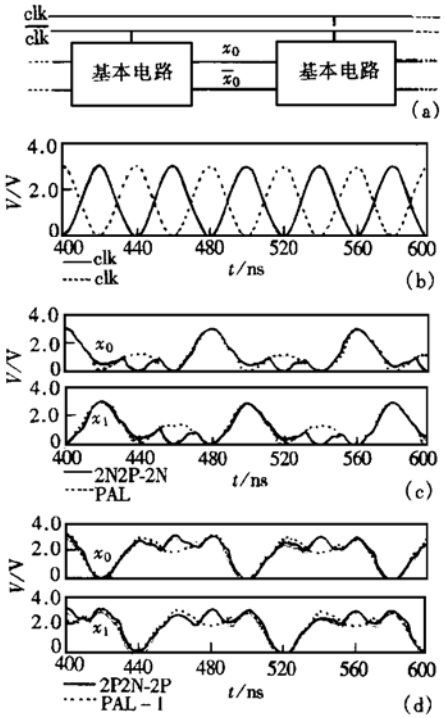

图 5　基本电路级联实例(移位寄存器)及模拟波形

(a) 级联电路; (b) 功率时钟; (c) 2N2P-2N 与 PAL 比较; (d) 2P2N-2P 与 PAL-1 比较

FIG. 5　Chain of Basic Circuits (Shift Register) and Simulation Waveforms　(a) Chain of Basic Circuits; (b) Power Clocks; (c) Comparison Between 2N2P-2N and PAL; (d) Comparison Between 2P2N-2P and PAL-1

于 PAL 与 PAL-I 电路的输出,在有效输出期的高低电平均实现了箝位. 图 6 给出了一级 2N2P-2N 电路、PAL 电路及传统静态 CMOS 反相器的瞬态能耗曲线. 从 2N2P-2N 电路及 PAL 电路能耗曲线可以明显看出能量的恢复过程. 它们的上升部分反映向电路注入能量,而下降部分表示由电源回收能量,因此图中曲线凹底的渐升现象反映了电路的能耗. 可以看出加入箝位管后电路的能耗有所增加,但依然非常小. 对一级 PAL 电路测得 5 个时钟周期后电路的能耗小于 0.05pJ,而加入箝位管后测得的能耗小于 0.1pJ. 在相同参数下(采用 3V 电源),5 个时钟周期后一个静态 CMOS 反相器的能耗超过 2.5pJ. 因此,能量恢复型电路在能耗上的节省是十分显著的,而本文提出的消除输出端悬空态的设计则改善了电路的性能,提高了电路的抗干扰能力,并使得它们可在具有更高频率及更低电压峰值的功率时钟下正常工作. 这预示了它们具有较好的实用性.

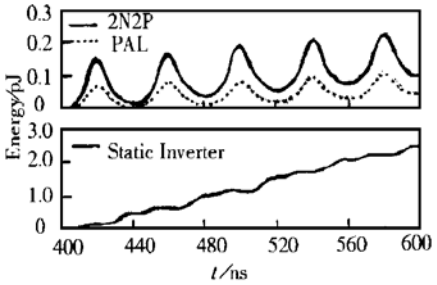

图 6 2N2P-2N、PAL 电路及静态 CMOS 反相器的瞬态能耗比较

FIG. 6 Transient Energy Consumption Comparison Among 2N2P-2N, PAL Circuits and Static CMOS Inverter

4 结论

能量恢复电路的提出为实现低功耗 VLSI 设计提供了一条可供选择的崭新途径. 这种电路设计技术在能耗的节省方面十分显著,但电路的其它性能目前尚不够理想,对它的研究在不断深入. 在已提出的实现绝热开关逻辑的各类电路方案中,PAL、PAL-I 电路结构最为简单,能耗最低,而且可工作于二相功率时钟(这有助于简化时钟源的设计),显示了实用前景. 然而,这两种电路均存在输出悬空问题,它严重降低了电路的抗干扰性能. 随着集成规模的日益增大,工作速度的不断提高,电源电压的逐渐减小,干扰问题日趋突出. 因此,在电路设计时因充分考虑电路的抗干扰能力. 在绝热电路中,输出悬空不仅易受串扰信号的影响而且可能导致电荷重分配问题. 因此,消除悬空输出对提高电路的工作性能非常重要. 本文提出的两种绝热电路除了保持能耗低,电路结构简单,可工作于二相功率时钟的优点之外,同时保持了类似于静态 CMOS 电路中的箝位特点,实现了在整个有效输出期输出信号或箝位于功率时钟的高电平或箝位于时钟的低电平,从而增强了这两种电路的实用性.

绝热电路中功率时钟既为电路提供能源同时又控制着电路的工作节奏(速度),电路对功率时钟的不同要求直接影响到时钟源的设计难易度以及时钟网络的能耗,因此,如何考虑在绝热电路设计中降低对功率时钟的要求就显得十分重要. 反过来,时钟源的设计结果也影响着绝热电路的工作性能. 两者相互制约,最终决定着绝热电路设计技术的实用化进程. 本文所提出的二种无悬空输出的绝热电路对功率时钟的要求与 PAL 和 PAL-I 电路的要求是一致的,因此不会增加时钟源的设计难度. 此外,由于它们具有双轨输入输出结构,双轨输入对于功率源来说意味着负载电容独立于逻辑输入信号[12,24],这有助于简化功率源的设计. 如同在传统 VLSI 电路设计中需要考虑时钟信号的偏移问题一样,在绝热电路中所采用的二相功率时钟在传输时可能通过不同的布线路径,经过不同的延迟,或是因负载不匹配等因素均会造成功率时钟的偏移. 以 PAL 电路为例(对照图 1 的工作波形),其本级电路赋值初期能量的注入(输入 MOS 管的导通)是靠前级输出的高电平作用的(即前级电路功率时钟的高电平). 这样,如果本级电路的时钟出现了偏移,那么本级电路赋值开始时,前级输出的高电平已经下降了一定的值. 因此,时钟的偏移将导致非绝热运算能耗的增加,严重时将影响电路的正确赋值. 为减小功率时钟的偏移,一方面需要对功率时钟源的产生、分布进行精心设计外,另一方面需要改进绝热电路本身的设计.

参考文献

[1] V. K. De and S. Borkar, Technology and Design Challenges for Low Power and High Performance, Proc. of the Symposium on Low Power Electronics and Design, San Diego, 1999, 163—168.

[2] A. P. Chandrakasan, S. Sheng and R. W. Brodersen, IEEE J. Solid-State Circuits, 1992, **27**(4): 473—484.

[3] B. Davari, R. H. Dennard and G. G. Shahidi, Proc. the IEEE, 1995, **83**(4): 595—606.

[4] WEI Shao-jun, Electronic Science & Technology Review, 1998, (1): 21—24(in Chinese) [魏少军, 电子科技导报, 1998, (1): 21—24].

[5] A. P. Chandrakasan and R. W. Brodersen, Low Power Digital CMOS Design, Kluwer Academic Press, Boston, 1995.

[6] J. M. Rabaey and M. Pedram, Low Power Design Methodologies, Kluwer Academic Press, Boston, 1996.

[7] Workshop Working Group Reports, Semiconductor Industry Association, Irving, TX, 1992, 22—23.

[8] R. Gonzalez, B. M. Gordon and M. A. Horowitz, IEEE J. Solid-State Circuits, 1997, **32**(8): 1210—1216.

[9] D. Liu and C. Svensson, IEEE J. Solid-State Circuits, 1993, **28**(1): 10—17.

[10] J. A. Pretorius, A. S. Shubat and C. A. T. Salama, IEEE Trans. Circuits and Systems, 1986, **33**(8): 786—793.

[11] P. Larsson and C. Svensson, IEEE J. Solid-State Circuits, 1994, **29**(6): 655—662.

[12] J. S. Denker, A Review of Adiabatic Computing, Proc. of the Symposium on Low Power Electronics, San Diego, 1994, 94—97.

[13] C. L. Seitz, A. H. Frey, S. Mattisson *et al.*, Hot-Clock NMOS, Proc. the 1985 Chapel Hill Conference on VLSI, Computer Science Press, Maryland, 1985, 1—17.

[14] WU Xun-wei and HANG Guo-qiang, Chinese J. Computers, 2000, **23**(7): 11(in Chinese) [吴训威, 杭国强, 计算机学报, 2000, **23**(7): 11].

[15] WU Xunwei and M. Pedram, Low Power CMOS Integrated Circuits Using AC Energy Source, Proc. of China 11th National Conference on Integrated Circuits and Silicon Materials, Da Lian, China 1999, 688—691(in Chinese) [吴训威, M. Pedram, 采用交流能源的低功耗 CMOS 集成电路, 中国第十一届集成电路和硅材料学术会议论文集, 大连, 1999, 688—691].

[16] M. Pedram and X. W. Wu, Analysis of Clocked Power CMOS Gates with Application to the Design of Energy-Recovery Circuits, Proc. of ASP-DAC, Pacifico Yokohama, 2000, 339—344.

[17] WU Xun-wei and HANG Guo-qiang, J. of Circuits and Systems, 2000, **5**(2): 1—8(in Chinese) [吴训威, 杭国强, 电路与系统学报, 2000, **5**(2): 1—8].

[18] E. T. Lewis, Solid-State Electronics, 1984, **27**(8- 9): 741—749.

[19] K. L. Shepard, Design Methodologies for Noise in Digital Integrated Circuits, Proc. of the IEEE/ACM Design Automation Conference, San Francisco, 1998, 94—99.

[20] G. Balamurugan and N. R. Shanbhag, Energy-Efficient Dynamic Circuit Design in the Presence of Crosstalk, Proc. of the International Symposium on Low-Power Electronics and Design, San Diego, 1999, 24—29.

[21] D. J. Frank, Comparison of High Speed Voltage-Scaled Conventional and Adiabatic Circuits, Proc. of the International Symposium on Low Power Electronics and Design, Monterey, 1996, 377—380.

[22] A. Kamer, J. S. Denker, B. Flower *et al.*, 2nd Order Adiabatic Computation with 2N-2P and 2N-2N2P Logic Circuits, Proc. of the International Symposium on Low Power design, Dana Point, 1995, 191—196.

[23] V. C. Oklobdzija, D. Maksimovic and F. Lin, IEEE Trans. Circuits and Systems-II: Analog and Digital Signal Processing, 1997, **44**(10): 842—846.

[24] J. S. Denker, S. C. Avery, A. G. Dickinson *et al.*, Adiabatic Computing with the 2N-2N2D Logic Family, Proc. of the International Workshop on Low Power Design, Napa Valley, 1994, 183—187.

Adiabatic CMOS Switching Circuits Adopting Two-Phase Power-Clock Supply and Avoiding Floating Output*

HANG Guo-qiang[1] and WU Xun-wei[2]

(1 *Department of Information and Electronic Engineering, Zhejiang University, Hangzhou* 310027, *China*)
(2 *Institute of Circuits and Systems, Ningbo University, Ningbo* 315211, *China*)

Abstract: The effect on circuit performance due to the floating output in PAL and PAL-I circuits is analyzed, with the emphasis on the importance of eliminating floating output in the design of adiabatic circuits. Two novel complementary adiabatic circuits without floating output are proposed. PSPICE simulation proves that these circuits can realize the energy recovery effectively and their output levels are clamped during the entire output valid time.

Key words: low-power design; CMOS; adiabatic switching; energy recovery; capacitive coupling
EEACC: 1265A; 1265B; 2560; 2570D
Article ID: 0253-4177(2001)03-0366-07

* Project Supported by National Natural Science Foundation of China Under Grant No. 69973039.

HANG Guo-qing male, was born in 1968 and received his Ph. D degree in electronic science and technology from Zhejiang University in 2000. He is now engaged in the research on low-power digital integrated circuits design.

WU Xun-wei male, was born in 1940. He is a professor and an adviser for Ph. D candidates. His main research interests are digital logic and design of integrated circuits.

Received 26 April 2000, revised manuscript received 16 August 2000
©2001 The Chinese Institute of Electronics