

CMOS 源极跟随缓冲电路

余宁梅 杨 安 陈治明 高 勇

(西安理工大学自动化与信息工程学院, 西安 710048)

摘要: 提出用 CMOS 源极跟随缓冲电路以较少的电路段数快速驱动大电容负载。HSPICE 模拟结果表明, 在负载电容为基本栅电容的 100 倍及 6000 倍时, CMOS 源极跟随缓冲电路具有高于多段倒相器缓冲电路的负载驱动能力, 且占有面积小。从而较好地解决了高速驱动芯片内各种数据传输及外部负载的问题。该电路结构简单, 易于实现, 且制作工艺与标准 CMOS 工艺完全兼容。

关键词: 源极跟随器; 缓冲电路; CMOS

EEACC: 2570D; 1130B; 1210

中图分类号: TN 386 **文献标识码:** A **文章编号:** 0253-4177(2001)04-0469-07

1 引言

近几年, VLSI 技术飞速发展, 集成电路中晶体管尺寸越来越小, 栅长最小尺寸已达到 $0.1\mu\text{m}$ 程度^[1]。随着集成电路向超微细化、超高密度化的发展, 在一个标准芯片上的电路规模不断扩大, 大型电路系统的芯片化已可实现。这时, 占芯片面积 80% 以上的布线的寄生电容就成为导致整个系统的工作速度下降的主要原因之一。例如, 对于微型中央处理器要使用系统时钟来控制整个芯片的动作, 这时, 常常是由一个时钟电路来产生带动整个芯片动作的各种控制信号。也就是说, 提供时钟信号的布线将很长, 有时可达到几厘米。如何高速的驱动这种具有大电容负载的数据线, 是我们所面临的一个重大课题。另一方面, 输出端缓冲电路也必须驱动比基本栅极大数千倍甚至数万倍的外部负载。由此可知, 负载驱动缓冲电路是集成电路中不可缺少的重要部分。为了驱

动大电容负载, 通常采用由超大栅宽 CMOS 反相器所组成的缓冲电路^[2,3]。但是, 栅宽过大使缓冲电路本身也成为了不容忽略的电容负载。为此, CMOS 源极跟随器引起我们的注意。由于 CMOS 源极跟随器具有输入与输出同相的特点, 栅极电容可以等价地看作很小。本文用 HSPICE 模拟的方法验证了 CMOS 源极跟随器高速驱动大电容负载电路的有效性。同时, 还给出了采用反相器-源极跟随器-反相器的结构所组成的少段数缓冲电路可以高速驱动大电容负载的模拟结果。

2 源极跟随电路基本特性

CMOS 源极跟随器基本电路结构和器件剖面如图 1 所示。电路由耗尽型 NMOS、PMOS 两个管子组成。与 CMOS 反相器所不同的是 NMOS、PMOS 互换了接续位置。根据古典的 Shockley 模型, 流过 NMOS、PMOS 的电流 i_N 、 i_P 可以分别用式

余宁梅 1962 年出生, 1995 年获日本东北大学微电子学科硕士学位, 1998 年获日本东北大学微电子学科博士学位。目前从事高速集成电路设计及工艺研究。

杨 安 1959 年出生, 1985 年获中国科学院理学硕士学位。现作为访问学者在日本从事集成电路 CAD 和光电子学的研究。

陈治明 1945 年出生, 教授, 博士研究生导师。目前主要从事新型半导体材料 SiC 和新型功率器件及功率集成电路的研究。

高 勇 1956 年出生, 教授, 博士研究生导师, 1995 年获西安交通大学微电子学科博士学位。目前主要从事新型功率半导体器件及集成电路 CAD 和半导体光电集成的研究。

2000-01-16 收到, 2000-11-21 定稿

©2001 中国电子学会

(1)、(2) 来表示^[4]:

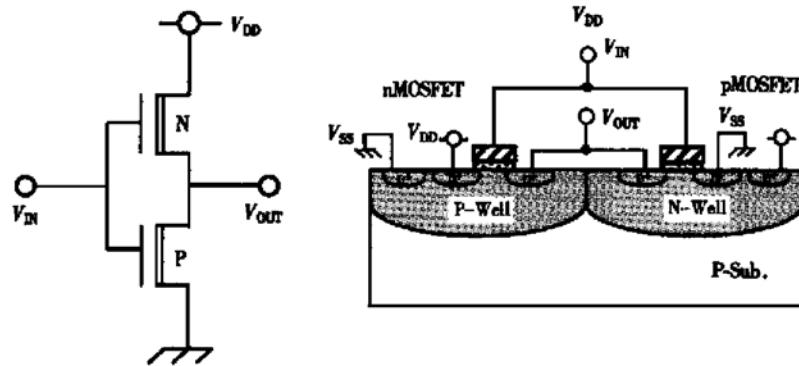


图 1 CMOS 源极跟随器电路图及剖面图

FIG. 1 Circuit Diagram and Cross-Section of the CMOS Source-Follower

$$i_N = \begin{cases} \beta_N \left[(V_{GS} - V_{TN}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] & V_{DS} < V_{GS} - V_{TN} \\ \frac{1}{2} \beta_N (V_{GS} - V_{TN})^2 & V_{DS} \geq V_{GS} - V_{TN} \end{cases} \quad (1)$$

$$i_P = \begin{cases} \beta_P \left[(V_{GS} - V_{TP}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] & V_{DS} < V_{GS} - V_{TP} \\ \frac{1}{2} \beta_P (V_{GS} - V_{TP})^2 & V_{DS} \geq V_{GS} - V_{TP} \end{cases} \quad (2)$$

式中 $V_{GS} = V_{IN} - V_{OUT}$; $\beta_N = C_{ox} \mu_n W/L$; $\beta_P = C_{ox} \mu_p W/L$, C_{ox} 为栅极单位电容, μ_n 、 μ_p 为电子空穴迁移率, W/L 为栅极宽长比; V_{TN} 、 V_{TP} 分别为 NMOS、PMOS 的阈值电压.

下面我们将通过电路在 3 种不同工作区域的电流特性的分析, 导出电路的电压输入输出特性.

2.1 NMOS、PMOS 均工作在饱和区

这时流过 NMOS、PMOS 的电流 i_N 、 i_P 为:

$$i_N = \frac{1}{2} \beta_N (V_{IN} - V_{OUT} - V_{TN})^2 \quad (3)$$

$$i_P = \frac{1}{2} \beta_P (V_{IN} - V_{OUT} - V_{TP})^2 \quad (4)$$

此时, $V_{IN} - V_{DD} < V_{TN}$, $V_{IN} - V_{SS} > V_{TP}$. 根据电流连续条件可得:

$$i_N = i_P$$

即

$$\begin{aligned} & \frac{1}{2} \beta_N (V_{IN} - V_{OUT} - V_{TN})^2 \\ &= \frac{1}{2} \beta_P (V_{IN} - V_{OUT} - V_{TP})^2 \end{aligned}$$

在此, 假设 $\beta_N = \beta_P$ 、 $V_{TP} = -V_{TN} = V_T$, 我们可得出 CMOS 源极跟随器在 NMOS、PMOS 均工作于饱和

区时电压的输入输出特性为:

$$V_{OUT} = V_{IN} - V_{SS} + V_T < V_{TN} < V_{DD} - V_T \quad (5)$$

2.2 NMOS 工作在饱和区, PMOS 工作在线性区

这时流过 NMOS、PMOS 的电流 i_N 、 i_P 为:

$$i_N = \frac{1}{2} \beta_N (V_{IN} - V_{OUT} - V_{TN})^2 \quad (6)$$

$$i_P = \beta_P \left[(V_{IN} - V_{OUT} - V_{TP}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (7)$$

根据电流连续条件, 我们同样可以导出

$$\begin{aligned} V_{OUT} &= V_{SS} + \frac{1}{4V_T} (V_{IN} - V_{SS} + V_T)^2 \\ V_{SS} < V_{IN} &< V_{SS} + V_T \end{aligned} \quad (8)$$

2.3 NMOS 工作在线性区, PMOS 工作在饱和区

这时流过 NMOS、PMOS 的电流 i_N 、 i_P 为:

$$i_N = \beta_N \left[(V_{IN} - V_{OUT} - V_{TN}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (9)$$

$$i_P = \frac{1}{2} \beta_P (V_{IN} - V_{OUT} - V_{TP})^2 \quad (10)$$

根据电流连续条件, 我们同样可以导出

$$V_{\text{OUT}} = V_{\text{DD}} - \frac{1}{4V_T} (V_{\text{DD}} - V_{\text{IN}} + V_T)^2$$

$$V_{\text{DD}} - V_T < V_{\text{IN}} < V_{\text{DD}} \quad (11)$$

综合式(5)、(8)和(10), 最终可得出 CMOS 源极跟随器的电压输入输出特性为:

$$V_{\text{OUT}} = \begin{cases} V_{\text{SS}} + \frac{1}{4V_T} (V_{\text{IN}} - V_{\text{SS}} + V_T)^2 & V_{\text{SS}} < V_{\text{IN}} < V_{\text{SS}} + V_T \\ V_{\text{IN}} & V_{\text{SS}} + V_T < V_{\text{IN}} < V_{\text{DD}} - V_T \\ V_{\text{DD}} - \frac{1}{4V_T} (V_{\text{DD}} - V_{\text{IN}} + V_T)^2 & V_{\text{DD}} - V_T < V_{\text{IN}} < V_{\text{DD}} \end{cases} \quad (12)$$

即输出电压跟随着输入电压而变化的特性。

我们在图 2 中给出了用基本反相器来驱动 3 种不同电容负载时的输出过渡特性。HSPICE 模拟时

所采用的管子参数如表 1 所示。图中 C_0 为基本反相器的栅极输入电容。当输入电压在 0 到 20ps 的时间范围内从 5V 降到 0V 时, 让我们来看看在电容负载不同时反相器的输出过渡特性。很明显, 与输出端电容负载为 C_0 的 A 点相比, 输出电容负载 $51C_0$ 的 C 点的电压上升速度较为缓慢。也就是说, 对于电流驱动能力相同的反相器来说, 输出端电容负载越大, 电压上升速度就越慢。B 点所接续的负载由栅极电容为 $50C_0$ 的源极跟随器与电容为 C_0 的电容组成, 这时, 合计电容负载为 $51C_0$ 。但是, 由图 2 可知, 同样是接续了 $51C_0$ 的电容负载, B 点的电压上升速度比负载同是 $51C_0$ 的 C 点要快许多。这是因为接续于 B 点后的源极跟随器的输出端 D 点的电位跟随着源极跟随器的输入端 B 点的电位而变化, 即 B 点和 C 点的电位同时上升, 这一结果, 导致源极跟随器的栅

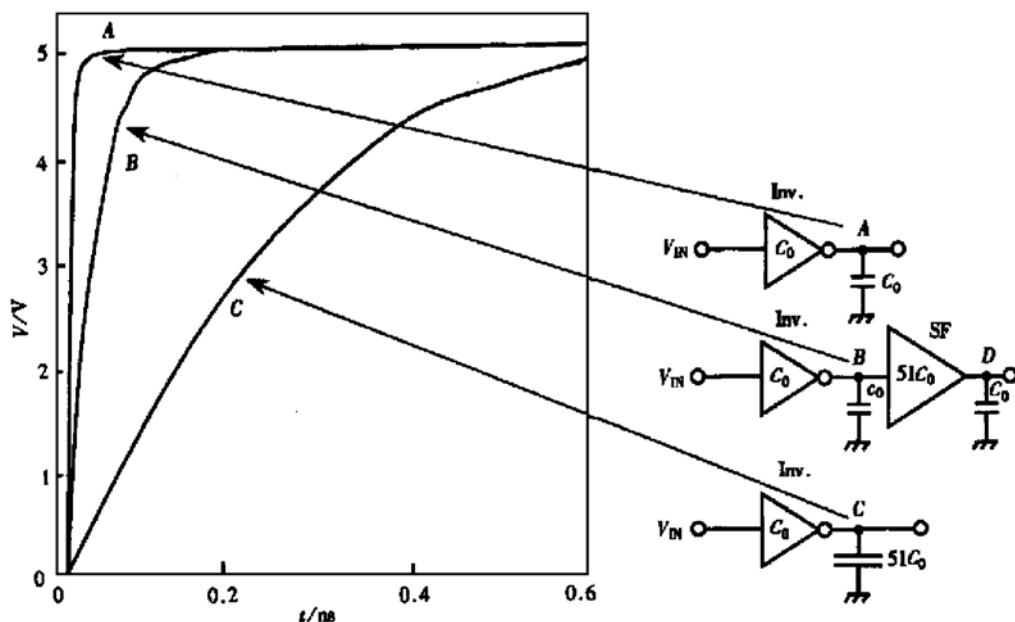


图 2 用基本倒相器驱动 3 种不同负载电容时的电路输出过渡特性

FIG. 2 Dynamic Output Characteristic of the Element Inverter for 3 Kinds of Loads

表 1 HSPICE 模拟时所采用的晶体管参数

Table 1 Device Parameters for Simulation

Element		Oxide Thickness /nm	Threshold Voltage /V	Channel Mobility /($\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$)	Channel Length / μm	Channel Width / μm
Inverter	NMOS	20	1	500	0.5	1
	PMOS	20	-1	250	0.5	2
Source Follower	NMOS	20	-1	500	0.5	1
	PMOS	20	1	250	0.5	2

极电容 $50C_0$ 的两端电位相差很小, 电荷的充电过程大大缩短。以上结果充分说明源极跟随器的等效栅极负载电容很小, 采用源极跟随器作为缓冲驱动电路不会增加电路负载。

为了验证源极跟随器的电流驱动能力, 我们将图 2 中所示源极跟随器的输出端接上不同电容负载, 然后对反相器的输出特性(即 V_A 的变化)以及源极跟随器的输出特性(即 V_B 的变化)进行了观

测, 结果如图 3(a)、(b) 所示。可以看出, 当输出电容负载从 C_0 增大到 nC_0 时($n=1-200$), 反相器的输出特性几乎相同。同时源极跟随器的输出特性也没有由于电容负载的增大而产生显著的变化。这说明源极跟随器具有较强的电流驱动能力, 能够快速驱动大电容负载。在此, 我们应该注意到的是, 当 n 增大到一定程度时, 出现了输出特性上冲现象, 这是由于电路的自举效应而引起的。

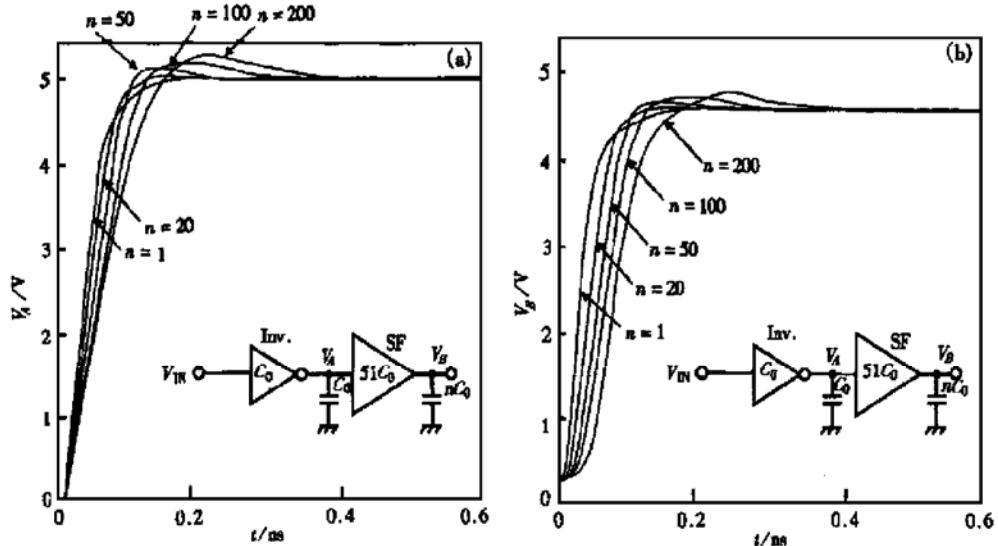


图 3 负载为源极跟随器与电容组成时, (a) 基本倒相器的输出过渡特性与电容容量的关系; (b) 源极跟随器的输出过渡特性与电容容量的关系

FIG. 3 (a) Dynamic Output Characteristic of the Element Inverter Versus Coupling Capacitance for Source-Follower and Capacitance Loads; (b) Dynamic Output Characteristic of the Source-Follower Versus Coupling Capacitance for Source-Follower and Capacitance Loads

3 缓冲电路结构及 HSPICE 模拟结果

由以上讨论可知源极跟随器具有在不增加电路负载的情况下可以高速驱动大电容负载的特点。为了有效的运用这一特点, 我们提出了如图 4 所示的由源极跟随器与反相器对所组成的缓冲电路结构。在这种电路结构中, 由于源极跟随器所产生的电压振幅的减小可以由下一段的反相器来恢复, 进一步利用源极跟随器较大的电流驱动能力来驱动大电容负载。由此, 少段数、大驱动能力的缓冲电路的实现成为可能。当电路负载电容 $C_L = 100C_0$, 布线电容为 C_0 , 我们对源极跟随器的尺寸 n 以及反相器的尺寸 m 的最佳值进行了探讨。其结果如图 5 所示。图的横

轴为反相器的尺寸 m , 纵轴为缓冲电路的延迟时间 t_τ 。三条曲线分别代表源极跟随器的尺寸 n 取值 5、10、20 时的情况。由图可知, 对应任何一个 m 值, 当 n 取值为 10 时, 电路的延迟时间 t_τ 最小, 综合考虑 n 、 m 的取值, 则可得出 $n=10$ 、 $m=60$ 时的电路延迟时间 t_τ 最小, 其值为 92.8ps。

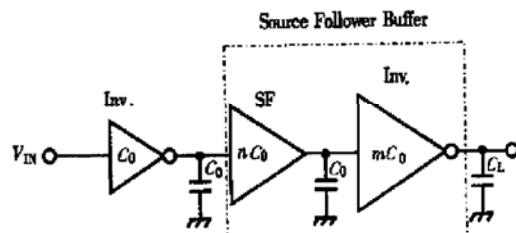


图 4 源极跟随缓冲电路图

FIG. 4 Source-Follower Buffer Circuit

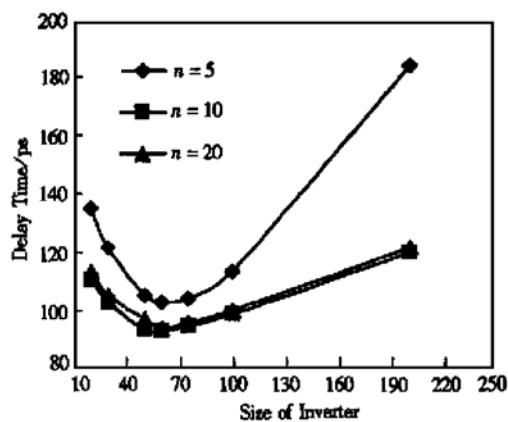


图 5 负载电容为 $100C_0$ 时, 源极跟随缓冲电路延迟时间与倒相器尺寸的关系

FIG. 5 Relationship between the delay of the source-follower and size of the inverter when the loads are $100C_0$

为了更好地说明源极跟随器缓冲电路的有效性, 我们将对本文提出的 CMOS 源极跟随器缓冲电

路和常规 CMOS 多段反相器缓冲电路的电流驱动能力及实际占有面积做一比较分析。在图 6(a) 中, 我们给出了分别用 $n=10, m=60$ 的 CMOS 源极跟随缓冲电路以及栅极尺寸以基数为 3 的等比数列递增的常规 CMOS 多段反相器缓冲电路来驱动 $C_L = 100C_0$ 的负载电容时的输出过渡特性。从图可以看出, CMOS 源极跟随缓冲电路的驱动速度比任何一种多段反相器都要快。对于多段反相器缓冲电路, 当 n 取值为 5 时, 电路的延迟时间 t_r 最小, 其值为 120.8ps。这时构成缓冲电路的反相器共为 6 段, 各段反相器的栅极尺寸分别为 $C_0, 3C_0, 9C_0, 27C_0, 81C_0, 162C_0$ 。更进一步, 当负载电容 $C_L = 6000C_0$, 图 6(b) 所示 2 段 CMOS 源极跟随缓冲电路及多段反相器缓冲电路的输出过渡特性显示于图 6(b) 中。在这种情况下, 我们依然得到了 CMOS 源极跟随缓冲电路比多段反相器缓冲电路能够更快速地驱动大电容负载的结果。

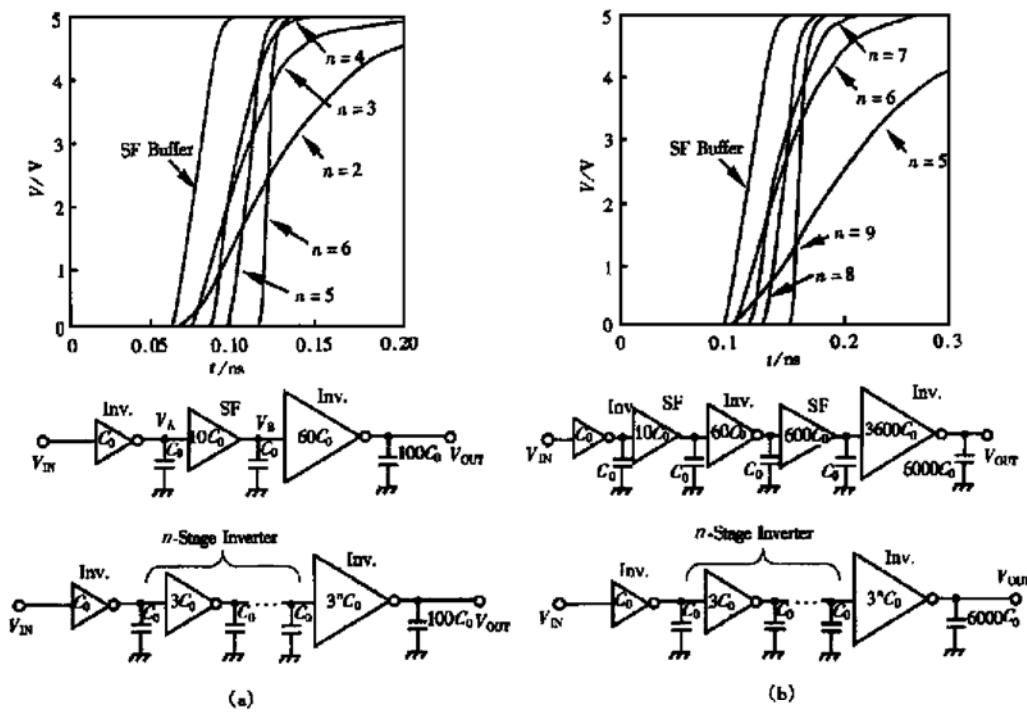


图 6 (a) 负载电容为 $100C_0$ 时, 源极跟随缓冲电路及多段倒相器缓冲电路的负载驱动输出过渡特性; (b) 负载电容为 $6000C_0$ 时, 源极跟随缓冲电路及多段倒相器缓冲电路的负载驱动输出过渡特性

FIG. 6 Dynamic Output Characteristic of the Source-Follower Buffer Circuit and Multi-Stage Inverter Buffer Circuit for (a) $100C_0$ Loads and (b) $6000C_0$ Loads

下面我们再分别对两种缓冲电路的占有面积进行讨论。假设设计规则为 $0.5\mu\text{m}$, 我们计算出 1 段、2

段 CMOS 源极跟随缓冲电路以及多段反相器缓冲电路的大约占有面积如图 7 所示。图的横轴为反相

器的段数,纵轴为缓冲电路占有面积.由前面的模拟结果可得,当负载电容 $C_L = 100C_0$ 时,CMOS 源极跟随缓冲电路为 1 段结构,而多段反相器缓冲电路的最佳段数为 5 段.这时,两种电路的占有面积分别为 $2.38 \times 10^{-9} \text{ m}^2$ 及 $4.98 \times 10^{-9} \text{ m}^2$.负载电容 $C_L = 6000C_0$ 时,2 段 CMOS 源极跟随缓冲电路及 8 段反相器缓冲电路的占有面积分别为 $38.9 \times 10^{-9} \text{ m}^2$ 及 $80.12 \times 10^{-9} \text{ m}^2$.很明显,CMOS 源极跟随缓冲电路在占有面积及负载驱动能力上均优于多段反相器缓冲电路.

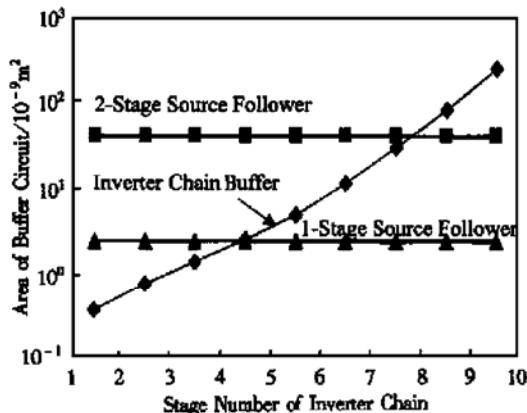


图 7 CMOS 源极跟随缓冲电路和多段反相器缓冲电路占有面积比较

FIG. 7 Area Comparison Between CMOS Source-follower Buffer and Inverter Chain Buffer Circuits

集成电路的功耗是评价电路特性的重要参数.通常,集成电路的功耗可近似写成^[5]:

$$P_{\text{总}} = P_{\text{动}} + P_{\text{静}}$$

式中 $P_{\text{总}}$ 为电路的总功耗; $P_{\text{动}}$ 为动态功耗; $P_{\text{静}}$ 为静态功耗.其中动态功耗及静态功耗分别为:

$$P_{\text{动}} = f_c C_{L\text{a}} V_{DD}^2$$

式中 f_c 为电路工作频率; $C_{L\text{a}}$ 为负荷电容量; V_{DD} 为电源电压.

$$P_{\text{静}} = I V_{DD}$$

式中 I 为漏电流.

对于源极跟随缓冲器,由于电路本身不增加负载电容,在工作频率和电源电压一定的情况下,动态功耗小于同等尺寸的 CMOS 反相器缓冲器,但是,由于源极跟随器的 NMOS、PMOS 采用了耗尽型,漏电流较大,引起静态功耗增大.为了解决这一问题,可采用切换开关,在电路等待工作时,将开关切断,以达到减小静态功耗的目的.

另外我们提出的源极跟随缓冲电路,在制造中不需要特殊工艺,可与标准 CMOS 电路集成.

4 结论

本文提出的 CMOS 源极跟随缓冲电路,能够以较少的电路段数,快速驱动大电容负载工作. HSPICE 模拟结果表明,在负载电容为基本栅极电容的 100 倍及 6000 倍时,在占有面积小的情况下,具有高于多段反相器缓冲电路的负载驱动能力,较好地解决了高速驱动芯片内各种数据传输线及外部负载的问题.该电路结构简单,与标准 CMOS 工艺完全兼容,易于实现.

参考文献

- [1] G. A. Sai-Halasz, M. R. Wordeman and D. P. Ker *et al.*, Experimental Technology and Characterization of Self-Aligned 0.1 μm -Gate-Length Low-Temperature Operation NMOS Devices, International Electron Devices Meeting Technical Digest, 1987, 397—400.
- [2] N. C. LI, GENEL. HAVILAND and A. A. TUSZYNSKI, IEEE J. Solid-State Circuits, 1990, **25**: 1005—1008.
- [3] NILS HEDENSTIerna and KJELL O. JEPPSON, IEEE Trans. Computer-Aided Design, 1987, **CAD-6**: 270—281.
- [4] 管野卓雄监修,饭塙哲哉编, CMOS 超大规模集成电路的设计,日本培风馆, 1989.
- [5] 夏本忠义编, CMOS 集成电路, 日本培风馆, 1996.

A Novel CMOS Source-Follower Buffer Circuit

YU Ning-mei, YANG An, CHEN Zhi-ming and GAO Yong

(School of Automation & Information Engineering, Xi'an University of Technology, Xi'an 710048, China)

Abstract: A novel CMOS source-follower buffer circuit is presented, which has a faster drivability for large capacitance loads than the tapered inverter chains, due to the characteristic of the CMOS source follower. When driving the large capacitance that is 100 times/6000 times as high as the original capacitance by an elemental inverter, two-stage combined source-follower/inverter buffer is 15% faster than the faster tapered inverter-chain buffer of eight-stage, with smaller wafer area. This circuit structure is simple and can be realized by the standard CMOS process easily.

Key words: source-follower; buffer circuit; CMOS

EEACC: 2570D; 1130B; 1210

Article ID: 0253-4177(2001)04-0469-07

YU Ning-mei was born in May 1962. She gained doctor's degree from North East University in Japan in 1998. Her current research interests focus on the high speed ICs design and processing technologies.

YANG An was born in Oct. 1959. He obtained his master's degree from Chinese Academy of Sciences in 1985. He is currently a visiting scholar in Japan. His research interests are in the ICs CAD and optic-electronics.

CHEN Zhi-ming was born in Oct. 1945. He is currently a professor in the Department of Electronic Engineering of Xi'an University of Technology. His research interests are in SiC material, novel power device and power IC.

GAO Yong was born in July 1956. He is currently a professor in the Department of Electronic Engineering of Xi'an University of Technology. His research interests are in novel power semiconductor device, ICs CAD and integrated opto-electronics.

Received 16 January 2000, revised manuscript received 21 November 2000

©2001 The Chinese Institute of Electronics