

# SOI NMOSFET 沟道热载流子的应力损伤\*

郝 跃<sup>1</sup> 朱建纲<sup>1</sup> 郭 林<sup>2</sup> 张正幡<sup>2</sup>

(1 西安电子科技大学微电子研究所, 西安 710071)

(2 四川固体电路研究所, 重庆 400060)

**摘要:** 研究了沟道热载流子应力所引起的 SOI NMOSFET 的损伤. 发现在中栅压应力 ( $V_g \approx V_d/2$ ) 和高栅压应力 ( $V_g \approx V_d$ ) 条件下, 器件损伤表现出单一的幂律规律; 而在低栅压应力 ( $V_{gs} \approx V_{th}$ ) 下, 多特性的退化规律便会表现出来. 同时, 应力漏电压的升高、应力时间的延续都会导致退化特性的改变. 这使预测 SOI 器件的寿命变得非常困难.

**关键词:** SIMOX; SOI; PBT; 热载流子; 阈值电压

**EEACC:** 2560P; 2570; 0170J

**中图分类号:** TN386.1

**文献标识码:** A

**文章编号:** 0253-4177(2001)04-0486-05

## 1 引言

与体硅器件相比较, CMOS/SOI 结构具有以下几个优点: 消除了闩锁效应, 减小了软误差率和寄生电容、泄漏电流, 并且器件隔离工艺更加简单, 浅结制作更加方便<sup>[1-3]</sup>. 因此 SOI MOSFET 在 ULSI 时代具有很强的竞争力. 但是, 当器件尺寸缩小时, SOI MOSFET 也会遭受热载流子效应(HCE)的损伤. SOI CMOS 技术的核心是在每一个器件中, 都存在两个相对的沟道(即顶层硅薄膜的每一边都有一个沟道)和一个浮空体. 特别是在薄硅膜或较薄硅膜的 SOI 器件中, 前后两个沟道是静电耦合的, 因此器件的静电特性(阈值电压<sup>[4]</sup>、亚阈值摆幅<sup>[5]</sup>、跨导<sup>[6]</sup>和短沟道效应<sup>[7]</sup>)与前、后两个栅的偏置条件都有关系. 在 SOI MOSFET 器件中, 浮体效应还会引起阈值电压的漂移, 导致漏、源之间寄生横向晶体管(PBT)的过早击穿<sup>[8]</sup>. 正是由于 SOI MOSFET 的这些独特结构, 使得对于其热载流子损伤方面的研究要比相应的体硅器件复杂得多.

体硅器件的热载流子效应国内外研究已很多<sup>[8,9]</sup>, 甚至认为在非超深亚微米器件尺度下, 热载

流子问题没有再研究的必要. 但 SOI 由于其损伤机理和结构的复杂性, 即便是在相对器件尺寸较大的情况下, 对于其热载流子机理研究仍有很多问题<sup>[3]</sup>. 通常在体硅器件中, 与热载流子效应(HCE)相应的工作区域是最大衬底电流偏置条件( $V_g \approx V_d/2$ )和最大栅电流偏置条件( $V_g \approx V_d$ ). 但是, 对于 SOI 器件, 除了上述两个应力区域外, 热载流子也可由 PBT 作用所产生, 因而 SOI MOSFET 在低栅压范围内( $V_g \approx 0 - V_t$ )也会遭受严重的热载流子损伤<sup>[3]</sup>. 本文给出了 SOI NMOSFET 热载流子损伤对可靠性影响结果, 虽然文中使用的器件沟道长度较长, 但同样说明热载流子损伤对可靠性影响是非常显著的.

## 2 器件制备与实验方法

本实验所用的 SOI 器件是在 SIMOX 基片上制作而成的. 顶层硅膜厚度  $t_{si} = 120 - 150 \text{nm}$ , 且为 N 型掺杂, 浓度  $N_p = 1 \times 10^{16} / \text{cm}^3$ . PMOSFET 的沟道阈值电压调整采用硼注入, 注入剂量为  $8 \times 10^{11} / \text{cm}^2$ , 注入能量为 80keV. 漏源区进行 P<sup>+</sup> 注入(即大剂量的硼离子注入), 注入剂量为  $5 \times 10^{15} / \text{cm}^2$ , 注入

\* “九五”国防预研资助项目(编号: 8.5.3.4).

郝 跃 男, 1958 年出生, 教授, 主要从事小尺寸器件可靠性物理、IC 设计、工艺及宽禁带半导体器件和电路的研究.

2000-04-26 收到, 2000-08-03 定稿

©2001 中国电子学会

能量为 80keV. 对于 N 型 SOI 器件, 阈值电压调整仍采用沟道硼注入, 但注入剂量为  $8 \times 10^{12}/\text{cm}^2$ , 注入的杂质离子能量为 80keV. 漏源区采用  $\text{N}^+$  注入 (即磷杂质注入), 注入剂量为  $5 \times 10^{15}/\text{cm}^2$ , 注入能量为 100keV. 器件的栅氧厚度  $t_{\text{ox}} = 35\text{nm}$ . N 管、P 管的长宽比均为 20/3. 这两种器件的硅薄膜体均没有电极引出, 且都是部分耗尽 (PD) 型器件.

对 SOI MOSFET 的应力试验及应力前后电参数的测量, 均使用 HP-4156B 高精度半导体参数测试仪进行. 应力分为三种, 最大衬底电流偏置条件 (即中等栅压条件)、最大栅电流偏置条件 (即高栅压条件) 和低栅压偏置条件. 应力之后在线性工作区中 (即在  $|V_{\text{ds}}| = 0.1\text{V}$  时) 测量器件的阈值电压  $V_{\text{th}}$  和线性区跨导. 器件的源电极始终接地, 即  $V_{\text{ss}} = 0\text{V}$ .

### 3 中栅压应力下的热载流子损伤特性

对 SOI NMOSFET 施加中等栅压热载流子应力, 应力电压分别取  $V_{\text{gs}} = 3\text{V}$ 、 $V_{\text{ds}} = 6\text{V}$ ,  $V_{\text{gs}} = 3.5\text{V}$ 、 $V_{\text{ds}} = 7\text{V}$ ,  $V_{\text{gs}} = 4\text{V}$ 、 $V_{\text{ds}} = 8\text{V}$ . 图 1 给出了在施加应力过程中器件的阈值电压  $V_{\text{th}}$  随应力时间的退化曲线.

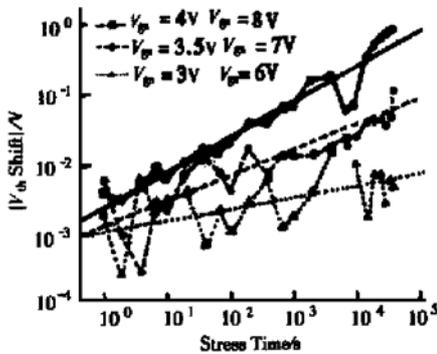


图 1 NMOSFET 在中等栅压应力条件下的阈值电压退化曲线 为双对数坐标系, 此时  $V_{\text{th}}$  取绝对值.

FIG. 1 Curves of Threshold Voltage Degradation of NMOSFET at Moderate Gate Voltage Stress

在这三种应力条件下, 器件的阈值电压均向负向漂移, 即  $\Delta V_{\text{th}} < 0$ , 且从图中可以看出在中等栅压应力条件下, 阈值电压的漂移是符合幂律时间关系的, 即:

$$\Delta = At^n \quad (1)$$

其中 参数  $A$  表示应力起始时器件的退化量; 幂律指数  $n$  则反应了双对数坐标系中电参量退化曲线的斜率. 随着所施加的应力电压 (即  $V_{\text{ds}}$  和  $V_{\text{gs}}$  的值) 由

大变小, 幂律指数值也逐步降低. 在高电压应力  $V_{\text{gs}} = 4\text{V}$ 、 $V_{\text{ds}} = 8\text{V}$  时, 热载流子注入所引起的  $V_{\text{th}}$  漂移曲线斜率为  $n \approx 0.49$ ; 在  $V_{\text{gs}} = 3.5\text{V}$ 、 $V_{\text{ds}} = 7\text{V}$  的应力条件下,  $V_{\text{th}}$  漂移曲线所对应的幂律指数  $n \approx 0.33$ ; 而在电压较低的应力  $V_{\text{gs}} = 3\text{V}$ 、 $V_{\text{ds}} = 6\text{V}$  下, 斜率  $n \approx 0.14$ . 这是由于当漏、栅电压增大时, 漏端附近沟道中横向电场的峰值也会随之增大, 从而使更多数量的载流子能够获取足够的能量而发射注入到栅氧化层中, 氧化层中电荷的累积速率和累积数量都会随端电压的增大而增大. 所以随漏栅电压的增大, 除  $n$  值增大外, 在同一应力时刻  $V_{\text{th}}$  的退化量也是增大的.

$V_{\text{gs}} \approx V_{\text{ds}}/2$  的热载流子应力条件, 会在漏端附近的沟道中产生最高的横向电场峰值, 使得沟道电子在漏端附近发生大规模的碰撞电离. 并且此时栅氧化层中的电场方向并不适合沟道电子的注入. 空穴向氧化层中的注入便成为器件退化的主要因素, 因此导致器件的阈值电压出现负向漂移.

该应力条件下, 器件最大线性区跨导  $G_{\text{max}}$  随应力时间的变化关系也是符合幂律关系的, 如图 2 所示. 在  $V_{\text{gs}} = 3\text{V}$ 、 $V_{\text{ds}} = 6\text{V}$  的低压应力下, 幂律指数值

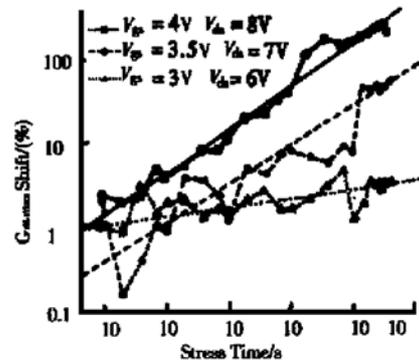


图 2 NMOSFET 在中等栅压应力下的最大线性区跨导退化曲线

FIG. 2 Curves of Transconductance Degradation of NMOSFET in Largest Linear Area at Moderate Gate Voltage Stress

约为  $n \approx 0.1$ , 这是单种载流子注入所引起的器件损伤规律. 随端电压的升高,  $n$  值增大. 在较高电压的应力偏置条件  $V_{\text{gs}} = 4\text{V}$ 、 $V_{\text{ds}} = 8\text{V}$  和  $V_{\text{gs}} = 3.5\text{V}$ 、 $V_{\text{ds}} = 7\text{V}$  下, 幂律指数值增长为  $n \approx 0.51$ — $0.43$ . 这种幂律关系是热空穴和热电子向氧化层中的双极注入所引起的 (高端电压下, 漏端附近很强的沟道横向电

场使沟道电子向栅氧化层中出现明显的注入, 尽管此时栅氧电场仍不适宜电子注入. 注入的电子和空穴之间相互作用, 会引起氧化层中额外空穴陷阱的产生, 从而对氧化层中正电荷的陷落起到促进作用. 因此  $V_{gs} = 4V$ 、 $V_{ds} = 8V$  和  $V_{gs} = 3.5V$ 、 $V_{ds} = 7V$  应力下的阈值电压漂移曲线, 在末端出现一小段急剧上翘的尾巴.

#### 4 高栅压应力下的器件热载流子损伤

对 SOI NMOSFET 施加高栅压应力, 受沟道热载流子注入影响, 器件电参数的退化规律与前面所述并不相同.

图 3(a) 给出了在  $V_{ds} = V_{gs}$  的热载流子应力下, 器件的阈值电压漂移随应力作用时间的变化曲线. 从中可以看出,  $V_{th}$  退化量是遵从幂律时间关系的. 随着漏、栅电压的增大, 沟道中横向电场的峰值会出现增大, 并且漏端处 (对应于最大横向电场位置) 栅氧化层中的电场向有利于电子注入的方向变化. 因

而在较低的电压 ( $V_{ds} = V_{gs} = 5V$  和  $V_{ds} = V_{gs} = 6V$ ) 之下, 沟道载流子向栅氧化层中的注入是以热空穴的注入为主, 阈值电压的退化表现为负向漂移, 如图 3(b). 当应力端电压增大时, 沟道热电子向氧化层中的注入速率和注入数量会高于此时沟道热空穴的注入速率和注入数量. 所以在  $V_{ds} = V_{gs} = 7V$  下器件的阈值电压转向正向漂移. 但此时空穴的注入依然非常明显, 并且随应力时间的延续, 负电荷在氧化层中累积将会抬升注入界面处的电子势垒高度, 使得电子的注入受到限制, 而空穴的注入反而被加强. 因此在经历一定的应力时间之后, 沟道载流子向栅氧化层中的注入便会由以电子为主又变为以空穴为主. 对应在  $V_{th}$  的退化曲线上, 便是由初始时的正向漂移转变为负向漂移, 如图 3(b) 所示. 但当端电压再升高时, 由于栅氧电场对空穴注入产生抑制作用, 空穴在氧化层中的陷入将变得很微弱, 因此  $V_{th}$  漂移曲线随应力时间延续不再会出现下降 (见图 3(b) 中  $V_{ds} = V_{gs} = 8V$  时的退化曲线).

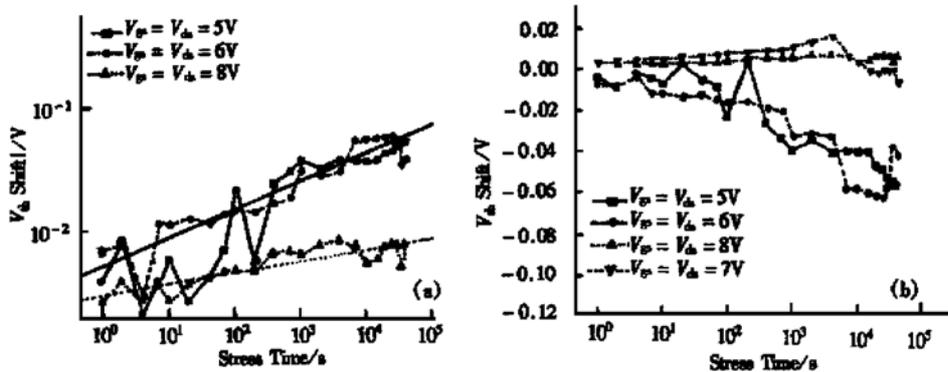


图 3 NMOSFET 在高栅压应力条件下的阈值电压退化曲线 (a) 双对数坐标,  $V_{th}$  取绝对值; (b) 单对数坐标

FIG. 3 Curves of Threshold Voltage Degradation of NMOSFET at High Gate Voltage Stress

在  $V_{ds} \approx V_{gs}$  应力条件下, 横向电场峰值随端电压的增大而增大, 虽然会使载流子向栅氧化层中的注入增强. 但由于漏端沟道中碰撞电离所产生的空穴对浮空体充电, 本身将导致器件阈值电压的减小. 这会增强低压下空穴的陷入效应, 而减弱高压下的电子陷入效应. 所以会有高端压应力下的阈值电压退化速率要低于低端压下的退化速率. 从图 3(a) 中可以看出,  $V_{ds} = V_{gs} = 5V$  和  $V_{ds} = V_{gs} = 6V$  应力下的幂律指数  $n \approx 0.22$ , 此时以空穴在氧化层中的陷

入为主; 而在  $V_{ds} = V_{gs} = 8V$  条件下则幂率指数  $n \approx 0.09$ , 对应于热电子的注入.

图 4 给出了高栅压应力条件下, 器件最大线性区跨导  $G_{mmax}$  的退化曲线. 从中可以看出在  $V_{ds} = V_{gs} = 5V$ 、 $V_{ds} = V_{gs} = 6V$  和  $V_{ds} = V_{gs} = 8V$  三种应力条件之下, 其所对应的幂律指数都大约为  $n \approx 0.27$ . 在高栅压下, 总的来说沟道中的横向电场是较小的, 即使有沟道载流子的双极注入, 其注入速率也不会太高. 因此所引起的  $G_{mmax}$  退化曲线斜率值  $n$  较低.

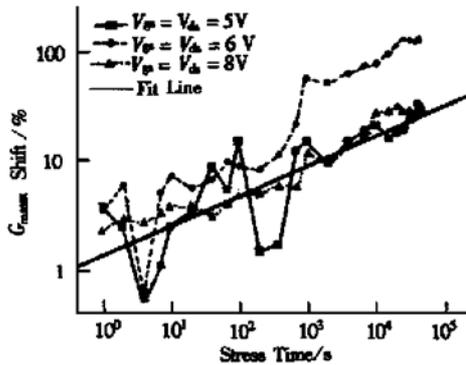


图4 NMOSFET 在高栅压应力条件下的最大线性区跨导退化曲线

FIG. 4 Curves of Transconductance Degradation of NMOSFET in Largest Linear Area at High Gate Voltage Stress

## 5 低栅压应力下的器件热载流子损伤

对 SOI NMOSFET 施加  $V_{gs} \approx V_{th}$  的低栅压应力. 图 5 显示了器件阈值电压的漂移量随应力时间的变化关系. 由于此时在漏端附近的栅氧化层中所形成的纵向电场, 会吸引沟道热空穴向其注入, 而排斥热电子的注入. 所以正电荷的陷落堆积是器件退化的主要因素, 阈值电压的漂移量也总为负值. 所给出的  $V_{ds} = 5V$ 、 $V_{ds} = 6V$ 、 $V_{ds} = 7V$  和  $V_{ds} = 9V$  四种热载流子应力条件都处于器件的“Kink”区中, 此时  $V_{th}$  的漂移同时包含了浮体电位升高的影响和沟道热载流子注入所造成的真正损伤.

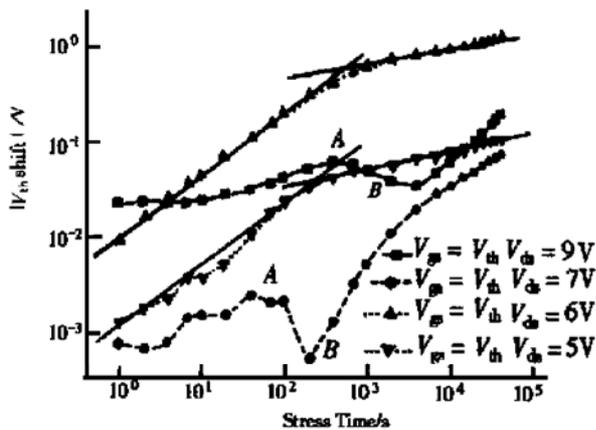


图5 NMOSFET 在低栅压应力条件下的阈值电压退化曲线  
此时  $V_{th}$  取绝对值

FIG. 5 Curves of Threshold Voltage Degradation of NMOSFET at Low Gate Voltage Stress

从图 5 可以看出在较低漏电压 ( $V_{ds} = 5V$  和  $V_{ds} = 6V$ ) 下,  $V_{th}$  的漂移量随应力时间的变化是可以利用幂律关系来描述的. 但与中等栅压应力和高栅压应力下的幂律关系不同, 此时的幂律指数值随应力时间的延续会发生变化. 在应力施加的初始阶段, 这两条漂移曲线的斜率均为  $n \approx 0.66$ , 当应力持续一定时间后  $V_{th}$  的退化速率变缓, 此时用来描述阈值电压退化规律的将是  $n$  值较小的幂律关系, 所对应的幂律指数值  $n \approx 0.18$ . 沟道热空穴在栅氧化层中陷落, 当达到一定程度时, 会使注入界面处的空穴势垒高度出现明显的抬升. 这样便会导致沟道空穴向氧化层中注入概率的减小, 从而出现阈值电压退化的饱和. 不过这种饱和并不是对数饱和, 而是幂律指数较低的幂律饱和. 另外在该栅压范围内, 由于漏端附近的沟道横向电场和栅压中的纵向电场都会随漏电压的增大而增大, 空穴向氧化层中的注入便也呈现出增强趋势. 所以, 有  $V_{ds} = 6V$  应力下的阈值电压漂移量要大于  $V_{ds} = 5V$  时的漂移量, 见图 5. 并且沟道热载流子获得的能量越高, 其受势垒升高的影响便越小, 所以在  $V_{ds} = 6V$  应力下, 阈值电压退化饱和的出现也会晚于  $V_{ds} = 5V$  应力下的损伤饱和时间.

在较高漏电压 ( $V_{ds} = 7V$  和  $V_{ds} = 9V$ ) 下, NMOS 器件阈值电压的退化特性与低漏压下的截然不同. 此时, 漏端附近沟道中的横向电场是相当大的. 因而, 尽管此时的栅氧电场不适宜电子向其注入, 但在大量沟道热空穴注入的同时, 仍会有一部分热电子注入到氧化层中. 这会使应力初始阶段的阈值电压退化速率和退化量较小 (与较低漏压下的情况相比较). 随应力作用时间的延续, 空穴在氧化层中的累积会引起注入界面空穴势垒的升高和电子势垒的降低. 这样, 热空穴的注入被逐渐减弱, 而热电子的注入却被逐渐加强. 最终电子注入量会超过空穴注入量, 使得阈值电压退化曲线的负向漂移出现一个极大值点 (见图 5 中的点 A). 之后, 占主导地位的便成为沟道热电子在氧化层中的陷落,  $V_{th}$  的漂移曲线出现下降. 净电子负电荷在氧化层中的累积, 又会导致界面空穴势垒的降低和电子势垒的升高, 产生与上述过程相反的趋势. 当空穴在栅氧中的陷落与电子的陷落再次相当时, 阈值电压的漂移曲线便会出现一极小值点 (见图 5 中的点 B). 并且沟道热空穴向氧化层中的注入和陷落再次成为器件退化的主要因素, 使得阈值电压漂移曲线继续上升. 另外由于氧化层中所陷落的电子、空穴之间的相互作用, 对这一阶

段的热空穴注入会起到显著的加速作用,使得该段阈值电压退化曲线的斜率明显增大(甚至要大于低漏压下初始阶段的退化斜率).

## 6 结论

在低栅压下由于 PBT 作用的开启,SOI MOSFET 同样会在漏端沟道中产生大量的热载流子,对器件造成严重损伤. SOI 器件在中栅压应力和高栅压应力下,电学参数退化呈现出的是单纯的幂律规律;而在低栅压应力下的退化规律则要明显复杂得多,其退化特性会随应力时间的延续而发生变化. 这使得 SOI 器件在低栅压偏置条件下的寿命变得非常难以预测,这是值得重视的问题.

### 参考文献

- [ 1 ] WANG Yangyuan, CHEN Nanxiang and WANG Zhonglie, *Acta Electronic Sinica*, 1992, **20**(5): 75—79[ 王阳元, 陈南翔, 王忠烈, 电子学报, 1992, **20**(5): 75—79].
- [ 2 ] T. Tsuchiya, T. Ohno, Y. Kado *et al.*, Hot-Carrier-Injected Oxide Region in Front and Back Interfaces in Ultra-Thin ( 50nm ), Fully Depleted, Deep-Submicron NMOS and PMOSFET's/SIMOX and Their Hot-Carrier Immunity, *IEEE Trans. Electron Devices*, 1994, **41**( 12 ): 2351—2356.
- [ 3 ] S. H. Renn *et al.*, Hot-Carrier Effects and Reliable Lifetime Prediction in Deep Submicron N- and P-Channel SOI MOSFET's, *IEEE Trans. Electron Devices*, 1998, **45**( 11 ): 2335—2342.
- [ 4 ] S. R. Banna, P. C. H. Chan, P. K. Ko *et al.*, Threshold Voltage Model for Deep-Submicrometer Fully Depleted SOI MOSFET's, *IEEE Trans. Electron Devices*, 1995, **42**( 11 ): 1949—1955.
- [ 5 ] D. J. Wouters, J. P. Colinge and H. E. Maes, Subthreshold Slope in Thin-Film SOI MOSFET's, *IEEE Trans. Electron Devices*, 1990, **37**( 4 ): 1022—1033.
- [ 6 ] H. K. Lim and J. G. Fossum, Current-Voltage Characteristics of Thin-Film SOI MOSFET's in Strong Inversion, *IEEE Trans. Electron Devices*, 1984, **31**( 4 ): 401—408.
- [ 7 ] K. K. Young, Short-Channel Effect in Fully-Deleted SOI MOSFET's, *IEEE Tran. Electron Devices*, 1989, **36**( 2 ): 339—402.
- [ 8 ] ZHANG Jiong and LI Ruiwei, Effect of Doping Concentration on Hot Carrier Reliability of Small-Sized nMOSFETS, *Chinese Journal of Semiconductors*, 2000, **21**( 5 ): 469—472[ 张炯, 李瑞伟, N 掺杂浓度对小尺寸 nMOSFETs 热载流子寿命的影响, 半导体学报, 2000, **21**( 5 ): 469—472].
- [ 9 ] ZHANG Weidong, HAO Yue and TANG Yusheng, *Acta Electronic Sinica*, 1999, **27**( 2 ): 76—80[ 张卫东, 郝跃, 汤玉生, 深亚微米 MOS 器件热载流子可靠性研究与进展, 电子学报, 1999, **27**( 2 ): 76—80].

## Degradation Induced by Channel Hot-Carriers Effect in SOI NMOSFET's\*

HAO Yue<sup>1</sup>, ZHU Jian-gang<sup>1</sup>, GUO Lin<sup>2</sup> and ZHANG Zheng-fan<sup>2</sup>

( 1 *Microelectronics Institute of Xidian University, Xi'an 710071, China*)

( 2 *Sichuan Institute of Solid Circuits, Chongqing 400060, China*)

**Abstract:** The degradation induced by channel hot-carriers effect in SOI NMOSFET, namely SIMOX structure, is investigated. At moderate or high gate voltage stress, the single-power law degradation is shown; but at a low gate voltage bias it is multi-behavioral parameter degradation that is found, so it is very difficult to predict the SOI MOSFET's age.

**Key words:** SIMOX; SOI; PBT; hot-carriers; threshold-voltage

**EEACC:** 2560P; 2570; 0170J

**Article ID:** 0253-4177(2001)04-0486-05

\* Project Supported by National Defense Advanced Research Program(95) Under Grant No. 8.5.3.4.

HAO Yue was born in 1958. Currently he is a professor. His main research interests include reliability physics of small size semiconductor device, design for manufacturability of IC, as well as wide-gap band semiconductor devices and circuits.

Received 26 April 2000, revised manuscript received 3 August 2000

©2001 The Chinese Institute of Electronics