

凹槽深度与槽栅 PMOSFET 特性*

任红霞 郝 跃

(西安电子科技大学微电子研究所, 西安 710071)

摘要: 基于能量输运模型对由凹槽深度改变引起的负结深的变化对深亚微米槽栅 PMOSFET 性能的影响进行了分析, 对所得结果从器件内部物理机制上进行了讨论, 最后与由漏源结深变化导致的负结深的改变对器件特性的影响进行了对比. 研究表明随着负结深(凹槽深度)的增大, 槽栅器件的阈值电压升高, 亚阈斜率退化, 漏极驱动能力减弱, 器件短沟道效应的抑制更为有效, 抗热载流子性能的提高较大, 且器件的漏极驱动能力的退化要比改变结深小. 因此, 改变槽深加大负结深更有利于器件性能的提高.

关键词: 深亚微米; 槽栅 PMOSFET; 负结深; 器件特性

EEACC: 2560R; 2560S; 0290

中图分类号: TN386.1

文献标识码: A

文章编号: 0253-4177(2001)05-0622-07

1 引言

槽栅 MOSFET 被认为是在深亚微米和超深亚微米区域极具应用前景的一种器件, 它能够很好地抑制短沟道效应和热载流子效应, 近年来得到了国内外研究者的重视, 并逐步对其特性展开研究^[1-5]. 但这些研究大多集中在对其特性进行研究, 涉及到结构参数与工艺方面的研究非常少^[2], 对槽栅 PMOSFET 的研究几乎还没有展开^[5]. 而在 CMOS 电路中, P 管的性能同样对电路性能有严重的影响, 尤其是在深亚微米区域, PMOS 的热载流子效应明显增大的情况下. 在槽栅器件中, 结深和凹槽深度影响器件的串联电阻和结电容, 同时更为主要的是它还影响凹槽拐角处形成的势垒高度(即影响拐角效应), 拐角效应是导致槽栅器件与平面器件特性不同的根本原因. 而结深和凹槽深度的变化都可导致槽栅器件负结深的不同, 因此负结深的变化显著影响器件的电特性. 本文基于动力学能量输运模型对由凹槽深度改变引起的负结深的变化对槽栅 PMOS-

FET 性能的影响进行了分析, 并与由漏源结深变化导致的相同数量的负结深的改变对器件特性的影响进行了对比. 本研究将为槽栅 CMOS 集成电路的研制提供最佳的工艺和结构参数.

2 模型与参数

相对于平面器件, 槽栅器件漏源区域被凹槽隔开, 抑制了漏区电场向源区的扩散, 因而抑制了穿通效应和短沟道效应; 同时, 由于在凹槽拐角处电力线密集, 形成了两个势垒, 因而抑制了阈值电压随沟道的降低和热载流子的产生. 图 1 给出槽栅的结构图, 器件的基本参数为: n 型衬底, 杂质浓度 $5.0 \times 10^{16} \text{ cm}^{-3}$; 有效沟道长度 $0.13 \mu\text{m}$, 栅氧化层厚度为 4 nm , 固定界面态密度 10^{10} cm^{-2} , 沟道不掺杂, 漏源结表面掺杂浓度 $6.0 \times 10^{18} \text{ cm}^{-3}$, 结深为 $0.08 \mu\text{m}$, 槽栅器件凹槽分别向下凹入 $0.08 \mu\text{m}$ 、 $0.10 \mu\text{m}$ 和 $0.12 \mu\text{m}$, 分别形成 $0.0 \mu\text{m}$ 零结深、 $0.02 \mu\text{m}$ 和 $0.04 \mu\text{m}$ 的负结深.

对深亚微米器件进行模拟时必须考虑各种短沟

* 国防科技预先研究和国家高等院校博士点基金资助项目.

任红霞 女, 1967 年出生, 副教授, 主要研究方向为新型电路与器件的特性与可靠性研究.

郝 跃 男, 1958 年出生, 教授, 博士生导师, 西安电子科技大学副校长. 主要研究领域为微电子学与半导体器件, 研究方向为集成电路可靠性和可制造性, 新型器件与电路及 IC 优化设计.

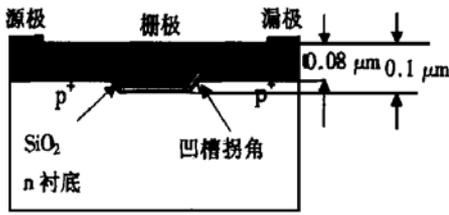


图1 槽栅 PMOSFET 结构图

FIG. 1 Schematic of Grooved-Gate PMOSFET

道效应, 尤其当沟道长度降至与载流子平均自由程可比拟时, 会出现如非稳态、量子传输等效应, 因此, 通常所用漂移-扩散模型 (D-D Model) 已不能满足要求, 必须采用动力学能量输运模型或 Monte Carlo 方法. 能量输运模型由载流子连续性方程、动量平衡方程、能量平衡方程及 Poisson 方程组成, 它能够模拟载流子的非本地输运现象, 比漂移扩散模型更为精确, 同时, 在器件栅电流中热载流子效应必须加以考虑^[7].

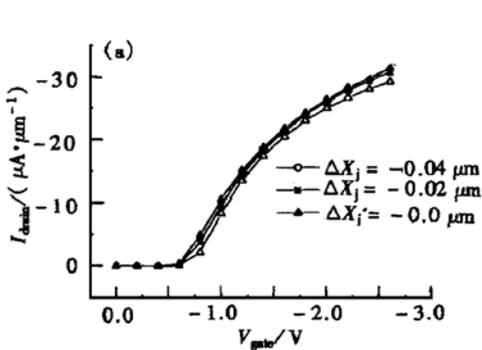


图2 (a) 不同负结深槽栅器件的栅极特性; (b) 不同负结深槽栅器件的跨导

FIG. 2 (a) Gate Characteristics and (b) Transconductance of Grooved-Gate PMOSFET's with Different Negative Junction Depths

图3给出不同栅压下, 不同负结深的槽栅器件的漏极特性曲线. 从图中可以看出, 随着负结深的增大, 器件的漏极驱动能力减弱, 且在高栅压下, 器件的漏极驱动能力受负结深的影响较小. 漏极驱动能力降低是由于拐角处势垒高度的影响. 高栅压下影响减小主要是因为器件栅压升高, 栅压对沟道的控制能力增强, 拐角处纵向场与沟道平行部分相比减小的比例减小, 即拐角效应差别不明显导致的.

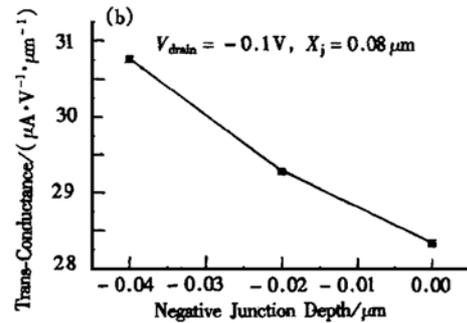
图4给出不同负结深槽栅器件栅极热载流子注入电流和衬底碰撞电离电流曲线. 从图中可以清楚看出, 随着负结深的增大, 不论是器件的栅极热载流子注入电流还是衬底碰撞电离电流都明显降低, 这说明器件的抗热载流子能力明显增强. 主要是因为

仿真中基本参数的选取考虑了深亚微米器件的特性, 高电场迁移率采用惠普迁移率模型, 惠普迁移率模型考虑了水平电场及垂直电场对电流方向的作用. 同时, 模型中基本方程采用耦合算法 (Newton's Method) 求解.

3 结果与讨论

3.1 凹槽深度对器件端口电特性的影响

图2(a)和(b)分别给出结深相同, 由凹槽深度不同导致负结深不同的槽栅器件的栅极特性曲线和跨导. 由图中可以看出与凹槽深度不变, 结深不同引起的负结深不同的情况相似, 随着负结深的增大, 槽栅器件的阈值电压升高, 亚阈斜率退化, 跨导特性获得改善. 这主要是由于负结深增大, 凹槽拐角处形成的势垒高度增大, 载流子跨越势垒需要更高的能量.



随着负结深的增大, 凹槽拐角势垒增大, 载流子翻越势垒花费了较大的能量, 导致沟道内热载流子速度降低, 成为幸运载流子的几率降低, 导致热载流子电流减小.

3.2 对器件内部物理参量的影响

在给出由凹槽深度变化引起的负结深的变化对器件端特性的影响之后, 我们接着分析一下它对器件内部一些物理参量的影响. 图5给出不同负结深槽栅器件沿 Si/SiO₂ 界面的电位分布. 显然, 随着凹槽深度变大, 负结深增大, 在凹槽的两个拐角处形成的势垒急剧升高. 这正是导致器件阈值电压升高、漏极特性退化和抗热载流子效应增强的根本原因.

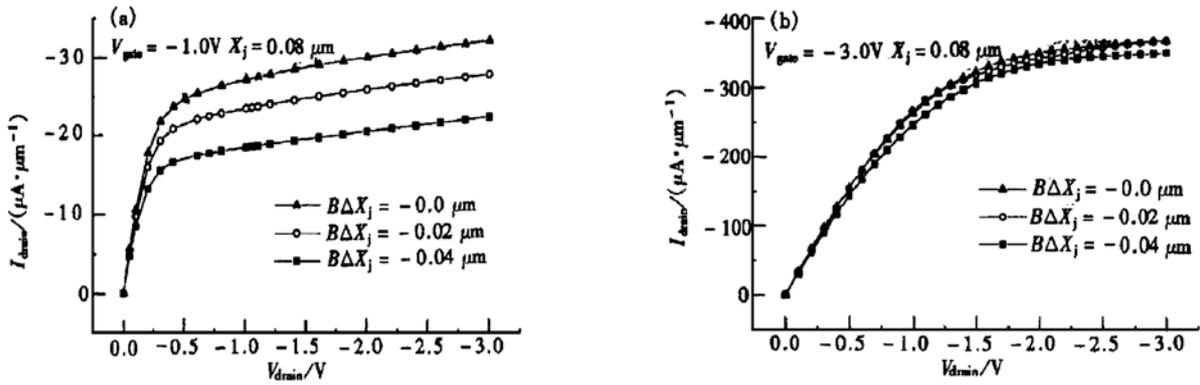


图 3 不同负结深的槽栅器件在不同栅压下的漏极特性

FIG. 3 Drain Characteristics of Grooved Gate PMOSFET's with Different Negative Junction Depths

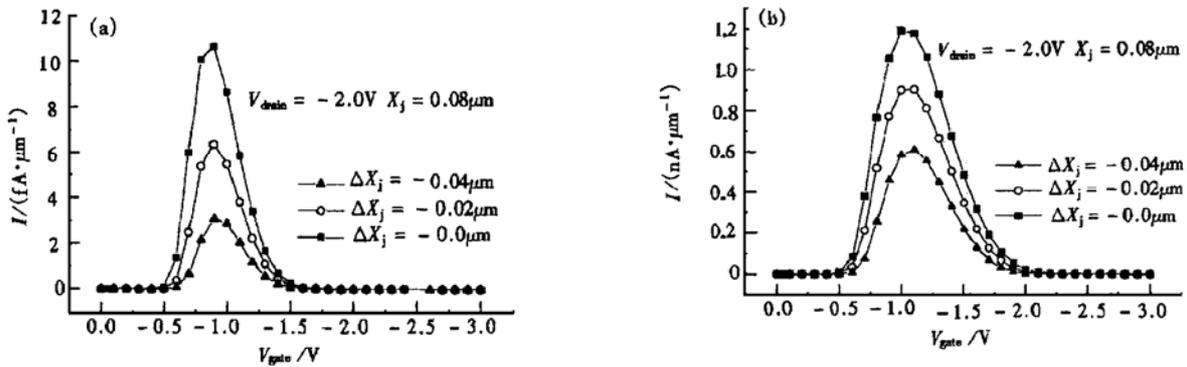


图 4 不同负结深槽栅器件的抗热载流子特性 (a) 栅极热载流子注入电流; (b) 衬底碰撞电离电流

FIG. 4 Hot-Carrier-Effect of Grooved Gate PMOSFET's with Different Negative Junction Depths (a) Hot-Carrier Injection Gate Current; (b) Impact Ionization Substrate Current

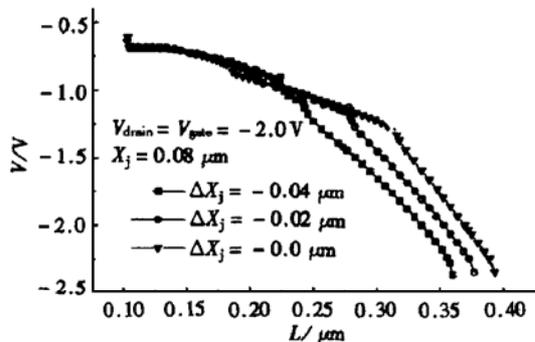
图 5 不同负结深槽栅器件沿 Si/SiO₂ 界面的电位分布
FIG. 5 Surface Potential Distribution Along Si/SiO₂ Interface for Grooved Gate Devices with Different Negative Junction Depths

图 6 给出不同负结深的槽栅器件沿 Si/SiO₂ 界面的平行场和电场幅值分布曲线. 与结深改变引起的情况相似, 随着负结深的增大, 在沟道靠近源极的倾斜部分和平坦部分内, 电势和电场幅值都增大, 而靠近漏极的沟道部分, 这两个参量则随负结深的增大而降低. 水平场的变化情况与他们不同, 基本上是负结深越大, 平行场幅值越高, 所以在近漏极区域, 垂直场幅值降低. 由于热载流子注入电流主要发生在近漏极区域, 所以器件栅极热载流子电流减小, 抗热载流子能力增强. 另外, 负结深越大, 沟道的平坦部分越短, 所以载流子获得加速的路径越短, 加速能力越弱, 因而器件的漏极驱动能力下降, 阈值电压升高, 抗热载流子效应增强.

图 7 给出槽栅器件中电子和空穴沿 Si/SiO₂ 界面的平均速度. 随着负结深的增大, 沟道内靠近源极的斜面部分和平坦部分内电子和空穴的平均速度都

增大, 靠近漏极的斜面部分电子和空穴平均速度则降低. 既然这样, 那么载流子成为热载流子的几率似乎应增大, 按前面的推论似乎器件的热载流子效应增大. 但看到实际结果并不是这样, 分析可知随着负结深的增大, 垂直场幅值降低(水平场增大, 电场幅值降低). 虽然热载流子数目增多, 但热载流子成为幸运载流子而对栅电流有贡献的几率却大大减小, 同时热载流子效应大部分由热电子在漏极附近形成, 而漏极附近沟道内电子速度的降低也抑制了注入电流的产生. 由于以上两方面的原因, 使得槽栅

器件的栅电流仍然降低, 而没有随载流子速度在沟道前半部分的升高而增大. 图 8 给出的不同负结深器件总的注入电流也证明了这一点. 衬底电流主要由空穴碰撞电离电流组成, 而空穴速度在整个沟道范围随负结深的变化情况几乎与电子速度一致, 这主要是因为随着负结深的增大, 沟道平坦部分变短, 空穴获得加速的路径变短, 且拐角势垒增大, 载流子跨越势垒需要更高的能量, 所以在沟道的后半部分, 空穴速度降低, 衬底碰撞电离电流降低.

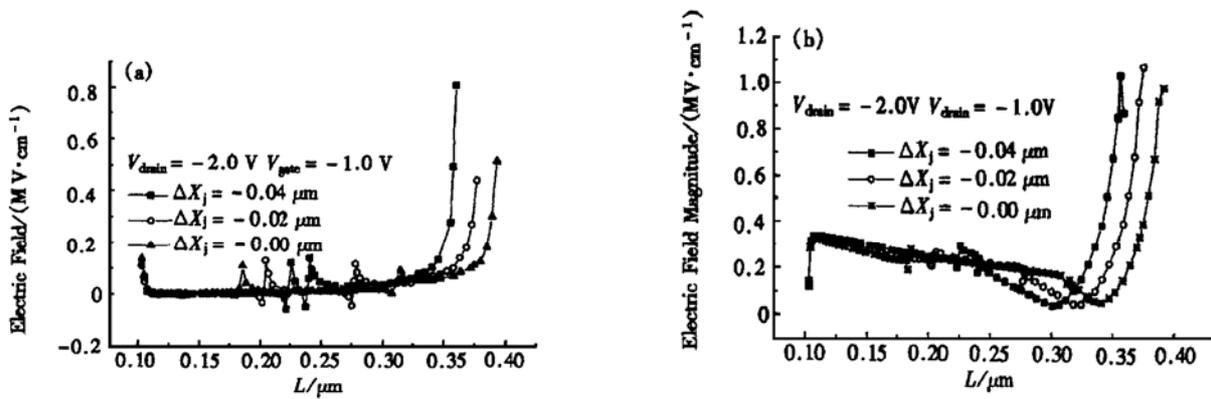


图 6 不同负结深槽栅器件沿 Si/SiO₂ 界面的平行场和电场幅值分布 (a) 沿电流方向的平行场分布; (b) 电场幅值分布
 FIG. 6 Parallel Electric Field and Electric Field Magnitude Distribution Along Si/SiO₂ Interface for Grooved Gate PMOSFET's with Different Negative Junction Depths (a) Electric Field in Direction of Total Current Density; (b) Electric Field Magnitude

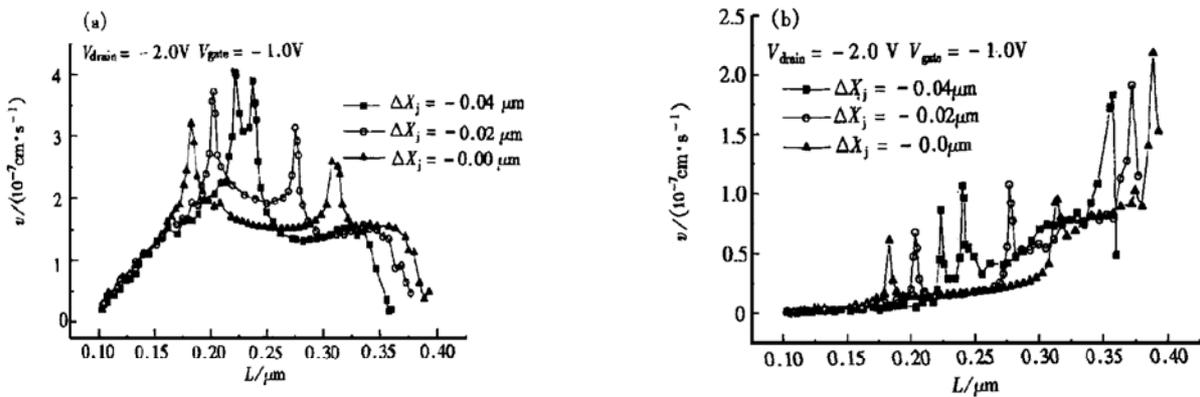


图 7 不同负结深槽栅器件内沿 Si/SiO₂ 界面电子和空穴的平均速度分布 (a) 电子平均速度; (b) 空穴平均速度
 FIG. 7 Mean Electron and Hole Velocity Distribution Along Si/SiO₂ Interface in Grooved Gate PMOSFET's with Different Negative Junction Depths (a) Mean Electron Velocity; (b) Mean Hole Velocity

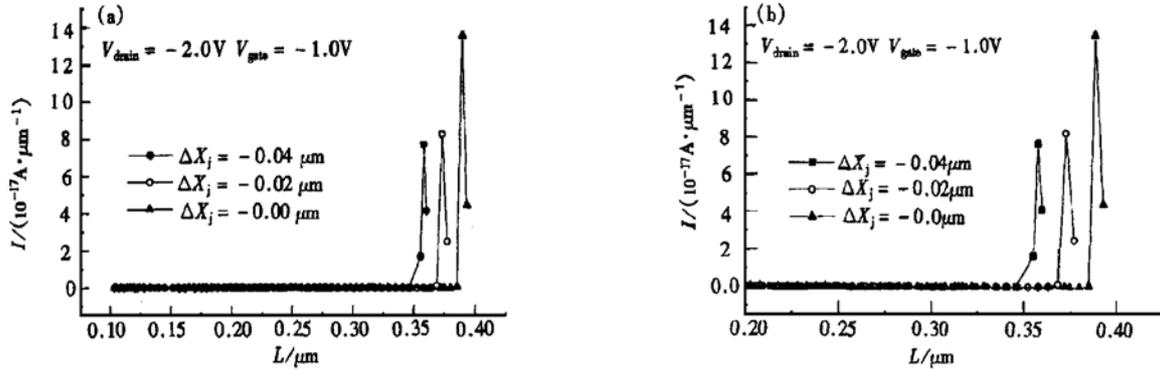


图 8 不同负结深槽栅器件内沿 Si/SiO₂ 界面电子和总热载流子注入电流 (a) 热电子注入电流; (b) 总热载流子注入电流
 FIG. 8 Total Hot Electron and Hot Carrier Injection Current Initiated from Each Point in Amps/Micron Versus Distance Along Si/SiO₂ Interface Through Devices for Grooved-Gate PMOSFET's with Different Negative Junction Depths (a) The Total Hot Electron Injection Current; (b) The Total Hot Carrier Injection Current

3.3 凹槽深度与漏源结深度变化引起的负结深变化对器件特性影响的比较

表 1 和 2 分别给出两种不同变化方式下栅极特性和漏极特性的一些特征参量. 对栅极特性, 漏源结深度变化的情况下, 从浅负结(负结深 0.02 μm)到深负结(负结深 0.04 μm), 阈值电压由 -0.67V 变为 -0.73V, 升高 8.5%; 亚阈斜率因子由 74.01 mV/dec 升高到 77.95 mV/dec, 退化率为 5.3%; 跨导由 $2.93 \times 10^{-5} \text{ A}/(\mu\text{m} \cdot \text{V})$ 变为 $3.07 \times 10^{-5} \text{ A}/(\mu\text{m} \cdot \text{V})$, 升高 4.85%; 从浅负结到平结(负结深 0.0 μm), 阈值电压降低 6.71%; 亚阈特性改善

率为 2.243%; 跨导降低 5.20%. 对凹槽深度变化的情况下, 从浅负结到深负结, 阈值电压升高 8.68%; 亚阈特性退化率为 5.07%; 跨导升高 5.06%; 从浅负结到平结, 阈值电压降低 6.35%; 亚阈特性改善 2.04%; 跨导降低 3.22%. 因此在浅负结变为深负结时, 两种变化方式对器件的亚阈特性、阈值电压和跨导的影响差别不大, 改变结深比改变槽深的器件的阈值电压升高略少, 亚阈特性退化略大, 跨导升高略低; 在由浅结变到平结(零结)时, 改变结深比改变槽深的器件的阈值电压下降略大, 亚阈特性改善稍好, 跨导退化更严重. 因此, 对器件短沟道特性的改善, 改变结深没有改变槽深好.

表 1 由凹槽深度变化引起的不同负结深槽栅器件的栅、漏特征参量

Table 1 Gate and Drain Characteristic Parameters for Grooved Gate Devices with Different Groove Depth ($X_j = 0.08 \mu\text{m}$)

负结深 ($X_j = 0.08 \mu\text{m}$)	V_t/V	S_{lin} $/(\text{A} \cdot \mu\text{m}^{-1} \cdot \text{V}^{-1})$	S_{sub} $/(\text{mV} \cdot \text{dec}^{-1})$	$I_{\text{drain}}/(\text{A} \cdot \mu\text{m}^{-1})$		
				$V_g = -1\text{V}$	-2V	-3V
-0.04 μm	-0.7287	77.76	3.0770×10^{-5}	-2.23787×10^{-5}	-1.74527×10^{-4}	-3.50534×10^{-4}
-0.02 μm	-0.6705	74.01	2.9287×10^{-5}	-2.7826×10^{-5}	-1.83042×10^{-4}	-3.6762×10^{-4}
-0.0 μm	-0.6279	72.50	2.8344×10^{-5}	-3.20757×10^{-5}	-1.88839×10^{-4}	-3.67655×10^{-4}

表 2 由结深变化引起的不同负结深槽栅器件的栅、漏特征参量

Table 2 Gate and Drain Characteristic Parameters for Grooved Gate Devices with Different Source/Drain Junction Depth (Groove Depth = 0.10 μm)

负结深/μm (槽深 0.10 μm)	V_t/V	S_{lin} $/(\text{A} \cdot \mu\text{m}^{-1} \cdot \text{V}^{-1})$	S_{sub} $/(\text{mV} \cdot \text{dec}^{-1})$	$I_{\text{drain}}/(\text{A} \cdot \mu\text{m}^{-1})$		
				$V_g = -1\text{V}$	-2V	-3V
-0.04	-0.7277	77.95	3.0707×10^{-5}	-2.27478×10^{-5}	-1.60315×10^{-4}	-2.92007×10^{-4}
-0.02	-0.6705	74.01	2.9287×10^{-5}	-2.7826×10^{-5}	-1.83042×10^{-4}	-3.6762×10^{-4}
-0.0	-0.6255	72.35	2.7763×10^{-5}	-3.13305×10^{-5}	-1.89003×10^{-4}	-3.80236×10^{-4}

同样,可以分析漏极电流驱动能力.总的趋势是改变结深的器件比改变槽深的器件漏极驱动能力在低栅压下略低,而在高栅压下略高,这说明改变结深对器件的漏极驱动能力影响略大;对于深负结器件,在高栅压下改变槽深的器件比改变结深的器件饱和漏电流退化小,在低栅压下则退化略大,几乎相同.这也说明改变结深比改变槽深对器件漏极驱动能力的影响大.

最后讨论器件抗热载流子特性.表 3 和 4 分别为两种方式的改变,导致负结深不同的器件最大衬底碰撞电离电流和栅极热载流子注入电流的变化.可以看出,槽深改变导致的器件抗热载流子特性随负结深的增大急剧增强,深负结器件的衬底电流和栅电流分别为零结器件的 51.08% 和 28.94%;而结深改变的器件则并不是随负结深的增大而增强,有一最佳负结深使器件的抗热载流子效应最强.

表 3 由凹槽深度变化引起的不同负结深槽栅器件的热载流子特征参量

Table 3 Hot-Carrier Characteristic Parameters of Grooved Gate Devices with Different Grooved Depth ($X_j=0.08\mu\text{m}$)

负结深/ μm ($X_j=0.08\mu\text{m}$)	最大栅极电流 $/(\text{A}\cdot\mu\text{m}^{-1})$	最大衬底电流 $/(\text{A}\cdot\mu\text{m}^{-1})$
- 0.04	$3.08119\times 10^{-15}(-0.9\text{V})$	$6.06409\times 10^{-10}(-1.1\text{V})$
- 0.02	$6.34464\times 10^{-15}(-0.9\text{V})$	$9.0212\times 10^{-10}(-1.1\text{V})$
- 0.0	$1.0645\times 10^{-14}(-0.9\text{V})$	$1.18723\times 10^{-9}(-1.0\text{V})$

表 4 由结深变化引起的不同负结深槽栅器件的热载流子特征参量

Table 4 Hot-Carrier Characteristic Parameters for Grooved Gate Devices with Different Source/Drain Junction Depth (Groove Depth= $0.10\mu\text{m}$)

负结深/ μm (槽深 $0.1\mu\text{m}$)	最大栅极电流 $/(\text{A}\cdot\mu\text{m}^{-1})$	最大衬底电流 $/(\text{A}\cdot\mu\text{m}^{-1})$
- 0.04	$3.19107\times 10^{-16}(-0.9\text{V})$	$5.23861\times 10^{-10}(-1.1\text{V})$
- 0.02	$5.78179\times 10^{-15}(-0.9\text{V})$	$9.65293\times 10^{-10}(-1.1\text{V})$
- 0.0	$4.29596\times 10^{-15}(-0.8\text{V})$	$7.97705\times 10^{-10}(-1.0\text{V})$

4 结论

沟道沉入凹槽中,形成负结深是槽栅结构的主要特点.正是由于凹槽的拐角处产生了两个势垒,形成了拐角效应才导致了槽栅器件在深亚微米和超深

亚微米区域对短沟道效应和热载流子效应的一致.拐角效应受到凹槽拐角、曲率半径以及负结深的影响.本文研究了凹槽深度对槽栅 PMOSFET 性能的影响,并与结深的改变对器件特性的影响进行了对比.结果表明与凹槽深度不变,结深不同引起的负结深不同的情况相似,随着负结深的增大,阈值电压升高,亚阈斜率退化,漏极驱动能力减弱,而抗热载流子效应能力增强.但改变槽深导致的负结深的增大对器件的短沟道效应的抑制更为有效,且器件的漏极驱动能力的退化要比改变结深小,同时抗热载流子性能的提高较大.因此改变槽深来加大负结深比降低漏源结深来加大负结深对器件特性的正面影响比较显著,而负面的影响则较小,同时浅结正受到金属化穿通和最小离子注入能量的限制,但槽深的加大受工艺条件的约束却没有制作浅结严格.因此通过改变凹槽深度来改善槽栅器件的性能将是很有效的方法.

参考文献

- [1] S. Kimura, H. Noda, D. Hisamoto and E. Takeda, A $0.1\mu\text{m}$ -Gate Elevated Source and Drain MOSFET Fabricated by Phase-Shifted Lithography, in IEDM Tech. Dig., 1991, 950—952.
- [2] J. Tanaka, T. Toyabe, S. Ihara, S. Kimura, H. Noda and K. Itoh, IEEE Electron Device Lett., 1993, **14**(8): 396—399.
- [3] J. Lyu, B. G. Park, K. Chun *et al.*, IEEE Electron Device Lett., 1996, **17**(4): 157—159.
- [4] P. H. Bricout and E. Dubois, IEEE Trans. Electron Devices, 1996, **43**(8): 1251—1255.
- [5] S. L. Kimura, J. Tanaka, H. Noda *et al.*, IEEE Trans. Electron Devices, 1995, **42**(1): 94—100.
- [6] REN Hongxia, The Study on Characteristics of Deep-Sub-Micron Grooved-Gate MOS Devices, Postdoctoral Work Report, 1999, 50 (in Chinese) [任红霞, 深亚微米槽栅 MOS 器件特性的仿真研究, 博士后研究报告, 西安: 西安电子科技大学, 1999, 50].
- [7] Technology Modeling Associates, Inc., MEDICI Two-Dimensional Device Simulation Program Version 2.3 User's Manual, Vol. 2, Feb, 1997.
- [8] Technology Modeling Associates, Inc. TSU PREM-4 Two-Dimensional Process Simulation Program Version 6.5 User Manual, May, 1997.

Influence of Variation of Negative Junction Depth on Characteristics of Deep-Sub-Micron PMOSFET*

REN Hong-xia and HAO Yue

(Microelectronics Institute, Xidian University, Xi'an 710071, China)

Abstract: Based on the hydrodynamic energy transport model, the influence of variation of negative junction depth caused by concave depth on the characteristics of deep-sub-micron PMOSFET has been studied. The results are explained by the interior physical mechanism and compared with that caused by the source/drain depth. Research results indicate that with the increase of negative junction depth (due to the increase of groove depth), the threshold voltage increases, the sub-threshold characteristics and the drain current driving capability degrade, and the hot carrier immunity becomes better in deep-sub-micron PMOSFET. The short-channel-effect suppression and hot-carrier-effect immunity are better, while the degradation of drain current driving ability is smaller than those with the increase of depth of negative junction caused by source/drain junction shallow. So the variation of concave depth is of great advantage to improve the characteristics of grooved-gate MOSFET.

Key words: deep-sub-micron; grooved-gate PMOSFET; negative junction depth; device characteristics

EEACC: 2560R; 2560S; 0290

Article ID: 0253-4177(2001)05-0622-07

* Project Supported by National Defense Advanced Research Foundation 99J8. 1. 1. DZD132 and University Doctoral Point Foundation Under Grant No. 8070110.

REN Hong-xia was born in 1967 and received her B. S., M. S. and Ph. D degree in the speciality of Physical Electronics and Optoelectronics from Xi'an Jiaotong University in 1990, 1993 and 1998, respectively. Currently, She is working as a postdoctoral fellowship in the Microelectronics Institute, Xidian University. Her research is focused on the study of the reliability and Monte-Carlo modeling for novel circuit and deep-sub-micron MOS devices.

HAO Yue was born in 1958 and received his M. S. and Ph. D degree from Xidian University and Xi'an Jiaotong University in 1986 and 1991 respectively. Now he is a professor, director of Pastgraduate for Ph. D and vice-president of Xidian University, IEEE senior member as well. His current research interests are theory and design methodology for IC manufacture ability and reliability, novel device and circuit and IC statistic model and optimization, etc.

Received 13 April 2000, revised manuscript received 1 September 2000

©2001 The Chinese Institute of Electronics