

0.5 m SOI CMOS 器件和电路

刘新宇 孙海峰 海朝和 吴德馨

(中国科学院微电子中心, 北京 100029)

摘要: 研究了 0.5 μm SOI CMOS 器件和电路, 开发出成套的 0.5 μm SOI CMOS 工艺。经过工艺投片, 获得了性能良好的器件和电路, 其中当工作电压为 3V 时, 0.5 μm 101 级环振单级延迟为 42ps。同时, 对部分耗尽 SOI 器件特性, 如“浮体”效应、“Kink”效应和反常亚阈值特性进行了讨论。

关键词: 部分耗尽; “浮体”效应; 反常亚阈值特性

EEACC: 2570D

中图分类号: TN 386

文献标识码: A

文章编号: 0253-4177(2001)05-0660-04

1 前言

SOI 技术作为一种新兴的技术, 由于其自身的特点^[1,2]: 无闩锁效应, 源、漏寄生电容小, 较为陡直的亚阈值斜率, 易于形成浅结和全介质隔离, 较好地抑制短沟道效应等, 在进入亚微米、深亚微米后, 将可能取代体硅工艺成为主流工艺。为此, 我们在开展 0.8—1.2 μm SOI 大规模集成电路研制的同时^[3], 进行了 0.5 μm 器件和电路的研制。

0.5 μm SOI CMOS 器件和电路采用部分耗尽工艺, 虽然全耗尽 SOI CMOS 具有较为陡直的亚阈值斜率和无“Kink”效应等特点, 但其工艺较复杂, 而且背栅耦合和自加热效应严重^[4]。目前, SOI 电路研究多采用部分耗尽工艺, 虽然其存在“Kink”效应和单管闩锁效应, 但是, 一方面, 可通过体接触加以解决; 另一方面, 在低频数字电路中, 它对电路性能基本无影响。

本文第二部分对 0.5 μm SOI CMOS 工艺进行了较为详细的研究, 开发出成套的 0.5 μm SOI CMOS 工艺; 第三部分对 0.5 μm SOI CMOS 器件和电路进行分析与测试; 最后得到结论并给出致谢。

2 工艺研究

0.5 μm SOI CMOS 器件和电路是在中国科学院微电子中心第一研究室进行工艺投片, 光刻机为 ASM-5000, 刻蚀采用 Lam 公司亚微米系列刻蚀机。硅片采用美国 IBIS 公司的 100mm SIMOX 基片, 其中 $T_{\text{BOX}}: 382.6 \text{ nm}$, $T_{\text{si}}: 198 \text{ nm}$, 衬底为 P 型 $\langle 100 \rangle \text{ Si}$ 。其具体工艺流程如下:

(1) 作标记和在线监控图形; (2) PBL (Poly-Buffered LOCOS) 隔离, 鸟嘴尺寸 $< 0.2 \mu\text{m}$; (3) NMOS 管硅岛边缘注入: $B^+ 30 \text{ keV } 5 \times 10^{13} \text{ cm}^{-2}$, 以抑制边缘漏电; (4) 预栅氧 18nm; (5) 沟道掺杂工程 NMOS: $B 70 \text{ keV } 3 \times 10^{13} \text{ cm}^{-2}$, $BF_2 50 \text{ keV } 3 \times 10^{11} \text{ cm}^{-2}$; PMOS: $P 160 \text{ keV } 2 \times 10^{11} \text{ cm}^{-2}$, $P 100 \text{ keV } 8 \times 10^{10} \text{ cm}^{-2}$; 对 NMOS 和 PMOS 管进行阈值调整, 抑制沟道穿通和背栅效应; (6) 抗辐照薄栅氧 850°C 18nm。我们将 H_2-O_2 合成和氮氧化栅两种技术结合起来, 采用三层复合结构“Sandwich”栅, 其中氮氧化栅采用两步氮氧化法。(7) LPCVD 多晶硅 350nm, 掺杂注入 $P 70 \text{ keV } 5 \times 10^{15} \text{ cm}^{-2}$; (8) 光刻和 RIE 多晶硅, 形成 0.5 μm 多晶硅栅; (9) 源漏 Extention 掺杂 NMOS: $P^+ 30 \text{ keV } 2.5 \times 10^{13} \text{ cm}^{-2}$ PMOS: $B^+ 30 \text{ keV }$

刘新宇 男, 1973 年出生, 博士研究生, 现从事 PD/FDSOI 工艺、电路和抗辐照特性研究。

孙海峰 男, 1972 年出生, 硕士研究生, 现从事 PD/FDSOI 工艺、电路和抗辐照特性研究。

吴德馨 女, 中国科学院院士, 长期从事体硅、SOI 和砷化镓的工艺和电路研究。

2000-05-23 收到, 2000-08-12 定稿

©2001 中国电子学会

$5 \times 10^{13} \text{ cm}^{-2}$; (10) 淀积 TEOS 330nm, RIE 形成 LDD 结构, 用于提高击穿电压, 抑制短沟道效应和热电子效应; (11) 源漏注入 NMOS: As^+ 80keV $5.5 \times 10^{15} \text{ cm}^{-2}$ PMOS: BF_2 40keV $3 \times 10^{15} \text{ cm}^{-2}$; (12) RTA 1000°C 6s, 对各注入进行退火; (13) 注 Ge 硅化物工艺; (14) BPSG 淀积及回流; (15) 双层金属布线(采用 SOG 法); (16) 钝化。

最终, 我们获得性能优良的 $0.5\mu\text{m}$ CMOS/SOI 器件和电路, 顶部硅层仅剩 110nm, 硅化物厚度为 50nm 左右。

3 测试与分析

采用上述工艺流程, 我们成功地研制出 $0.5\mu\text{m}$ SOI 器件和电路, 其中电路包括 D 型触发器、101 级环振和简单与非门等。图 1 为 $0.5\mu\text{m}$ SOI 器件的 SEM 照片, 可见多晶硅条宽约为 $0.5\mu\text{m}$, 器件采用 LDD 结构。表 1 给出 $0.5\mu\text{m}$ SOI 器件的基本电学参数和器件性能。其中, 由于器件为部分耗尽结构, 存在浮体效应, 阈值电压随源漏电压变化而急剧变化(见图 2), 因而阈值电压定义采用当 $V_{ds} = 0.1\text{V}$ 时, $I_{ds} = W/L \times 10^{-7}\text{A}$ 所对应的栅压。

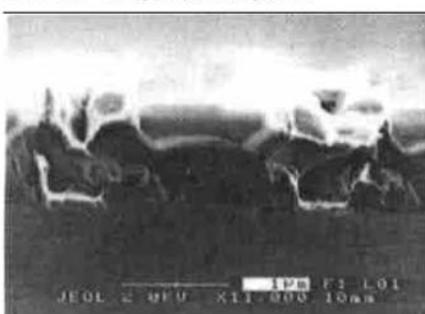


图 1 $0.5\mu\text{m}$ SOI 器件的 SEM 照片

FIG. 1 SEM of $0.5\mu\text{m}$ SOI Device

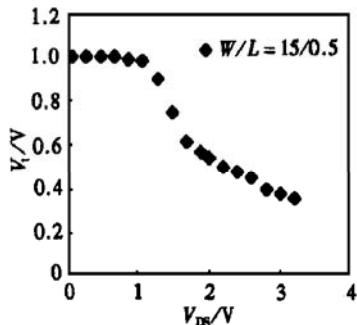


图 2 阈值电压与源漏电压关系图

FIG. 2 Threshold Voltage vs Drain Bias

通过 HP4145 测试获得: N 管阈值电压为 1.0V , P 管阈值电压为 -0.8V , 这对于 $0.5\mu\text{m}$ SOI 器件和电路而言, 一般工作电压采用 3V , 此阈值电压明显偏高, 需通过优化阈值注入条件和栅结构来调整, 降低至 0.5V 左右为佳。另外, 由于浮体效应和单管闩锁效应^[5], 器件的击穿电压较低: $BV_{dsn} = 5.3\text{--}6\text{V}$, $BV_{dsp} = 6.4\text{--}7\text{V}$ 。图 3 为 $0.5\mu\text{m}$ SOI 器件的输出特性曲线, (a) 为 NMOS 管输出特性曲线, (b) 为 PMOS 管输出特性曲线。从图中可见 N 管在 1.5V 出现 “kink” 现象, 而 P 管不存在, 这是由于部分耗尽管存在浮体效应导致, 采用体接触可有效改善, 但可能会增加面积。一般在数字电路中并不考虑它, 而且有利于提高电路速度^[6]。

表 1 $0.5\mu\text{m}$ SOI 器件的基本电学参数和器件性能

Table 1 Basic Characteristic and Device Parameters for $0.5\mu\text{m}$ Partially Depleted SOI Device

	NMOS	PMOS
硅层厚度/nm	11	11
沟道长度/ μm	0.5	0.5
阈值电压/V	1.0	-0.8
迁移率/($\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$) ($V_{ds} = 0.5\text{V}$)	446	240
亚阈值斜率的倒数/($\text{mV} \cdot \text{dec}^{-1}$)		
($V_{ds} = 0.1\text{V}$)	125.6	90.4
($V_{ds} = 2.0\text{V}$)	无穷小	136
击穿电压/V	5.3—6V	6.4—7V

图 4 给出 $0.5\mu\text{m}$ SOI 器件的转移特性曲线, (a) 为 NMOS 管转移特性曲线, (b) 为 PMOS 管转移特性曲线。根据公式 $S = \ln 10 \partial V_{gs} / \partial (\ln I_{ds})$ 计算, 在 $V_{ds} = 0.1\text{V}$ 时, N 管的亚阈值斜率倒数为 125.6mV/dec , P 管为 90.4mV/dec ; 当 $V_{ds} = 2\text{V}$ 时, N 管的亚阈值斜率倒数为无穷小, P 管为 136mV/dec 。可见 $0.5\mu\text{m}$ SOI 器件存在着较强的短沟道效应, 而且 NMOS 管出现反常亚阈值特性, 这是由于部分耗尽 MOS 管存在一寄生的双极晶体管, 它将基极(即沟道区)电流放大, 即将因漏端碰撞电离产生的空穴电流加以放大, 基极电流可由 $I_{body} = (M - 1)I_{dsat} \approx (M - 1)I_{ch}$ 给出, 其中 I_{ch} 是沟道电流, 电流放大所引起的漏电流增加可由 $I_{ds} = \beta I_{body} = \beta(M - 1)I_{ch}$ 给出, 漏电流的增加在器件中形成一正反馈效应, 这时器件的亚阈值斜率可以无穷大, 导致器件出现反常亚阈值特性; PMOS 管由于空穴的碰撞离化系数比电子的碰撞离化系数要小得多, 所以不存在反常亚阈值特性。

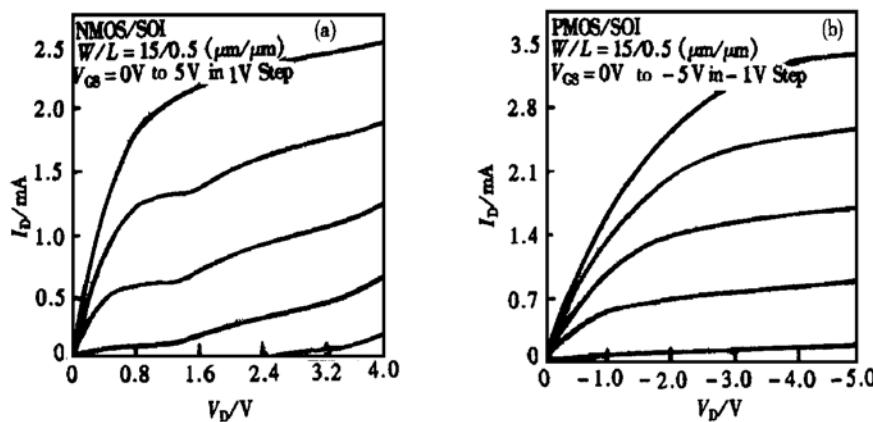


图 3 0.5μm SOI 器件的输出特性曲线 (a) NMOS 管输出特性曲线; (b) PMOS 管输出特性曲线

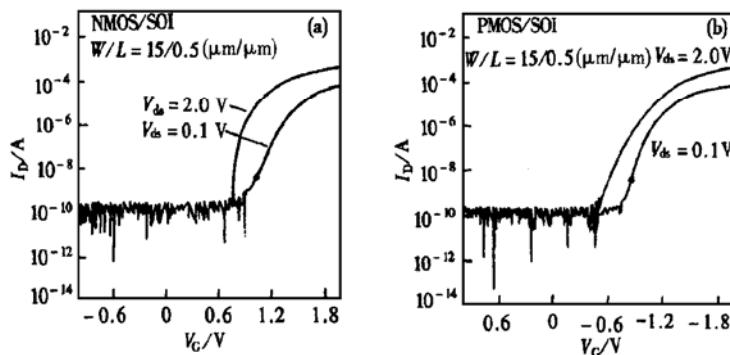
FIG. 3 $I-V$ Characteristics of 0.5 μm Partially Depleted SOI Device (a) $I-V$ Characteristics for NMOS; (b) $I-V$ Characteristics for PMOS

图 4 0.5μm SOI 器件的输出特性曲线 (a) NMOS 管转移特性曲线; (b) PMOS 管转移特性曲线

FIG. 4 Subthreshold Characteristics of 0.5 μm Partially Depleted SOI Device (a) Subthreshold Characteristics for NMOS; (b) Subthreshold Characteristics for PMOS

在 0.5 μm SOI CMOS 环形振荡器电路中, 为了使电路充分振荡, 我们设计了 101 级的环振。采用 HP54615B 示波器对环振进行分析、测试, 图 5 给出在 3V 工作电压下环形振荡器的波形图, 根据计算, 单级门延迟仅为 42ps。图 6 为 101 级 SOI CMOS 环振单级延迟时间与工作电压的关系图, 其中曲线 A

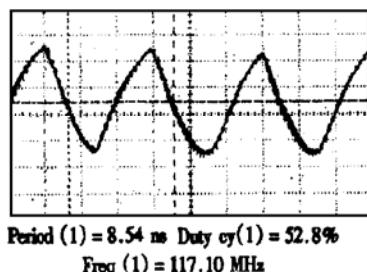


图 5 环形振荡器的波形图

FIG. 5 Wavement of Ring Oscillator

为采用硅化物工艺, 曲线 B 为常规工艺。从图中可见, 环振可在 1—4V 下稳定工作, 同时采用硅化物工艺的环振一般比常规工艺环振快 15%—20%。另外, D 型触发器、简单与非门等电路功能正常、性能良好。

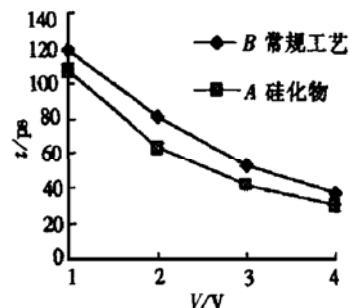


图 6 101 级环振单级延迟时间与工作电压的关系图

FIG. 6 Propagation Delay Time of 0.5 μm 101-Stage Ring Oscillator vs Supply Voltage

4 结论

本文对 $0.5\mu\text{m}$ SOI CMOS 器件和电路进行了研究, 开发出成套的 $0.5\mu\text{m}$ SOI CMOS 工艺, 可实现中、小规模的 SOI CMOS 亚微米电路。经过工艺投片, 我们获得性能良好的器件和电路, 器件包括 $0.5\mu\text{m}$ NMOS 和 PMOS, 其中, NMOS: $V_t = 1\text{V}$, $BV_{ds} = 5.3\text{--}6\text{V}$, $\mu_{eff} = 446\text{cm}^2/(\text{V}\cdot\text{s})$; PMOS: $V_t = -0.8\text{V}$, $BV_{ds} = 6.4\text{--}7\text{V}$, $\mu_{eff} = 240\text{cm}^2/(\text{V}\cdot\text{s})$; 电路包括 D 型触发器、101 级环振和简单与非门等, 当工作电压为 3V 时, $0.5\mu\text{m}$ 101 级环振单级延迟为 42ps , 同时采用硅化物工艺的环振一般比常规工艺环振快 $15\% \text{--} 20\%$ 。该 $0.5\mu\text{m}$ SOI CMOS 部分耗尽器件和电路的研制成功, 进一步推进国内 SOI 技术向亚微米级和深亚微米级发展。

致谢 感谢中国科学院微电子中心第一研究室全体工作人员对工艺研究和器件与电路测试的支持。

参考文献

- [1] J. P. Colinge, *Silicon-On-Insulator Technology: Materials to VLSI*, Boston: Kluwer Academic Publishers, 1991.
- [2] WANG Shouwu, XIA Yongwei *et al.*, Thin Bulk Effects in SOI Structure, *Chinese Journal of Semiconductors*, 1985, **6**(3): 225—235(in Chinese) [王守武, 夏永伟, 等, SOI 结构中的薄体效应, 半导体学报, 1985, **6**(3): 225—235].
- [3] LIU Xinyu, HAN Zhengsheng *et al.*, Development of CMOS/SOI 64Kb SRAM, *Chinese Journal of Semiconductors*, 2001, **22**(1): 48—52(in Chinese) [刘新宇, 韩郑生, 等, CMOS/SOI 64Kb 静态随机存储器, 半导体学报, 2001, **22**(1): 48—52].
- [4] L. T. Su, Int. Conf. Solid State Devices and Materials (SSDM), Osaka, Japan, Aug., 1995, 542—544.
- [5] K. Kato, T. Wada and K. Taniguchi, Analysis of Kink Characteristics in Silicon-On-Insulator MOSFET's Using Two Carrier Using Modeling, *IEEE Trans. Electron Devices*, 1985, **ED-32**: 458.
- [6] T. W. Houston, A Novel Dynamic V_t Circuit Configuration, IEEE International SOI Conference, 1996.

0.5 m Partially Depleted CMOS/SOI Device and Circuit

LIU Xin-yu, SUN Hai-feng, HAI Chao-he and WU De-xin

(Research and Development Center of Microelectronics, The Chinese Academy of Sciences, Beijing 100029, China)

Abstract: The partially depleted CMOS/SOI device and circuit with channel length of $0.5\mu\text{m}$ have been studied, and the Complete $0.5\mu\text{m}$ CMOS/SOI technology been developed as well. Well-behaved devices and circuits are obtained, with the per-stage propagation delay of 101-stage $0.5\mu\text{m}$ CMOS/SOI ring oscillator being 42ps under 3V supply voltage. Some characteristics of the partially depleted CMOS/SOI device are also discussed, such as “float-body” effect, “kink” effect, and anomalous subthreshold characteristics, etc.

Key words: partially depleted; “float-body” effect; subthreshold characteristics

EEACC: 2570D

Article ID: 0253-4177(2001)05-0660-04

LIU Xin-yu male, born in 1973, Ph. D candidate, is engaged in the research on technology of PD/FDSOI, circuit and antiradiations.

SUN Hai-feng male, born in 1972, MS candidate, is engaged in the research on technology of PD/FDSOI, circuit and antiradiations.

WU De-xin female, academician of The Chinese Academy of Sciences, has been engaged in the research on technology and circuit of Si, SOI and GaAs.

Received 23 May 2000, revised manuscript received 12 August 2000

©2001 The Chinese Institute of Electronics