

GAT 型高速高压功率开关管最大集电极电流的仿真*

王 哲 亢宝位 吴 郁 程 序

(北京工业大学电子信息与控制工程学院, 北京 100022)

摘要: 针对目前 GAT(Gate Associated Transistor)型高速高压功率开关管中存在的最大集电极电流远小于常规双极功率管这个关键问题提出一些新的结构改进设想, 包括改变栅区掺杂浓度以及平面版图设计, 并对此进行了仿真研究. 结果证明可将最大集电极电流提高到 2.1 倍, 而对其他特性无明显不良影响.

关键词: 最大集电极电流; 版图; 扩散表面浓度

EEACC: 2560; 2560L; 2560R

中图分类号: TN 386

文献标识码: A

文章编号: 0253-4177(2001)06-0760-05

1 前言

为了节能节材等目的, 国际上电力电子技术中所用的开关工作频率已从以前的千赫以内的低频时代提高到今天的几十千赫以上的高频电力电子技术时代. 与此相应, 电力电子器件也由以 SCR、GTR、GTO 等双极型器件为主流的低频电力电子器件时代发展到今天的以 VD-MOSFET、IGBT 等为主流的高频电力电子器件时代. 后者的开关速度快, 因而高频下的开关功率损耗更低; 后者为输入端电压控制, 可以多元胞并联获得大电流而不会发生电流集中和二次击穿. 但后者并不完全令人满意, 首先, 制造成本远比常规双极管高; 再者, VD-MOSFET 的通态电阻 R_{on} 较大, 特别是 R_{on} 以正比于漏源击穿电压的 2.5 次方增加^[1], 使它在耐压 300V 以上的高压器件领域并无优势. 因此, 探索其它类型的高频电力电子器件以弥补这些不足具有现实意义.

制造成本很低的常规双极晶体管难以达到高开关速度的原因是: 它存在着耐高压需要基区宽度宽

(以避免高压下基区穿通) 和高速度需要基区宽度窄(以减小基区渡越时间) 这一固有矛盾. 针对这一问题, Kondo 提出一种特殊结构的双极管 GAT(Gate Associated Transistor)^[2]. 它是在常规双极管中加入一个 P⁺ 栅区(如图 1 所示), 利用 P⁺ 栅区对 P 型基区的电屏蔽作用抑制了集电结耗尽层向基区扩展, 从而使窄基区也能有高的击穿电压, 在很大程度上解决了前述的固有矛盾, 实现了高压双极管的高速化^[2]. 不幸的是, 很深的 P⁺ 栅区是以热扩散方法形成的, 侧向扩散使栅区所占芯片面积相当大. 由于 P⁺ 栅区掺杂浓度高使这部分面积对应的发射结的发射效率很低, 导致了最大集电极电流的严重降低. 这使 GAT 功率管的芯片面积太大, 制造成本提高, 失去了双极晶体管赖以立足的成本低的优势. 这一关键问题成了具有良好高频性能的 GAT 自发明以来约 20 年不能商品化生产的最大障碍. 最近, Chen 等把栅区形成方法由热扩散法改为深挖窄槽再回填 P⁺ 多晶硅的方法(槽深 10μm 以上, 宽约 1μm)^[3], 基本上解决了栅区占面积大的问题, 使其最大集电极电流可达到与常规双极管基本相同. 但是, 在极简单

* 北京市自然科学基金资助项目(项目编号: 4972005).

王 哲 女, 1967 年出生, 讲师, 在职博士生, 现从事功率半导体器件的教学与研究工作.

亢宝位 男, 1939 年出生, 教授, 博士生导师, 现从事功率半导体器件的教学与研究工作.

吴 郁 男, 1970 年出生, 副研究员, 在职博士生, 现从事功率半导体器件的教学与研究工作.

2000-06-15 收到, 2000-09-11 定稿

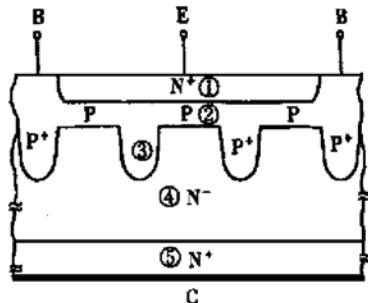
©2001 中国电子学会

的双极平面工艺中加入难度较高的深挖窄槽再回填多晶硅的加工步骤又使成本有所提高,因而这种方法并不理想。本文给出了一种仍是基于低成本普通平面工艺的新的GAT结构设计,来提高有限芯片面积可达到的集电极最大电流,以降低制造成本。仿真证明,它具有很好的效果。

2 GAT管的基本结构与本文提出的新结构设计

图1是原发明人提出的GAT管的剖面结构^[2],其工作原理是:当集电结电压达到一定数值时,栅区与集电区间的P⁺N⁻结的耗尽层扩展到把相邻P⁺栅区之间的N⁻区充分夹断,此后当电压继续增加时,基区与集电区间的PN⁻结的耗尽层将主要向集电区扩展,而基本不再向基区扩展。因而,基区不易发生穿通,使窄基区也能耐高压。这被称为栅区对基区的电屏蔽作用。

图2(a)是至今一直沿用的原发明人给出的平面电极图形,本文称之为“正交型”。



①发射区 ②基区 ③棚区 ④集电区 ⑤衬底

图1 GAT结构剖面示意图

FIG. 1 Schematic Cross Section of GAT

本文提出的以提高最大集电极电流为目的的新结构设计主要体现在以下两方面:

(1) 将平面电极图形由图2(a)所示的正交型改为图2(b)所示的岛状型,以提高芯片上有效发射极所占面积和周长。

(2) 将栅区掺杂浓度由远高于基区的P⁺区变为低于基区的P⁻区,以提高与栅区对应的这部分发射结面积的发射极注入效率,将这部分面积由基本上无效变成有效面积。

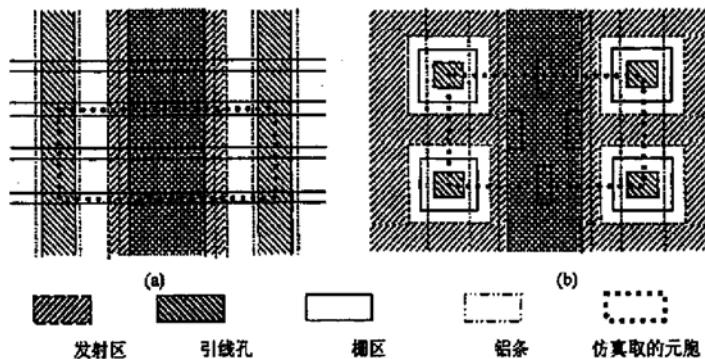


图2 传统正交型、本研究岛状两种结构的示意图

FIG. 2 Schematic Layouts of Conventional Cross-Type Structure and Presently Proposed Island-Type Structure

经过以上改进后,对一定芯片面积内能达到的最大集电极电流的提高程度,以及由此结构改变可能引起的对频率特性和反向击穿电压的不利影响进行了计算机仿真。下面给出仿真的情况及结果。

3 新结构设计的计算机仿真

本研究用美国Avanti公司的三维半导体器件仿真软件Davinci对有关的电学性能进行了仿真。

所仿真的晶体管参数以最常用的BV_{ceo}为450V左右的高反压高速开关管为例。其N⁻集电区掺杂浓度为N_c=1×10¹⁴cm⁻³,宽度为W_{N⁻}=50μm;发射区、基区、栅区均由扩散形成,结深分别为x_{je}=3μm,x_{jb}=6μm,x_{ig}=16μm,发射区、基区、栅区扩散表面浓度分别用N_{se}、N_{sb}、N_{sg}表示。仿真用的器件结构见图3。

仿真的工作就是解三组物理方程:泊松方程、

连续性方程和电流密度方程.

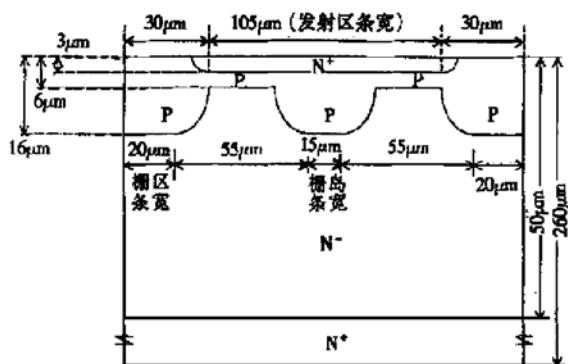


图 3 仿真用的岛状设计剖面结构图

FIG. 3 Cross Section of Island-Type Design Used in Simulation

3.1 物理模型

软件中已设置了各种不同的器件物理参数模型. 为了节约计算时间, 按照需要我们作了以下选取. GAT 型高频功率晶体管是采用传统的三重扩散工艺制得的, 一般各区中通过复合中心的复合是主要的, 仿真中选取了可以计入复合中心复合的复合模型 CONSRH. GAT 管的发射区和栅区浓度都可能很高, 大注入时自由载流子浓度可能也很高, 所以选取了与此有关的俄歇复合模型 AUGER, 同时选取了与高掺杂浓度有关的禁带变窄模型 BGN 和高掺杂时易发生遂穿效应的模型 R. TUNNEL. 选取迁移率模型时选择了比较完善的 PHUMB 模型, 它不仅考虑了杂质散射、载流子之间的散射和镜像力的作用, 而且可以区分出同一种型号的载流子作为多子和少子时迁移率的不同; 同时也选取了考虑强场下迁移率下降和可能发生速度饱和的 FLDMOB 模型. 与击穿相关的模型采用了碰撞电离模型 IMPACT. I.

3.2 数值方法

首先在要模拟的器件结构上做合适的模拟网格, 使三个方程, 即泊松方程和两个连续性方程在网格点上离散化. 这一套离散化的代数方程是相互偶合的、非线性的, 所以必须用非线性迭代方法求解. 在小电流时, 可以采用 Gummel 法, 电流增大后, 采用牛顿法. 初始值的假定是以电中性条件为前提获得各网格点的初始偏置点. 在所模拟器件的非接触面, 设为反射边界条件.

4 仿真结果与分析

影响普通双极管最大集电极电流的因素很多, 主要有基区大注入效应、中性基区扩展效应、发射极电流集边效应等, 这些都已被前人分析过. 在 GAT 管中, 这些效应无疑也是存在的. 而对 GAT 所特有的是栅区的结构参数(包括掺杂浓度和几何形状与尺寸等)对最大集电极电流的影响. 本文提出的 GAT 新结构设计也是针对栅区的. 由于是用数值模型进行分析, 在分析栅区结构影响时自然包含了前述各种效应与它的关联.

为了比较, 对最大集电极电流需要有一个定义. 对于小功率管和功率管过去采用的定义是不同的. 本文采用国际一些著名的功率管制造公司的定义: 在 $V_{CE} = 5V$ 下直流电流放大系数减小到 5 时的集电极电流值定义为集电极最大电流.

4.1 不同平面版图设计对最大集电极电流的影响

图 2 所示的正交型和岛状图形设计的栅区结构不同, 因而它们的发射区面积、周长、电流集边的程度和基区、集电区的电流密度都不同, 所以最大集电极电流应是不同的. 在进行版图设计时, 对最大集电极电流影响的仿真时取 $N_{sb} = 1 \times 10^{18} \text{ cm}^{-3}$, $N_{sg} = 1 \times 10^{19} \text{ cm}^{-3}$, 同时为公平进行比较, 对每种情形都调整 N_{se} 使小电流下 h_{FE} 都相等, 这里均取为 33, 仿真结果见图 4. 由图看到, 在大部分电流范围内, 随着电流的增加原发明人的正交型设计的 h_{FE} 下降很快, 而岛状的 h_{FE} 下降很慢. 按 h_{FE} 下降到 5 的定义, 正交

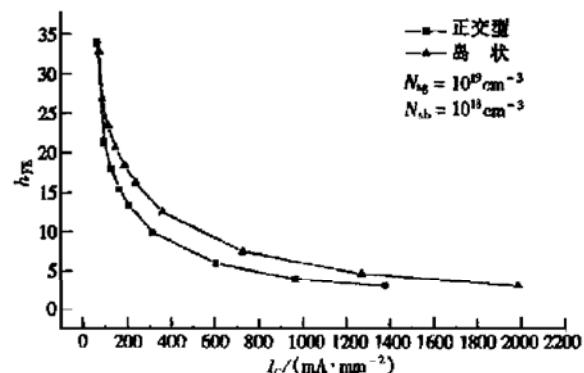


图 4 两种不同平面版图设计的 h_{FE} - I_C 关系

FIG. 4 Current Gains of Two Kinds of Layout Designs Plotted Versus Collector Current

型结构和岛状结构的最大集电极电流分别是 0.73A/mm^2 和 1.2A/mm^2 .在这种传统上采用的栅区高掺杂的情况下,岛状设计比一直沿用的原发明人的正交设计的最大集电极电流高出64%.

4.2 栅区掺杂浓度变化对最大集电极电流的影响

GAT原发明人所取栅区为P⁺,其浓度高于基区.我们仿真发现栅区浓度高会减小最大集电极电流,下面是我们的计算结果.固定基区表面掺杂浓度为常用的 $N_{sb}=1\times 10^{18}\text{cm}^{-3}$,分别取栅区表面掺杂浓度为 $N_{sg}=1\times 10^{19}\text{cm}^{-3}, 1\times 10^{18}\text{cm}^{-3}, 1\times 10^{17}\text{cm}^{-3}$,即 $N_{sg}/N_{sb}=10, 1, 0.1$,计算了 $h_{FE}-I_C$ 曲线,结果示于图5(岛状).计算时调整 N_{se} 使小电流 h_{FE} 为33.结果表明,降低栅区浓度时, h_{FE} 随 I_C 增加而下降的速度明显减小,因而集电极电流明显增大,对于 $N_{sg}/N_{sb}=10, 1, 0.1$ 岛状设计的最大集电极电流分别为 $1.2\text{A/mm}^2, 1.53\text{A/mm}^2, 1.55\text{A/mm}^2$.也就是说 N_{sg}/N_{sb} 的值由10降低到0.1,岛状设计的最大集电极电流提高到1.29倍.且在栅区浓度减小到与基区浓度相等以后,岛状设计对 N_{sg} 的变化不太敏感,这对大规模生产很有利.

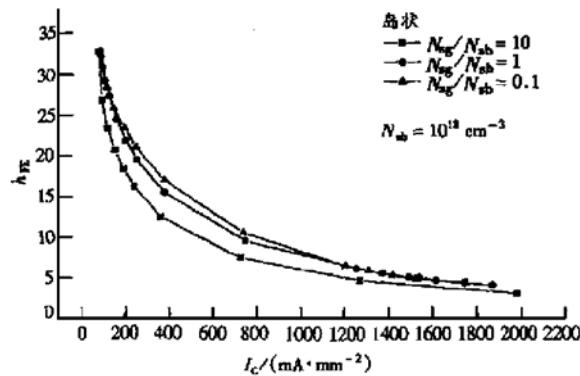


图5 栅区浓度变化对 $h_{FE}-I_C$ 关系的影响

FIG. 5 Influence of Surface Concentration of Gate Region on Plot of h_{FE} Versus I_C

降低 N_{sg} 可以提高 I_{CM} 可以解释为:与栅区对应的发射结下面的P型杂质浓度为基区扩散与栅区扩散的叠加,当 N_{sg} 很高时,与栅区对应的这部分发射结将由于P区浓度过高使发射极注入效率很低,也就是说流过这部分发射结面积的发射极电流主要是基区注入发射区的空穴流,而发射区向基区注入并最终流到集电区去的电子流相对较少.所以这部分面积上的发射极电流主要部分成为基极电流的一

部分而对集电极电流贡献不大,从而使最大集电极电流减小.在仿真中观察到 $N_{sg}/N_{sb}=10, 1, 0.1$ 时流过栅区中心处的电子流/空穴流之比分别为0.45, 1.8和5.9,而流过两栅之间的基区的电子流/空穴流之比分别为5, 5.7和7(这个不同是因为小电流下 h_{FE} 都等于33而调整了 N_{se} 造成的).在 $N_{sg}/N_{sb}=10$ 时两者相差近10倍,栅区对应的发射区面积几乎对集电极电流无贡献;而当 $N_{sg}/N_{sb}=0.1$ 时两者仅相差1.2倍,栅区和基区对应的发射结面积对集电极电流的贡献几乎是同等有效的.

虽然降低栅区掺杂浓度可以显著提高最大集电极电流,但是栅区对基区的电场屏蔽作用可能减弱,因而有可能使击穿电压降低.为此,计算了基极开路时集电极-发射极间击穿电压 BV_{ce0} 随 N_{sg}/N_{sb} 的变化,结果示于图6.由图看到,当 N_{sg}/N_{sb} 由10降到0.1时, BV_{ce0} 由439V降到423V,只降低16V,也就是说.在 N_{sg}/N_{sb} 大于0.1时,对 BV_{ce0} 影响较小.而过度降低 N_{sg} 则会使 BV_{ce0} 下降,其极端情况是 $N_{sg}=0$ 时,GAT变为普通双极管,失去了栅屏蔽作用,由仿真结果看 BV_{ce0} 就只有与3μm厚度的薄基区相对应的360V了.

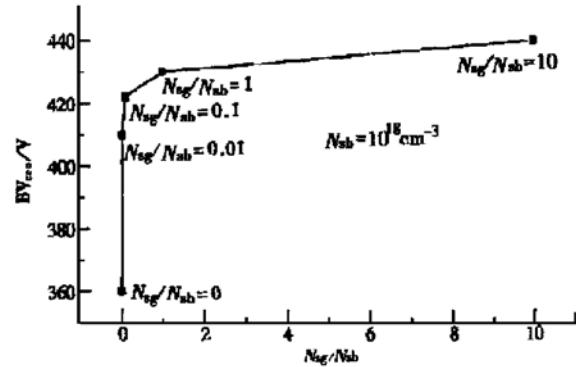


图6 栅区浓度变化对基极开路时集电极-基极间击穿电压的影响

FIG. 6 Influence of Surface Concentration of Gate Region on Breakdown Voltage of BV_{ce0}

降低栅区浓度还可能有另一个不利方面,即栅区浓度的降低提高了与栅区对应的发射结的注入效率,而这部分电流将流过更长的距离才能达到n⁻集电区,与栅区对应的部分相当于宽基区晶体管,可能整个晶体管的工作频率会受到影响,为此,计算了 f_T 随 N_{sg}/N_{sb} 的变化,结果见图7.由图看出,当 N_{sg}/N_{sb} 从10变化到0.1时,特征频率 f_T 从48MHz

降低到 35MHz。人所共知, BV_{CEO} 为 450V 的常规双极晶体管 f_T 只有 4MHz 左右(例如 MJE13003)。比较可知, 即使 $N_{SG}/N_{SB} = 0.1$, 其 f_T 也比常规双极晶体管高近 10 倍, 并不损害 GAT 管的本质优点。

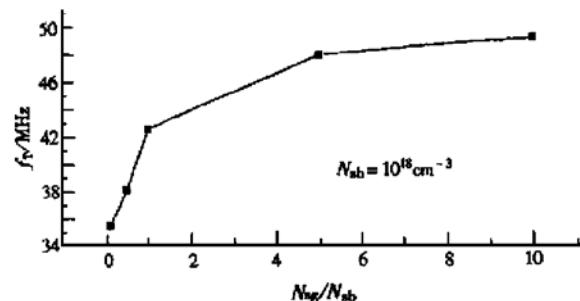


图 7 棚区浓度变化对特征频率的影响

FIG. 7 Influence of Surface Concentration of Gate Region on Characteristical Frequency

5 结论

本文提出用改变平面版图设计和降低棚区掺杂浓度来提高 GAT 的最大集电极电流, 并对此进行

了计算机仿真。仿真结果证明, 用作者提出的岛状设计比目前广泛使用的原发明人的正交设计可提高最大集电极电流到 1.64 倍, 将棚区扩散浓度由 $N_{SG}/N_{SB} = 10$ 降低到 0.1, 可提高最大集电极电流到 1.29 倍, 经过两方面同时改进, 可提高最大集电极电流到 2.1 倍, 而击穿电压只降低 3.6%, f_T 降低 25%。通过这些结构上的变化, 可以很大程度上解决棚极加入后引起的最大集电极电流的减小。基本上解决了因最大集电极电流小造成制造成本高这一长期阻碍 GAT 不能商品化生产的关键问题。

参考文献

- [1] X-B. Chen and C. Hu, IEEE Trans. Electron Devices, 1982, ED-29(6): 985.
- [2] Hisao Kondo and Yoshinori Yukimoto, IEEE Trans. Electron Devices, 1980, ED-27(2): 373.
- [3] Q. F. Chen, Johnny K. O. Sin and Qixiu Chen, A New Trench Base-Shielded Bipolar Transistor, Proceedings of 1998 International Symposium on Power Semiconductor Devices & ICs, Kyoto, 1998, 169.

Simulation on Current Rating of GAT Type High-Speed High-Voltage Power Transistors*

WANG Zhe, KANG Bao-wei, WU Yu and CHENG Xu

(Department of Electronic Engineering, Beijing Polytechnic University, Beijing 100022, China)

Abstract: Considering that the current rating of GAT (Gate Associated Transistor) power transistor is much smaller than that of conventional bipolar transistors, some new ideas of structure improvement are proposed in this paper. One is to reduce the impurity concentration in the gate region. The other is to scheme a new island type layout of the gate region to enlarge the area and perimeter of the emitter region. The simulation results show that the improved current rating is 1.64 times as high as the original one when using the proposed island gate layout; 1.29times when reducing the diffused surface concentration of the gate region; and 2.1times when applying both techniques above. At the same time, no obvious influence is observed on other characteristics such as the frequency and the breakdown voltage.

Key words: current rating; layout; diffused surface concentration

EEACC: 2560; 2560L; 2560R

Article ID: 0253-4177(2001)06-0760-05

* Project Supported by Beijing Municipal Natural Sciences Foundation (No. 4972005).

WANG Zhe female, born in 1967, is now a lecture and an on-job doctoral student. Her research interests are in power semiconductor devices.

KANG Bao-wei male, born in 1939, is a professor and a instructor of doctoral students. His research interests are in power semiconductor devices.

WU Yu male, born in 1970, is now an associate researcher and an on-job doctoral student. His research interests are in power semiconductor devices.