

# CeO<sub>2</sub> 高 K 棚介质薄膜的制备工艺及其电学性质\*

康晋峰<sup>1</sup> 刘晓彦<sup>1</sup> 王 玮<sup>1</sup> 俞 挺<sup>1</sup> 韩汝琦<sup>1</sup> 连贵君<sup>2</sup> 张朝晖<sup>2</sup> 熊光成<sup>2</sup>

(1 北京大学微电子所, 北京 100871)

(2 北京大学物理系, 北京 100871)

**摘要:** 研究了 CeO<sub>2</sub> 作为高 K (高介电常数) 棚介质薄膜的制备工艺, 深入分析了衬底温度、淀积速率、氧分压等工艺条件和利用 N 离子轰击氮化 Si 衬底表面工艺对 CeO<sub>2</sub> 薄膜的生长及其与 Si 界面结构特征的影响, 利用脉冲激光淀积方法在 Si (100) 衬底生长了具有 (100) 和 (111) 取向的 CeO<sub>2</sub> 外延薄膜; 研究了 N 离子轰击氮化 Si 衬底表面处理工艺对 Pt/CeO<sub>2</sub>/Si 结构电学性质的影响。研究结果显示, 利用 N 离子轰击氮化 Si 表面/界面工艺不仅影响 CeO<sub>2</sub> 薄膜的生长结构, 还可以改善 CeO<sub>2</sub> 与 Si 界面的电学性质。

**关键词:** 高 K 棚介质; CeO<sub>2</sub> 薄膜; Si 表面/界面氮化; 电学性质

**EEACC:** 2550; 2530

**中图分类号:** TN 386

**文献标识码:** A

**文章编号:** 0253-4177(2001)07-0865-06

## 1 引言

当前提高集成电路性能和性能/价格比的主要途径仍是继续缩小器件的特征尺寸。据预测, 到 2012 年, 主流技术中 MOSFET 器件的特征尺寸将缩小到 50nm。随着器件尺寸的缩小, 为了抑制短沟效应, 保证器件有良好的器件特性, 需要同时减小棚氧化层的厚度。当 MOSFET 尺寸缩小到 0.1μm 的尺度以下时, 棚氧化层的等效厚度(在保持棚电容值不变的条件下, 以相对介电常数为 3.9 的 SiO<sub>2</sub> 作为标准得到的棚介质层厚度)需要小于 3nm。这意味着, 如果仍然采用传统的 SiO<sub>2</sub> 作为棚氧化层介质, 电子的直接隧穿效应和棚介质层所承受的电场将变得很大, 由此引起的棚介质的漏电流和可靠性将成为十分严重的问题。为此, 人们提出了采用具有高介电常数的棚介质(通常称为高 K 棚介质)的解决途径。利用高 K 介质材料替代传统 SiO<sub>2</sub> 作为棚介质, 可以在保持等效厚度不变的条件下, 增加介质层的

物理厚度, 因而可大大减小直接隧穿效应和棚介质层承受的电场强度。新型高 K 棚介质研究已成为国际前沿性的热门研究课题之一。新型高 K 棚介质材料研究的主要内容包括材料或材料结构的选择、相关的制备工艺、介质薄膜及其与 Si 界面性质的研究等, 其中高 K 棚介质薄膜与 Si 界面存在高的陷阱态密度是主要的瓶颈问题之一。产生高的界面陷阱态密度的因素有界面反应和互扩散、晶格失配和界面悬挂键等, 解决的方案需要通过优化材料、材料结构和相关的制备工艺。目前, 研究较多的高 K 棚材料有 TiO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>、ZrO<sub>2</sub>、HfO<sub>2</sub> 等二元金属氧化物和 SrTiO<sub>3</sub> 等具有钙钛矿结构的氧化物材料系统<sup>[1-5]</sup>。而利用 Si 表面氮化来改善高 K 棚介质薄膜与 Si 界面性质的工艺研究也有报道<sup>[2]</sup>。CeO<sub>2</sub> 介质材料具有简单的 CaF<sub>2</sub> 立方晶体结构、高的介电常数(相对介电常数为 26)、稳定的化学性质, 且与 Si 有很好的晶格匹配, 是良好的硅基介质材料的候选者, 有关它在 Si 衬底的生长和在硅基器件方面的研究已有许多报道<sup>[6-11]</sup>。原则上说, 与多晶和非晶薄膜相比, 外延

\* 国家重点基础研究专项经费资助项目(合同号: G20000365)。

康晋峰 博士, 副教授, 目前的主要研究领域为深亚微米/纳米半导体器件物理和工艺、新型氧化物高 K 介质以及铁电材料、铁电存储器技术。

薄膜具有较少的界面悬挂键,因此,利用外延的  $\text{CeO}_2$  薄膜作为高  $K$  栅介质有可能会减小界面的陷阱态密度。为此,我们开展了利用脉冲激光淀积方法(PLD)在 Si(100) 衬底外延生长  $\text{CeO}_2$  薄膜和利用 N 离子轰击方法氮化 Si 表面工艺对薄膜结构和界面特征影响的研究工作。并以此为基础,制备了具有  $\text{Pt}/\text{CeO}_2/\text{p-Si}$  结构的 MOS 电容样品,分析了 N 离子轰击氮化 Si 表面的工艺对  $\text{CeO}_2$  高  $K$  栅介质薄膜电学性质的影响。

## 2 实验

在实验中采用电阻率为  $5\text{--}8\Omega \cdot \text{cm}$  具有(100)取向的 p-Si 作为衬底。Si 衬底在装入淀积室之前,首先进行表面化学清洁处理,以除去 Si 表面的自然氧化层。具体的工艺步骤为:(1)在加热的  $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2$ (1:1) 溶液中煮 10min;(2)用去离子水充分冲洗后,在稀释的 HF 溶液( $\text{HF} : \text{H}_2\text{O} = 1 : 20$ )中浸泡 10s;(3)用去离子水充分冲洗后氮气吹干,立即装入淀积室。淀积室被预抽至  $1 \times 10^{-3}\text{Pa}$  的背底真空。N 离子对 Si 衬底表面轰击工艺在淀积室内原位进行。N 离子由安装在淀积室的卡夫曼离子枪产生,其中 N 离子被加速到 300—800eV, 氮气分压为  $5 \times 10^{-1}\text{Pa}$ , 卡夫曼离子枪与衬底距离约为 60cm。 $\text{CeO}_2$  薄膜利用 PLD 方法淀积。淀积所用的激光器为德国 Lamda Physik 公司生产的波长为 248nm 的 KrF 准分子激光器,输出激光束的平均能量密度约为  $1.2\text{J/cm}^2$ 。淀积所用的靶为烧结的  $\text{CeO}_2$  陶瓷靶。衬底采用电阻丝加热,加热温度在 300—850°C 之间。淀积过程中,引入流氧来提供薄膜淀积所需的氧元素,氧分压在 1—50Pa 之间。薄膜的沉积速率为 0.1—0.5nm/s, 薄膜厚度约为 60nm。在制备 MOS 电容样品时,为了改善  $\text{CeO}_2$  薄膜的漏电流等电学特性,薄膜淀积后,又在 650°C 的衬底温度、 $\text{O}_2/\text{N}_2$  混合气氛中退火 10min。然后样品被转移到另一个系统,利用磁控溅射方法淀积 Pt 电极,淀积时采用金属掩模板形成上电极图形。制备的  $\text{CeO}_2/\text{Si}(100)$  薄膜样品的生长结构利用 X 射线衍射谱(XRD)表征;薄膜的表面形貌特征利用原子力显微镜(AFM)观测;MOS 电容结构的电学特性用电容-电压( $C-V$ )和电流-电压( $I-V$ )特性来表征, $C-V$  和  $I-V$  曲线分别采用 HP4280A  $C-V$  测试仪和 HP4156B 半导体参数分析仪测量。

## 3 结果和讨论

### 3.1 Si(100) 衬底生长 $\text{CeO}_2$ 薄膜的工艺

实验中,我们研究了衬底温度、氧分压、淀积速率、激光束输出能量密度、N 离子对 Si 衬底表面轰击等工艺条件对  $\text{CeO}_2$  薄膜生长结构特征的影响。

图 1 示出两个不同的  $\text{CeO}_2/\text{Si}(100)$  样品 A 和 B 的 X 射线衍射(XRD)的相分析结果,其中图 1(a) 所示样品 A 的  $\text{CeO}_2$  薄膜淀积条件是: 450°C 的衬底温度、1 Pa 的氧分压、0.1nm/s 的淀积速率,淀积时间为 10min; 图 1(b) 所示的样品 B 的  $\text{CeO}_2$  薄膜的制备条件为: 首先在 800°C 衬底温度和  $1 \times 10^{-3}\text{Pa}$  的背底真空条件下淀积 30s, 淀积速率是 0.2nm/s。然后在 800°C 衬底温度、50Pa 的氧分压和 0.2nm/s 的淀积速率下淀积 4.5min。两个样品的激光束输出能量密度均为  $1.0\text{J/cm}^2$ 。两个样品在淀积  $\text{CeO}_2$  薄膜之前,均采用了 N 离子轰击 Si 衬底表面的工艺。图 1 的结果显示,两个样品的  $\text{CeO}_2$  薄膜分别是沿(100)和(111)取向单相生长的。

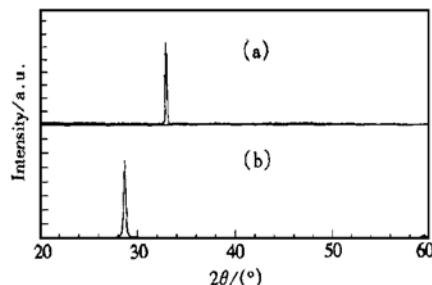


图 1 不同工艺条件下的  $\text{CeO}_2/\text{Si}(100)$  样品 A 和 B 的 X 射线衍射(XRD)的相分析结果 其中样品 A:  $T_s = 450^\circ\text{C}, P_o = 1\text{Pa}, r = 0.1\text{nm/s}, t = 10\text{min}$ ; 样品 B: (1)  $T_s = 800^\circ\text{C}, P_o = 1 \times 10^{-3}\text{Pa}, T = 30\text{s}, r = 0.2\text{nm/s}$ ; (2)  $T_s = 800^\circ\text{C}, P_o = 50\text{Pa}, r = 0.2\text{nm/s}, t = 4.5\text{min}$ 。

FIG. 1 XRD Patterns of  $\text{CeO}_2/\text{Si}(100)$  Samples For Sample A:  $T_s = 450^\circ\text{C}, P_o = 1\text{Pa}, r = 0.1\text{nm/s}, t = 10\text{min}$ ; For Sample B: (1)  $T_s = 800^\circ\text{C}, P_o = 1 \times 10^{-3}\text{Pa}, T = 30\text{s}, r = 0.2\text{nm/s}$  and (2)  $T_s = 800^\circ\text{C}, P_o = 50\text{Pa}, r = 0.2\text{nm/s}, t = 4.5\text{min}$

细致的实验显示,低的衬底温度、较低的淀积速率和在氧气氛下生长有利于  $\text{CeO}_2$  薄膜的(100)相的生长,其中尽可能低的淀积速率、较低的氧分压和

$\text{N}$  离子对 Si 衬底表面的轰击工艺是保证  $\text{CeO}_2$  薄膜沿(100)取向单相生长的必要条件; 较高的衬底温度、较高的淀积速率则是保证  $\text{CeO}_2$  薄膜沿(111)取向单相生长必要条件。改变激光束输出能量密度的实验显示, 激光束的输出能量密度需要保持在一定的范围内才能保证  $\text{CeO}_2$  薄膜的单相生长, 低于或高于该范围, 都不能获得好的单相生长样品。对样品 A 的(202)面和样品 B 的(200)面进行 XRD 的  $\varphi$  扫描分析均观察到了四个尖锐的衍射峰, 这说明样品 A 和 B 分别在(202)和(200)面内也为取向生长, 因此, 样品 A 和 B 均为外延生长。

为了考察样品 A 和 B 的晶体质量, 我们进行了 XRD 摆摆曲线的测量。图 2 示出样品 A 的  $\text{CeO}_2$ (200)衍射峰和样品 B 的  $\text{CeO}_2$ (111)衍射峰的揆摆曲线测量结果。从图中可以看出, 具有(100)取向的样品 A 的半高宽(FWHM)仅为  $0.23^\circ$ , 这说明  $\text{CeO}_2$  薄膜具有很好的单晶质量。而具有(111)取向的样品 B 的半高宽(FWHM)为  $3^\circ$ , 这说明该  $\text{CeO}_2$  薄膜的单晶质量则较差。

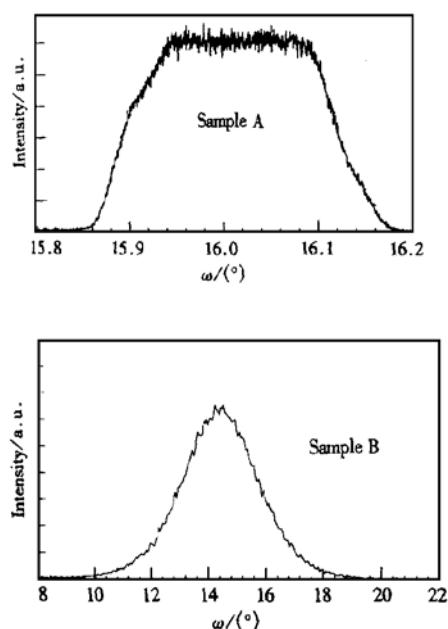


图 2 样品 A 的  $\text{CeO}_2$ (200)衍射峰和样品 B 的  $\text{CeO}_2$ (111)衍射峰的揆摆曲线测量

FIG. 2 Rocking Curves of  $\text{CeO}_2$ (200) Peak for Sample A and  $\text{CeO}_2$ (111) Peak for Sample B

### 3.2 $\text{N}^+$ 离子轰击 Si 衬底表面对界面粗糙度的影响

在深亚微米 CMOSFET 器件中, 通常采用双掺杂多晶硅栅结构, 即 NMOS 采用  $n^+$ (掺磷或砷)多晶硅; PMOS 采用  $p^+$ (掺硼)多晶硅的结构。由于硼离子( $\text{B}^+$ )易于穿透  $\text{SiO}_2$  氧化层向沟道区扩散, 严重影响器件的性能, 因此防止硼离子向沟道区的扩散成为深亚微米 MOSFET 器件研究的重要内容。研究表明, 氧化层及其与 Si 衬底界面的 N 离子是防止硼离子( $\text{B}^+$ )向沟道区扩散的有效阻挡层, 因此, 目前普遍采取 N 离子的注入、扩散或等离子轰击等工艺方法形成 N 离子层(或  $\text{SiO}_{x,y}$  介质层)来阻挡硼离子( $\text{B}^+$ )向沟道区扩散。利用 N 离子束轰击 Si 衬底表面工艺可以在 Si 衬底表面形成含 N 的表面层, 并有助于减少 Si 表面的悬挂键数目。前面的实验已经显示, N 离子束对 Si 衬底表面的轰击有助于  $\text{CeO}_2$ (100)取向薄膜的单相生长, 后面给出的实验结果还将显示, N 离子束对 Si 衬底表面的轰击有助于改善  $\text{CeO}_2/\text{Si}$  界面的电学性质。因此, 在淀积  $\text{CeO}_2$  薄膜之前采用 N 离子束轰击 Si 衬底表面的工艺是非常必要的。但 N 离子束对 Si 衬底表面的轰击有可能引起 Si 衬底表面粗糙度的增加, 而界面粗糙度的增加必然会导致载流子表面迁移率的下降, 这将使得 MOSFET 器件性能下降。因此研究 N 离子束轰击 Si 衬底表面工艺对 Si 表面粗糙度的影响是有意义的。为此, 我们利用 AFM 观测了经不同能量的 N 离子束轰击后 Si 衬底表面的粗糙度, 结果如图 3 所示。图 3 的粗糙度分析显示, 经加速能量为 800eV 的 N 离子束轰击后 Si 衬底表面的粗糙度为  $0.34\text{nm}$ , 而经加速能量为 500eV 的 N 离子束轰击后 Si 衬底表面的粗糙度下降为  $0.19\text{nm}$ 。这说明, 减小 N 离子束的加速能量可以有效地减小 Si 表面的粗糙度。作为比较, 我们还观测了经化学清洁处理但未受 N 离子束轰击的 Si 衬底表面的粗糙度为  $0.19\text{nm}$ 。这样的结果说明, 加速能量低于 500eV 的 N 离子束对 Si 衬底表面的轰击不会明显增加 Si 表面的粗糙度。

### 3.3 N 离子束轰击 Si 衬底表面对 $\text{Pt}/\text{CeO}_2/\text{Si}$ 结构电学性质的影响

为了研究  $\text{CeO}_2$  薄膜及其与 Si 界面的电学性质, 我们制备了  $\text{Pt}/\text{CeO}_2/\text{Si}$  结构的 MOS 电容样品

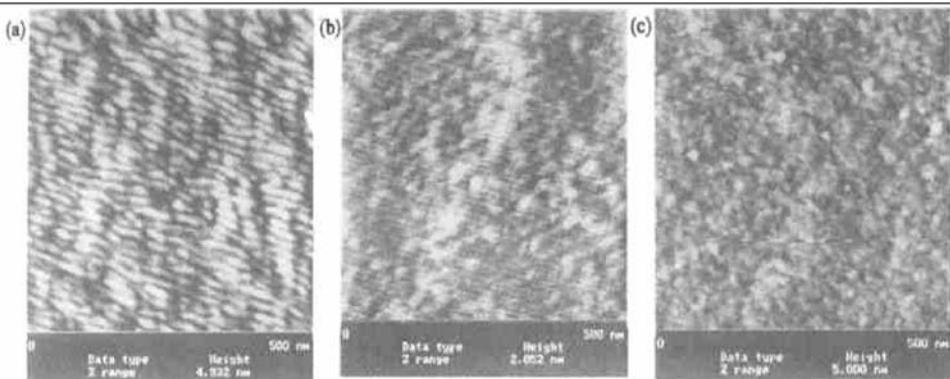


图 3 AFM 观测的 Si 衬底表面形貌图 (a) 经 800eV 的 N 离子束轰击; (b) 经 500eV 的 N 离子束轰击; (c) 未经 N 离子束轰击

FIG. 3 AFM Images of Si Surfaces for Different Samples (a) Treated with 800eV  $N^+$ ; (b) Treated with 500eV  $N^+$ ; (c) not Treated with  $N^+$

C 和 D. 其中, C 采用了 N 离子束轰击 Si 衬底表面工艺的样品, 而 D 是未采用 N 离子束轰击工艺的样品。样品 C 和 D 中 CeO<sub>2</sub> 薄膜为具有(100)取向的外延薄膜。图 4(a) 和 (b) 分别示出样品 C 和 D 在 1MHz 下测得的高频 C-V 特性曲线。图 4 显示, 样品 C 在积累区、耗尽区和反型区均保持了好的特性, 而

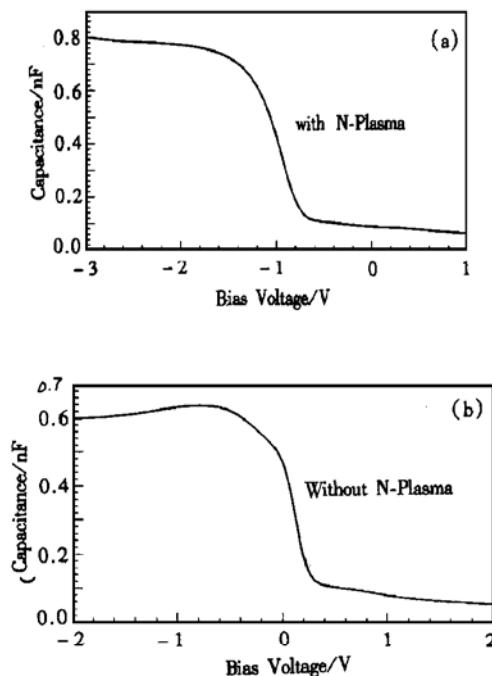


图 4 Pt/CeO<sub>2</sub>/Si 结构样品在 1MHz 下测得的高频 C-V 特性曲线 (a) 为样品 C 的曲线; (b) 为样品 D 的曲线  
FIG. 4 C-V Curves of Capacitor Samples with Pt/CeO<sub>2</sub>/Si at 1MHz (a) for Sample C; (b) for Sample D

样品 D 则在耗尽和积累区均出现了较大的畸变, 特别是在积累区, 出现了随着负栅压的增加电容下降的现象。引起这种下降现象的原因可能有: 较大的漏电流或较大的界面陷阱态密度。为此, 我们测量了样品 C 和 D 的漏电流, 如图 5 所示。图中结果显示, 在 -0.4V—1.4V 范围内, 样品 D 的漏电流较样品 C 要大, 而这一范围又是在样品 C 出现电容畸变的

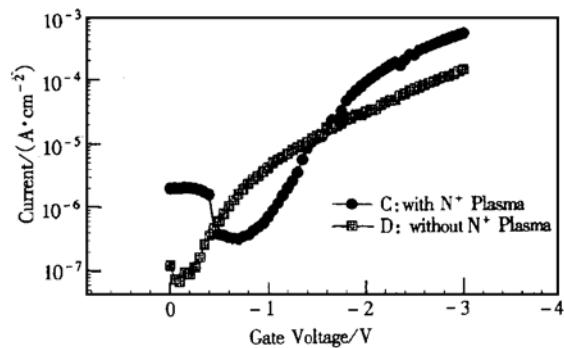


图 5 Pt/CeO<sub>2</sub>/Si 结构样品 C 和 D 的 I-V 特性曲线

FIG. 5 I-V Curves of Pt/CeO<sub>2</sub>/Si Capacitor Samples C and D

区间。因此, 将样品 D 的高频 C-V 曲线在积累区发生较大畸变的原因似乎可以归于大的漏电流。但图中同时显示, 在 -1.4V—3V 范围, 样品 C 的漏电流较样品 D 要大, 但样品 C 在这一区间并没有出现明显的电容随负栅压增加而下降的现象, 因此, 不能把样品 D 的电容在积累区发生畸变的机制简单解释为大的漏电流所致。进一步的研究(如比较经 N 离子轰击和未经 N 离子轰击界面陷阱态密度)工作正在进行中。

以上结果说明,N离子束轰击Si表面工艺可以有效地改善Pt/CeO<sub>2</sub>/Si样品界面的电学特性。

## 4 结论

研究了利用脉冲激光淀积方法在Si(100)衬底淀积CeO<sub>2</sub>薄膜的制备工艺和N离子束轰击氮化Si衬底表面工艺对CeO<sub>2</sub>高K介质薄膜电学性质的影响。研究结果显示,衬底温度、氧环境和淀积速率是影响CeO<sub>2</sub>薄膜生长取向的关键工艺因素,而氧分压和激光的输出能量密度等工艺因素和N离子束轰击氮化Si衬底表面工艺对薄膜的取向生长有影响;并在Si(100)衬底制备了具有(100)和(111)取向的外延薄膜。选择合适的工艺参数,N离子束轰击氮化Si衬底表面的方法,不会引起衬底表面粗糙度的明显增加;N离子束轰击氮化Si衬底表面的方法不仅有助于改善CeO<sub>2</sub>薄膜及其与Si界面电学性质,而且有助于CeO<sub>2</sub>薄膜的单相生长。N离子束轰击氮化Si衬底表面引起CeO<sub>2</sub>/Si界面电学性质改善可能起源于N离子对Si衬底表面悬挂键的填充而引起CeO<sub>2</sub>/Si界面陷阱态密度的减小。

## 参考文献

- [1] X. Guo, X. Wang, Z. Luo, T. P. Ma and T. Tamagawa, High Quality Ultra-Thin (1.5nm) TiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> Gate Dielectric for Deep Sub-Micron CMOS Technology, IEDM '99 Technical Digest, 1999, 137.
- [2] H. F. Luan, S. J. Lee, C. H. Lee, S. C. Song, Y. L. Mao, Y. Senzaki, D. Roberts and D. L. Kwong, High Quality Ta<sub>2</sub>O<sub>5</sub> Gate Dielectrics with  $T_{ox,eq} < 10\text{\AA}$ , IEDM '99 Technical Digest, 1999, 141.
- [3] W-J Qi, R. Nieh, B. H. Lee, L. Kang, Y. Jeon, K. Onishi, T. Ngai, S. Banerjee and J. C. Lee, MOSCAP and MOSFET Characteristics Using ZrO<sub>2</sub> Gate Dielectric Deposited Directly on Si, IEDM '99 Technical Digest, 1999, 145.
- [4] B. H. Lee, L. Kang, W-J. Qi, R. Nieh, Y. Jeon, K. Onishi and J. Lee, Ultrathin Hafnium Oxide with Low Leakage and Excellent Reliability for Alternative Gate Dielectric Application, IEDM '99 Technical Digest, 1999, 133.
- [5] R. A. McKee, F. J. Walker and F. Chrisholm, Crystalline Oxides on Silicon: The First Five Monolayers, Phys. Rev. Lett., 1998, **81**: 3014.
- [6] T. Inoue, T. Ohsuna, L. Luo, X. D. Wu, C. J. Maggiore, Y. Yamamoto, Y. Sakurai and J. H. Chang, Growth of (110)-Oriented CeO<sub>2</sub> Layers on (100) Silicon Substrates, Appl. Phys. Lett., 1991, **59**: 3604.
- [7] Huang Dading, Wang Junjie, Yang Xizhen and Wu Zhenglong, Initial Study of Heat-Treatment Behavior of Ion-beam Epitaxial Cerium Oxides/Si, Chinese Journal of Semiconductors, 1997, **18**(7): 538—543[黄大定, 王军杰, 杨锡震, 吴正龙, 对离子束外延氧化铈/硅热处理行为的初步研究, 半导体学报, 1997, **18**(7): 538—543].
- [8] L. Luo, X. D. Wu, R. C. Dye, R. E. Muenchausen, S. R. Folton, Y. Coulter, C. J. Maggiore and T. Inoue, An-Axis Oriented YBa<sub>2</sub>Cu<sub>3</sub>O<sub>7-x</sub> Thin Films on Si with CeO<sub>2</sub> Buffer Layers, Appl. Phys. Lett., 1991, **59**: 2043.
- [9] Wei Zhang, Xiaoru Wang, Martin Elliott and Ian W. Boyd, Stress Effect and Enhanced Magnetoresistance in La<sub>0.67-Ca<sub>0.33</sub>MnO<sub>3-\delta</sub></sub> Films, Phys. Rev. B, 1998, **B58**: 14143.
- [10] T. Hira, Y. Fujisaki, K. Nagashima, H. Koike and Y. Tarui, Preparation of SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> Film at Low Temperature and Fabrication of a Metal/Ferroelectric/Insulator Field Effect Transistor Using Al/SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/CeO<sub>2</sub>/Si(100) Structure, Jpn. J. Appl. Phys., 1997, **36**: 5908.
- [11] Y-M. Wu and J-T. Lo, Dielectric Properties of PbTiO<sub>3</sub> Thin Films on CeO<sub>2</sub>/Si(100) and Y<sub>2</sub>O<sub>3</sub>/Si(100), Jpn. J. Appl. Phys., 1998, **37**: 5645.

## Epitaxial Growth of CeO<sub>2</sub> films on Si(100) Substrate and Its Electrical Properties<sup>\*</sup>

KANG Jin-feng<sup>1</sup>, LIU Xiao-yan<sup>1</sup>, WANG Wei<sup>1</sup>, YU Ting<sup>1</sup>, HAN Ru-qi<sup>1</sup>,  
LIAN Gui-jun<sup>2</sup>, ZHANG Zhao-hui<sup>2</sup> and XIONG Guang-cheng<sup>2</sup>

(1 Institute of Microelectronics, Peking University, Beijing 100871, China)

(2 Department of Physics, Peking University, Beijing 100871, China)

**Abstract:** The deposition process of CeO<sub>2</sub>, a high  $K$  gate dielectric thin film by using the pulsed laser deposition method has been investigated. The epitaxial CeO<sub>2</sub> thin films with (100)- and (111)-orientations on Si(100) substrates have been grown. The influence of different deposition conditions, including the nitrogen plasma bombardment to Si substrate surface is discussed. The structural and electrical properties of CeO<sub>2</sub> thin films are investigated, as well as interface with Si substrate. It shows that the nitrogen ion bombardment to Si substrate surface can not only change the growth structure but also improve the interfacial electrical properties of CeO<sub>2</sub>/Si.

**Key words:** high  $K$  gate dielectric; CeO<sub>2</sub> film; nitrided Si surface/interface

**EEACC:** 2550; 2530

**Article ID:** 0253-4177(2001)07-0865-06

\* Project Supported by the Special Fundation for Major State Basic Research Program (Contract No. G20000365).

KANG Jin-feng PhD, is an associate professor. His current research interests include deep submicron/nano device physics and technology, novel high  $K$  dielectric and ferroelectric materials, FeRAM technology.